

アプリケーションマニュアル

Real Time Clock Module

RA-4574SA

機種名	製品型番
RA-4574SA	Q41A47451XXXX00

エプソントヨコム株式会社

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

- 1) 本マニュアルの内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
- 2) 本マニュアルの一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 3) 本マニュアルに記載された応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。
また、本カタログによって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
- 4) 特性表の数値の大小は、数値線上の大小関係で表します。
- 5) 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
- 6) 製品は一般電子機器に使用されることを意図し設計されたものです。
特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。
承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等）2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器4 海底中継機器5 発電所制御機器6 防災・防犯装置7 交通用機器
 - 8 その他；1～7と同等の信頼性を必要とする用途
- 7) 製品呼称、識別マークにつきましては順次統合していく予定ですが本マニュアルにおきましては統合前に両社が使用していた呼称、識別マークを継承しています。正式型番、識別マーク等詳細につきましては仕様書等でご確認いただけますようお願いいたします。

本マニュアルに記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 外形寸法図 / マーキングレイアウト	3
5. 絶対最大定格	4
6. 推奨動作条件	4
7. 周波数特性	4
8. 電気的特性	5
9. 使用上の注意事項	7
9.1. 電源投入時の VDD と CE のタイミング	7
9.2. バックアップへの移行 および 復帰	7
10. 参考資料	8
10.1. 参考データ	8
10.2. 外部接続例	9
11. 取り扱い上の注意事項	10
12. 機能概要 および レジスタテーブル	11
12.1. 機能概要	11
12.2. レジスタテーブル	12
13. 使用方法	13
13.1. レジスタ説明	13
13.2. 定周期タイマ割り込み機能	19
13.3. アラーム割り込み機能	24
13.4. データのリード / ライト	27

車載用途向け
シリアルインタフェース リアルタイムクロックモジュール

RA - 4574 SA

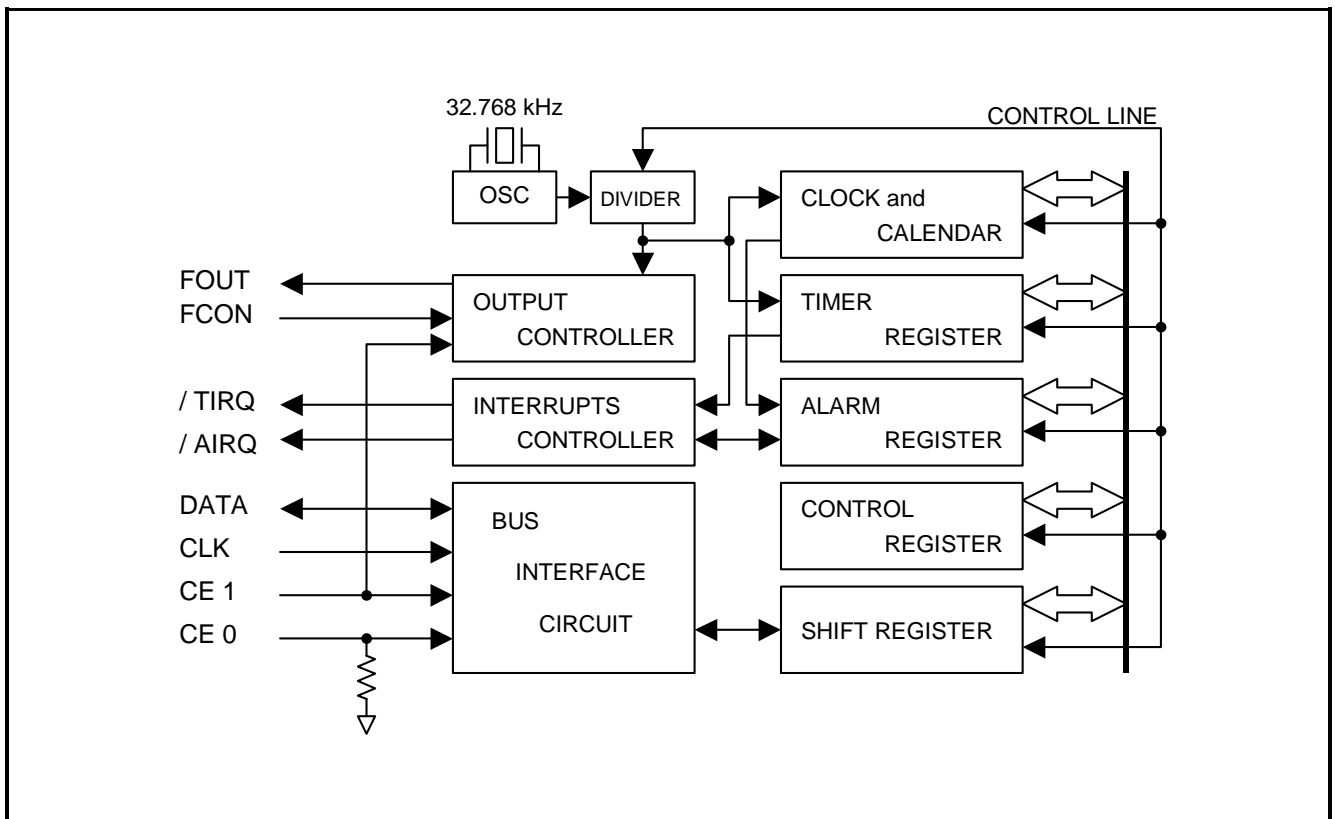
- 車載用アクセサリに最適。
- 32.768 kHz 水晶振動子 (周波数精度 調整済み) を内蔵。
- インタフェース方式 : 3 線式シリアル インタフェース
- インタフェース電圧範囲 : 1.6 V ~ 5.5 V
- 計時(保持)電圧範囲 : 1.6 V ~ 5.5 V
- バックアップ時消費電流 : 0.5 μ A (Typ.) / 3 V
- 32.768 kHz 出力機能 : 出力制御機能付き C-MOS 出力
- リアルタイムクロック機能
時計・カレンダー機能, 自動うるう年補正機能, アラーム割り込み機能, 等

1. 概要

本モジュールは、車載アクセサリに最適な 高信頼性リアルタイムクロック・モジュールです。

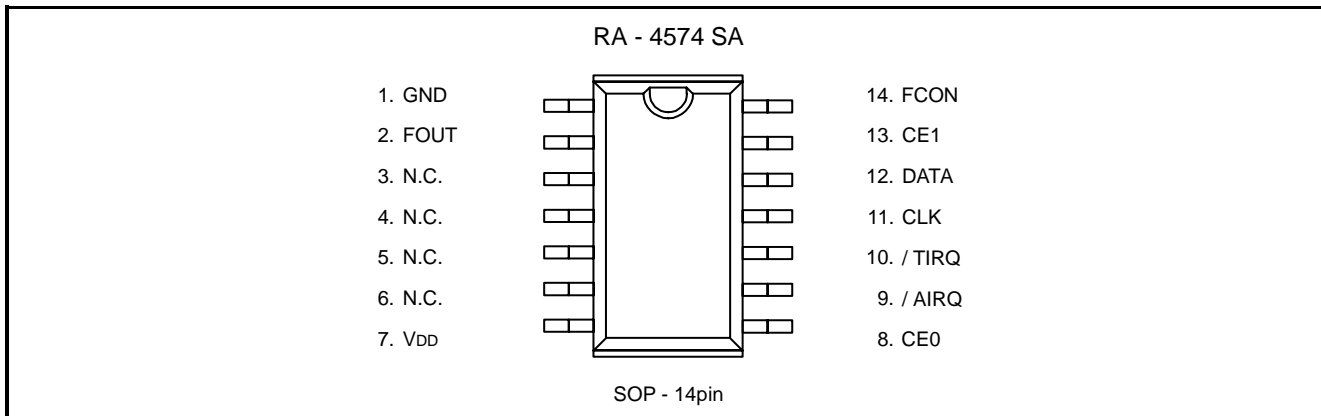
32.768 kHz の水晶振動子を内蔵し、年、月、日、曜日、時、分、秒のカレンダー・時計カウンタの他、時刻アラーム、定周期割り込み機能、32.768 kHz 出力機能などの豊富な機能を備えています。

2. ブロック図



3. 端子説明

3.1. 端子配置



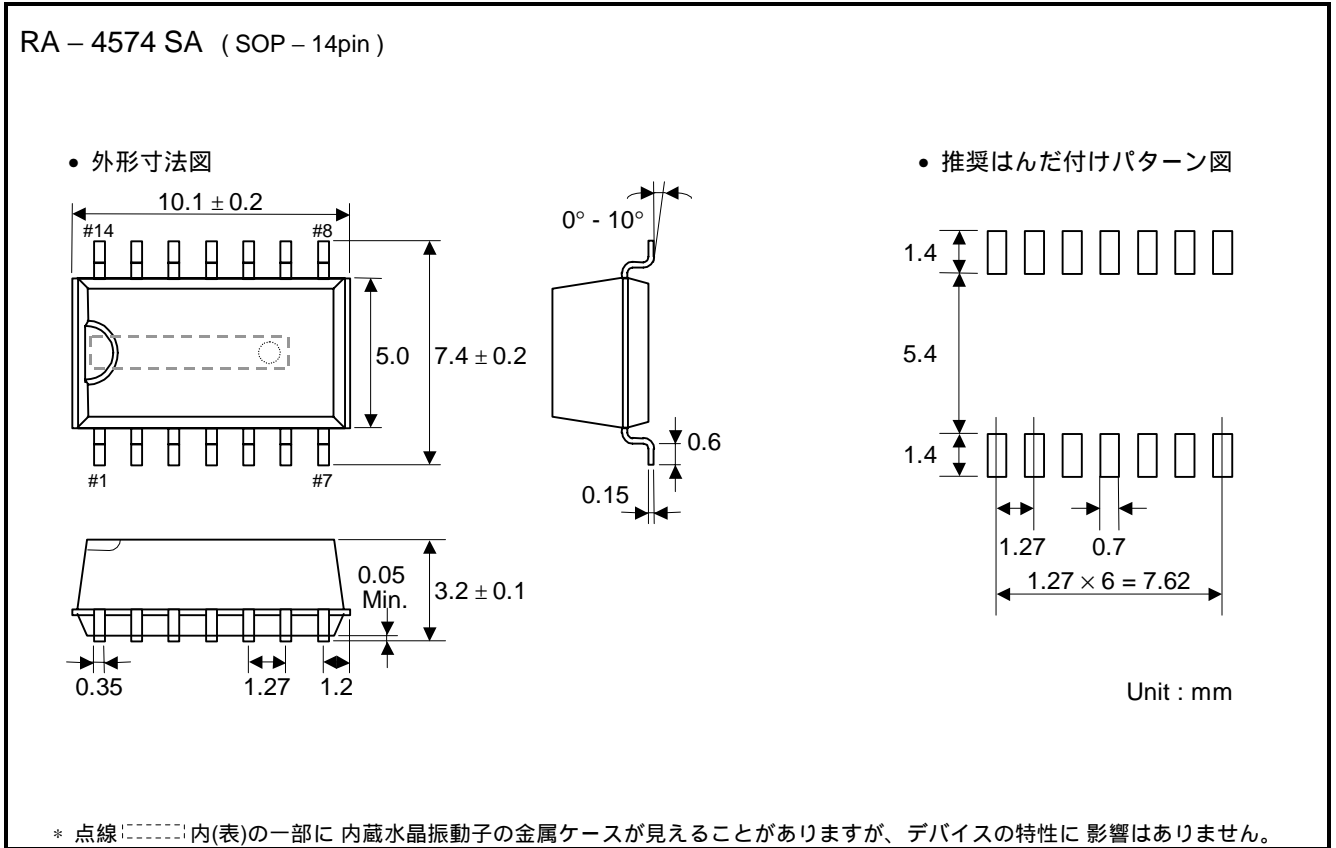
3.2. 端子機能

端子名	入出力	機 能
CE0	入力	チップイネーブル 0 入力端子で、プルダウン抵抗を内蔵しています。 CE0, CE1端子が共に "H" レベルのとき、本RTCへのアクセスが可能です。
CE1	入力	チップイネーブル 1 入力端子です。 CE0, CE1端子が共に "H" レベル時、本RTCへのアクセスが可能です。 CE1端子 "H" レベル時、CE0端子の状態にかかわらず、FOUT端子が出力状態になります。 また、CE1端子 "L" レベル時、FOUT端子は出力OFF (ハイインピーダンス) となります。
CLK	入力	シリアルデータ転送のシフトクロック入力端子です。 ライトモード時は CLK信号の立ち上がりエッジでDATA端子からデータを取り込み、リードモード時は 立ち下がりエッジでDATA端子からデータを出力します。
DATA	双方向	シリアルデータ転送のデータ入出力端子です。 CE0, CE1入力の立ち上がり後の最初の8ビットのライトデータにより、ライトモードまたはリードモードに設定する事で、入力端子または出力端子となります。
FOUT	出力	周波数設定レジスタ および FCON入力端子で設定された周波数の クロック信号を出力します。(C-MOS出力) 出力OFF時は ハイインピーダンスとなります。
FCON	入力	FOUT出力端子からの出力周波数をコントロールします。 CE1端子が "H" レベル時にFCON端子を "L" とすると、周波数設定レジスタの設定内容にかかわらず、FOUT端子からは 32.768 kHzが出力されます。
/AIRQ	出力	アラーム割り込み専用の オープンドレイン出力端子です。
/TIRQ	出力	定周期割り込み専用の オープンドレイン出力端子です。
VDD	-	電源のプラス側に接続します。
GND	-	グランドに接続します。
N.C.	-	内部 IC と結線されていません。 OPEN もしくは、GND または VDD と接続してください。

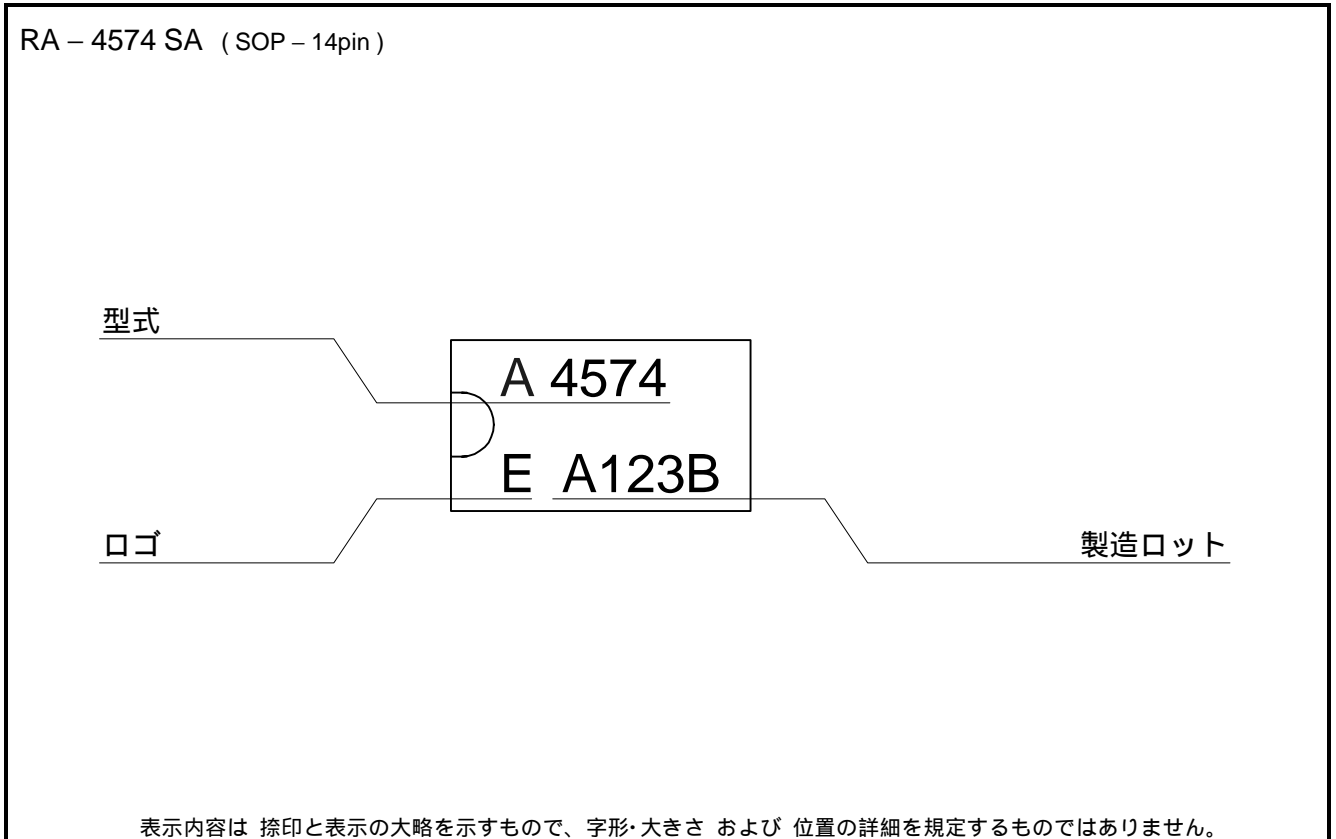
注) VDD - GND 間 直近に 0.1 μ F 以上のパスコンを必ず接続してください。

4. 外形寸法図 / マーキングレイアウト

4.1. 外形寸法図



4.2. マーキングレイアウト



5. 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
電源電圧	VDD	-	-0.3 ~ +7.0	V
入力電圧	VIN	入力端子	GND-0.3 ~ VDD+0.3	V
出力電圧 (1)	VOUT1	/ TIRQ, / AIRQ	GND-0.3 ~ +8.0	V
出力電圧 (2)	VOUT2	FOUT, DATA	GND-0.3 ~ VDD+0.3	V
保存温度	TSTG	梱包状態を除く 単品での保存	-55 ~ +125	°C

6. 推奨動作条件

GND = 0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	VDD	-	1.6	3.0	5.5	V
計時電源電圧	VCLK	-	1.6	3.0	5.5	V
動作温度範囲	TOPR	結露無きこと	-40	+25	+85	°C

7. 周波数特性

GND = 0 V

項目	記号	条件	規格	単位
周波数精度	$\Delta f / f$	Ta = +25 °C, VDD = 3.0 V	5 ± 23 ^(*1)	$\times 10^{-6}$
周波数電圧特性	f / V	Ta = +25 °C, VDD = 1.6 V ~ 5.0 V	± 2 Max.	$\times 10^{-6} / V$
周波数温度特性	Top	Ta = -20 °C ~ +70 °C, VDD = 3.0 V ; +25 °C 基準	+10 / -120	$\times 10^{-6}$
発振開始時間	tSTA	Ta = +25 °C, VDD = 1.6 V	3 Max.	s
		Ta = -40 °C ~ +85 °C VDD = 3.0 V ^(*2)	3 Max.	s
エージング	fa	Ta = +25 °C, VDD = 5.0 V ; 初年度	± 5 Max.	$\times 10^{-6} / year$

*1) 月差 1 分相当。(オフセット値を除く)

*2) VDD 電源立ち上げ時間 ≤ 1 ms (0 % VDD – 90 % VDD)

8. 電気的特性

8.1. DC 電気的特性

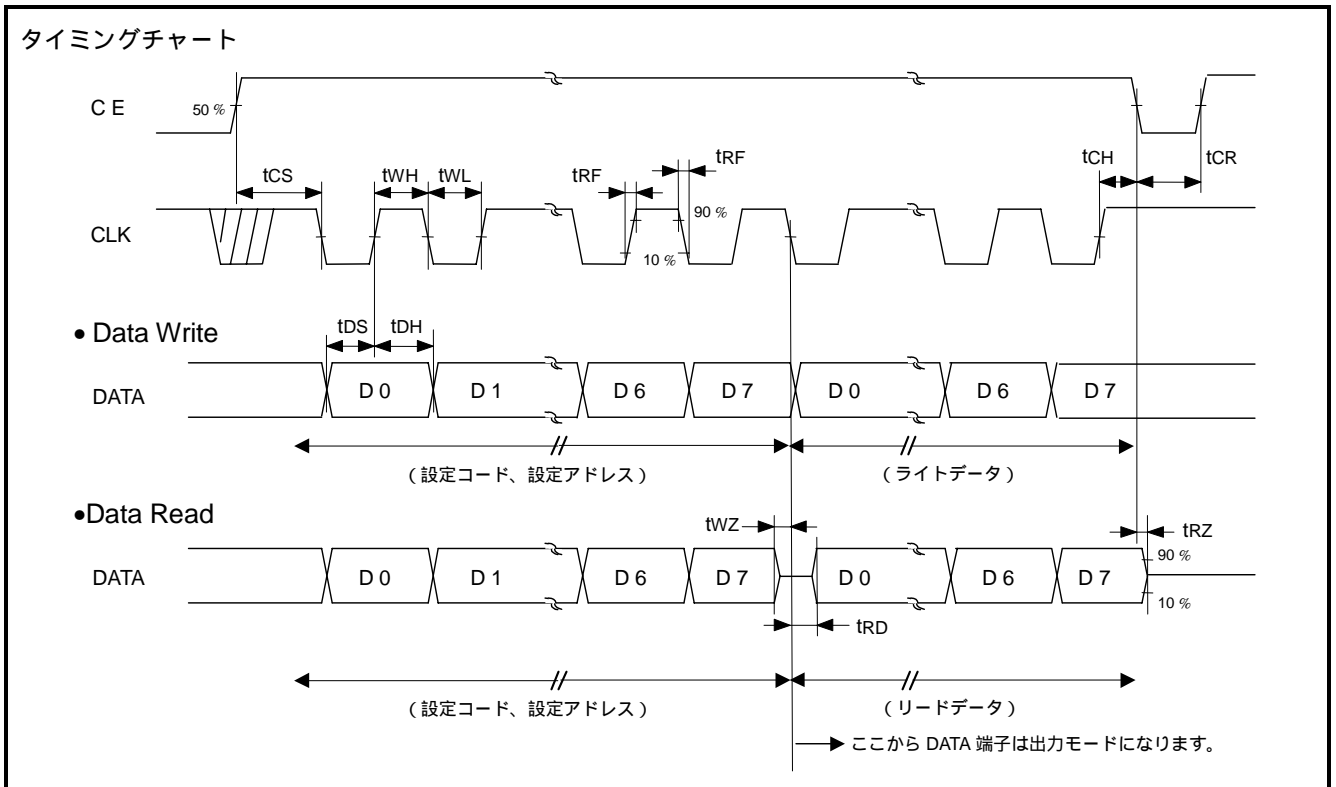
特記無き場合、GND = 0 V, V_{DD} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件		Min.	Typ.	Max.	単位
消費電流(1)	I _{DD1}	CE0, CE1 = GND DATA, /AIRQ, /TIRQ = V _{DD}	V _{DD} = 5 V		1.0	2.0	μA
消費電流(2)	I _{DD2}	FOUT ; 出力 OFF (Hi - z)	V _{DD} = 3 V		0.5	1.0	
消費電流(3)	I _{DD3}	CE0 = GND CE1, DATA, /AIRQ, /TIRQ = V _{DD}	V _{DD} = 5 V		3.0	7.5	μA
消費電流(4)	I _{DD4}	FOUT ; 32.768 kHz 出力 ON, C _L = 0 pF	V _{DD} = 3 V		1.7	4.5	
消費電流(5)	I _{DD5}	CE0 = GND CE1, DATA, /AIRQ, /TIRQ = V _{DD}	V _{DD} = 5 V		8.0	20.0	μA
消費電流(6)	I _{DD6}	FOUT ; 32.768 kHz 出力 ON, C _L = 30 pF	V _{DD} = 3 V		5.0	12.0	
"H" 入力電圧	V _{IH1}	CE0, CE1, CLK, DATA, FCON 端子		0.8 × V _{DD}		V _{DD}	V
	V _{IH2}	/AIRQ, /TIRQ 端子		0.8 × V _{DD}		6.0	V
"L" 入力電圧	V _{IL}	CE0, CE1, CLK, DATA, FCON 端子		0		0.2 × V _{DD}	V
"H" 出力電圧	V _{OH1}	DATA, FOUT 端子	V _{DD} = 5 V, I _{OH} = -1 mA	4.5		5.0	V
	V _{OH2}		V _{DD} = 3 V, I _{OH} = -1 mA	2.0		3.0	
	V _{OH3}		V _{DD} = 3 V, I _{OH} = -100 μA	2.9		3.0	
"L" 出力電圧	V _{OL1}	DATA, FOUT 端子	V _{DD} = 5 V, I _{OL} = 1 mA	GND		GND+0.5	V
	V _{OL2}		V _{DD} = 3 V, I _{OL} = 1 mA	GND		GND+0.8	
	V _{OL3}		V _{DD} = 3 V, I _{OL} = 100 μA	GND		GND+0.1	
	V _{OL4}	/AIRQ および /TIRQ 端子	V _{DD} = 5 V, I _{OL} = 1 mA	GND		GND+0.25	V
	V _{OL5}		V _{DD} = 3 V, I _{OL} = 1 mA	GND		GND+0.4	
入力抵抗 (1)	R _{DWN1}	CE0 端子 V _{IN} = V _{DD}	V _{DD} = 5 V	75	150	300	kΩ
入力抵抗 (2)	R _{DWN2}		V _{DD} = 3 V	150	300	600	kΩ
入力 リーク電流	I _{LK}	CE0 端子 ; V _{IN} = GND CE1, CLK, FCON 端子 ; V _{IN} = V _{DD} or GND		-0.5		0.5	μA
出力 リーク電流	I _{OZ}	DATA, /AIRQ, /TIRQ, FOUT 端子, V _{OUT} = V _{DD} or GND		-0.5		0.5	μA

8.2. AC 電気的特性

特記無き場合、GND = 0 V, Ta = -40 °C ~ +85 °C

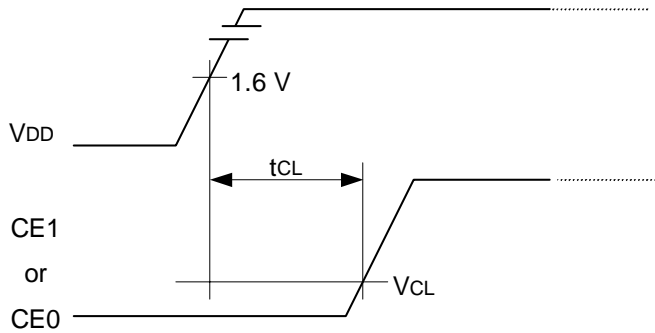
項目	記号	条件	VDD = 3 V ± 10 %			VDD = 5 V ± 10 %			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
CLK クロック周期	t _{CLK}		800			350			ns
CLK "H" パルス幅	t _{WH}		400			175			ns
CLK "L" パルス幅	t _{WL}		400			175			ns
CE セットアップ時間	t _{CS}		400			175			ns
CE ホールド時間	t _{CH}		400			175			ns
CE リカバリー時間	t _{CR}		600			300			ns
書き込みデータ セットアップ時間	t _{DS}		100			50			ns
書き込みデータ ホールド時間	t _{DH}		80			50			ns
書き込みデータ ディセーブル時間	t _{WZ}		0			0			ns
読み出しデータ 遅延時間	t _{RD}	CL = 50 pF			300			120	ns
出力ディセーブル時間	t _{RZ}	CL = 50 pF RL = 10 kΩ			200			100	ns
入力立ち上がり,立ち下がり時間	t _{RF}				100			50	ns
FOUTデューティー (32.768 kHz出力時)	t _w / t	50 % V _{DD} レベル	35		65	40		60	%



9. 使用上の注意事項

9.1. 電源投入時の VDD と CE のタイミング

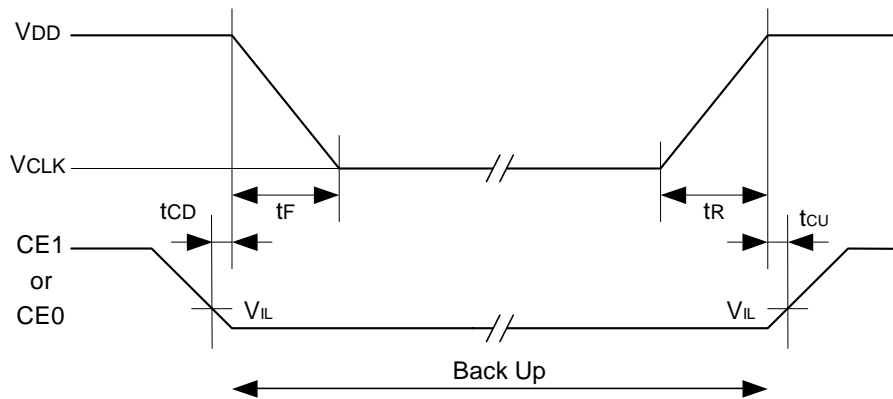
電源投入時は、本タイミングチャートの様に CE = "L" (下表 V_{CL}[V])にてご使用ください。
 CE = "L" とする端子は、CE0 端子か または CE1 端子の どちらか一方のみでかまいません。



項目	記号	備考	仕様	単位
電源投入時 CE 電圧	V _{CL}	VDD = 1.6 V 到達までの CE 印加電圧	0.3 (Max.)	V
電源投入時 CE = V _{CL} [V]時間	t _{CL}	VDD = 1.6 V 到達以後の CE = V _{CL} [V]を維持する時間	10 (Min.)	μs

9.2. バックアップへの移行 および 復帰

バックアップへの移行時は、電源切り替え操作の前に CE0 端子 もしくは CE1 端子を確実に Low レベルとし、RTC は非選択状態としてください。



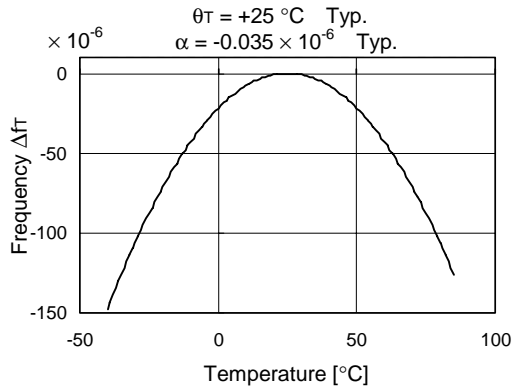
項目	記号	条件	Min.	Typ.	Max.	単位
電源降下前 CE 時間	t _{CD}	-	0			μs
電源降下時間	t _F	(VDD - VCLK) ≤ 2.0 V	2			μs / V
		2.0 V < (VDD - VCLK)	50			μs / V
電源立上時間	t _R	-	1			μs / V
電源立上後 CE 時間	t _{CU}	-	0			μs

10. 参考資料

10.1. 参考データ

注：本データはサンプルロットの水準値です。

(1) 周波数温度特性例



[周波数安定度の求め方]

1. 周波数温度特性は、以下の式で近似できます。

$$\Delta f_T = \alpha (\theta_T - \theta_x)^2$$

- Δf_T : 任意の温度における周波数偏差
- $\alpha [1/^\circ\text{C}^2]$: 2次温度係数
 $(-0.035 \pm 0.005) \times 10^{-6} / ^\circ\text{C}^2$
- $\theta_T [^\circ\text{C}]$: 頂点温度 (+25 ± 5 °C)
- $\theta_x [^\circ\text{C}]$: 任意の温度

2. 時計精度を求めるためには、更に周波数精度と電圧特性を加えます。

$$\Delta f/f = \Delta f/f_o + \Delta f_T + \Delta f_V$$

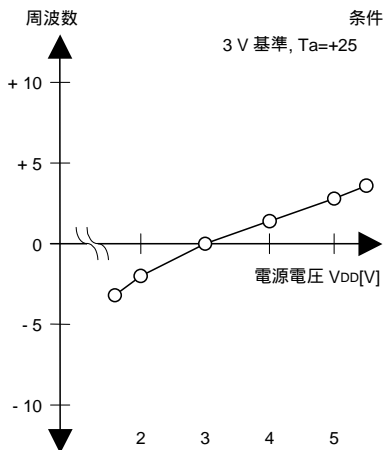
- $\Delta f/f$: 任意の温度,電圧における時計精度 (周波数安定度)
- $\Delta f/f_o$: 周波数精度
- Δf_T : 任意の温度における周波数偏差
- Δf_V : 任意の電圧における周波数偏差

3. 日差の求め方

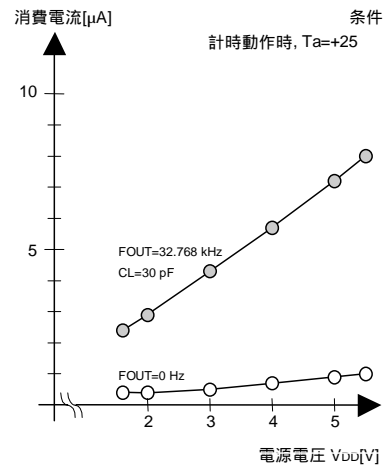
$$\text{日差} = \Delta f/f \times 86400[\text{秒}]$$

* たとえば、 $\Delta f/f = 11.574 \times 10^{-6}$ で
約 1 秒/日の誤差になります。

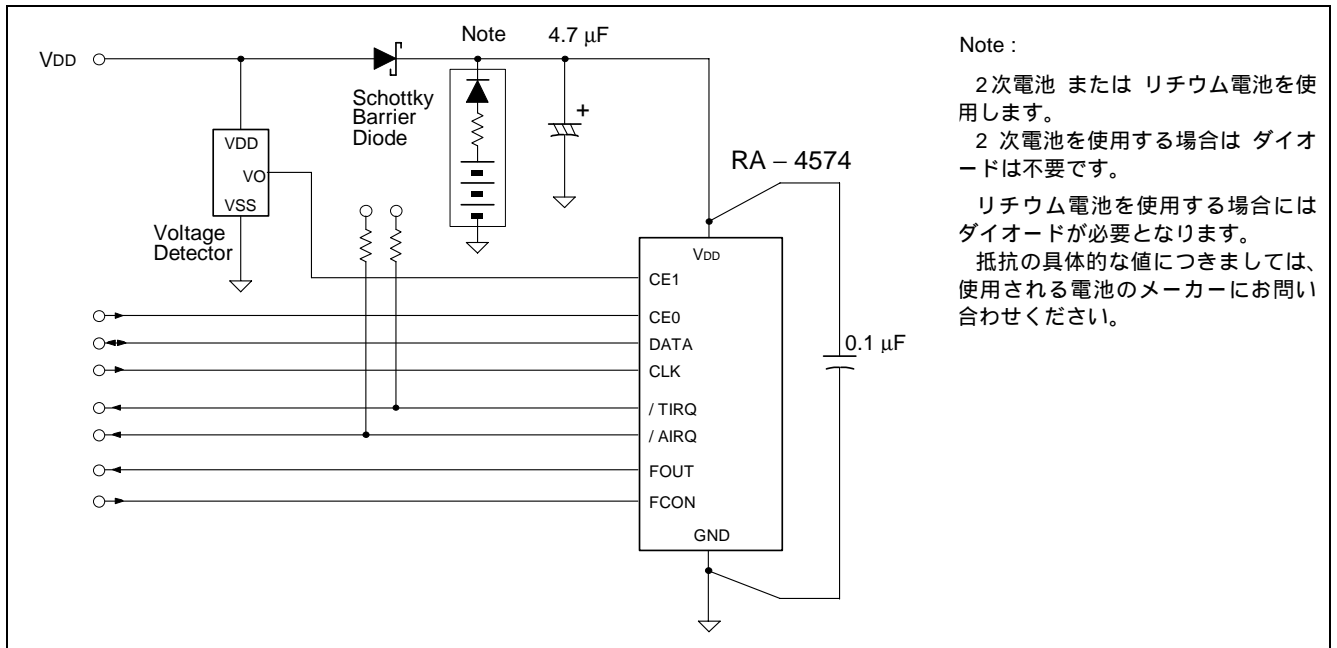
(2) 周波数電圧特性例



(3) 消費電流電圧特性



10.2. 外部接続例



Note :

2次電池 または リチウム電池を使用します。

2次電池を使用する場合は ダイオードは不要です。

リチウム電池を使用する場合にはダイオードが必要となります。

抵抗の具体的な値につきましては、使用される電池のメーカーにお問い合わせください。

11. 取り扱い上の注意事項

1) 取り扱い上の注意事項

本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および 運搬容器には導電性の物を使用してください。

はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ現象等による破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子 (V_{DD}-GND 間) の極力近い場所に、0.1 μF 以上のパコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ V_{DD} または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入力インピーダンスは非常に高く、開放状態での使用は不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を必ず施してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 °C を越えすと、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。ご実装前に必ず実装条件 (温度・時間) をご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。

図 2 に、弊社 んだ耐熱性評価プロファイルを 参考掲載します。

(2) 実装機

汎用実装機の使用が可能ですが、使用機器、条件等によっては実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後に ご使用ください。

実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行ってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので、洗浄しさらに乾燥させた後に電源投入を行ってください。

図 1 : GND パターン例

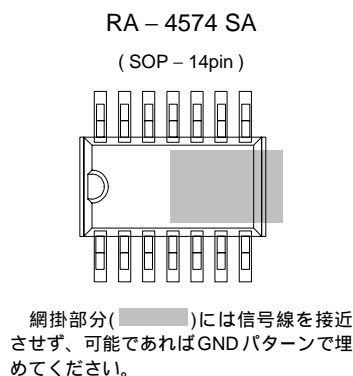
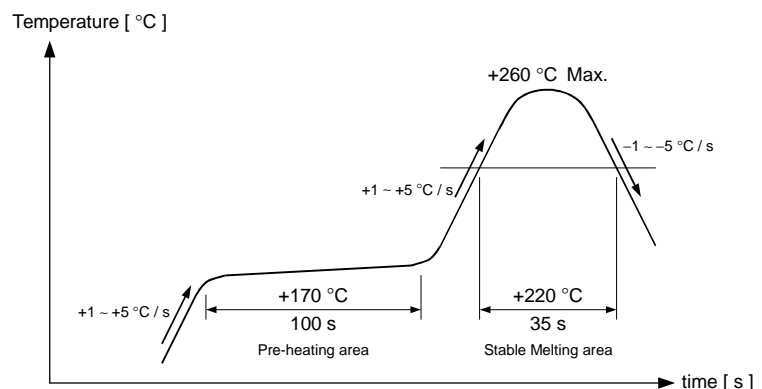


図 2 : 弊社 んだ耐熱性評価プロファイル (参考)



12. 機能概要 および レジスタテーブル

12.1. 機能概要

1) 時計機能

西暦の下二桁と 年・月・日, 曜, 時・分・秒までの、データの設定 / 計時 / 読み出しが可能です。
西暦の下二桁が 4 の倍数のときは自動的にうるう年と認識し、2099 年までを自動判別します。

* 詳細は [項 13.1. レジスタ説明] を参照してください。

2) 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μ s ~ 255 分までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /TIRQ 端子 = "L" になるなど、イベントの発生を知ることができます。

本機能は、2 種類の動作 (1 回限りの動作 または 繰り返しの動作) から 選択可能です。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

3) アラーム割り込み機能

アラーム割り込み機能は、[分], [時], [曜], [日]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /AIRQ 端子 = "L" になるなど、イベントの発生を知ることができます。

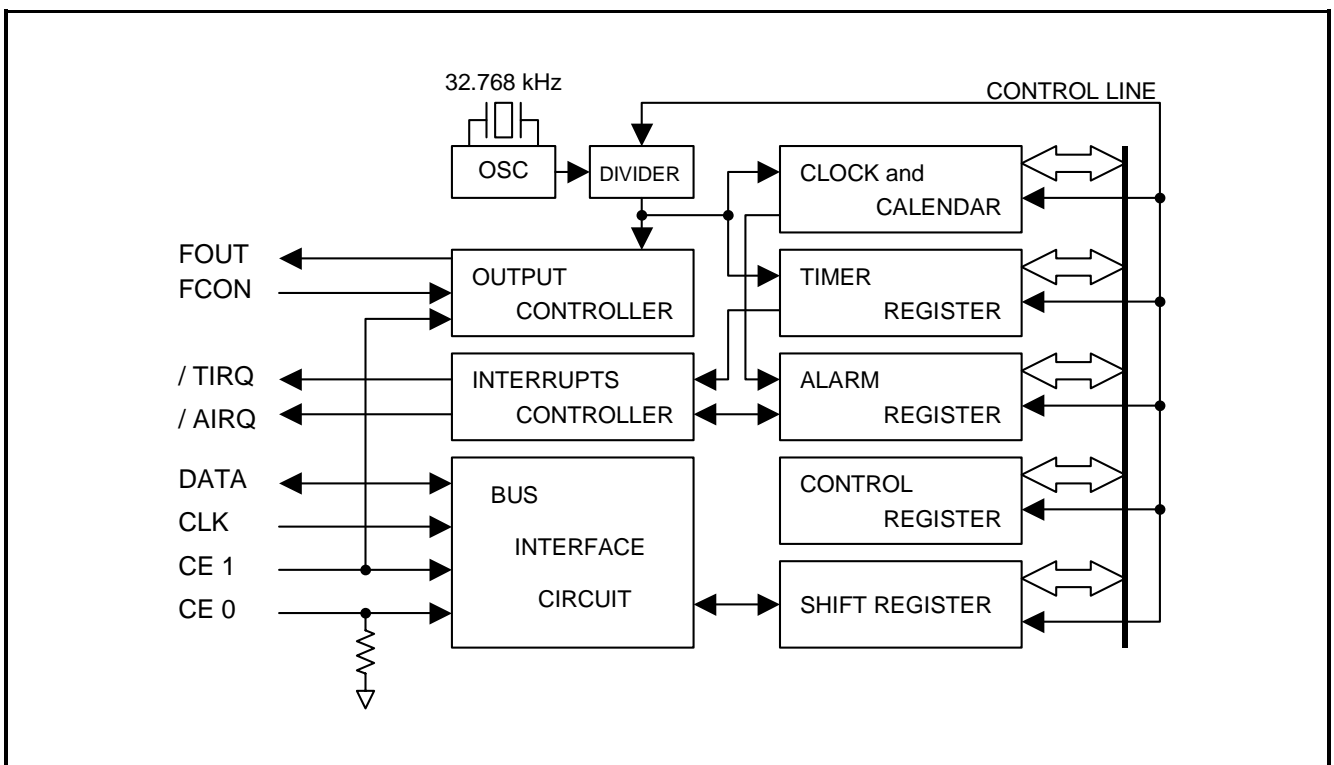
* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

4) クロック出力機能

FOUT 端子から、32.768 kHz クロックを出力 (CMOS 出力) することができます。

また、その他の周波数が必要な場合でも、1/30 Hz ~ 32.768 kHz までの間から 計 32 種より柔軟に選択出力することもできます。

* 詳細は [項 13.1.6. 周波数出力設定レジスタ] を参照してください。



* RX - 4574 SG は 水晶振動子を内蔵していません。外部から 32.768 kHz クロックを入力して ご使用ください。

12.2. レジスタテーブル

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	備考
0	SEC	fos	40	20	10	8	4	2	1	*1
1	MIN	fr	40	20	10	8	4	2	1	-
2	HOUR	fr	○	20	10	8	4	2	1	*3
3	WEEK	fr	6	5	4	3	2	1	0	-
4	DAY	fr	○	20	10	8	4	2	1	*3
5	MONTH	fr	○	○	10	8	4	2	1	*3
6	YEAR	80	40	20	10	8	4	2	1	-
7	MIN Alarm	AE	40	20	10	8	4	2	1	-
8	HOUR Alarm	AE	●	20	10	8	4	2	1	*4
9	WEEK Alarm	AE	6	5	4	3	2	1	0	-
A	DAY Alarm	AE	●	20	10	8	4	2	1	*4
B	Frequency Setup	FE	●	FD4	FD3	●	FD2	FD1	FD0	*4
C	Timer Setup	TE	●	TD1	TD0	●	●	●	●	*4
D	Timer Counter	128	64	32	16	8	4	2	1	-
E	Control Register 1	○	○	○	TI/TP	AF	TF	AIE	TIE	*3
F	Control Register 2	○	<u>TEST</u>	STOP	RESET	HOLD	○	○	○	*2, *3

注) 0Vからの初期電源投入時 および fos ビット読み出し時の結果が fos = "1" のときは、必ず 全てのレジスタを初期設定してから 使用してください。
そのさい、日付・時間として正しくないデータの設定はしないでください。その場合の計時動作は 保証できません。

- *1. 0Vからの初期電源投入時、fos ビットは "1" にセットされます。
* このときの他のレジスタの値は不定ですので、必ず初期設定を実施してから使用してください。
- *2. TEST ビットは 弊社テスト用ビットです。書き込み時は 必ず "0" を設定してください。
- *3. '○' マークは、初期設定以降 "0" にて ご使用ください。
- *4. '●' マークは、任意データの R/W が可能な RAM bit です。

13. 使用方法

13.1. レジスタ説明

13.1.1. 時計カウンタ (Reg - 0[h] ~ 2[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	SEC	fos	40	20	10	8	4	2	1
1	MIN	fr	40	20	10	8	4	2	1
2	HOUR	fr	○	20	10	8	4	2	1

- [秒], [分], [時] を計時します。
- データ形式はBCD形式で、たとえば [SEC]レジスタが "0101 1001" ならば 59[秒]を意味します。
- fr ビットは、RTC 内部の計時カウンタの動作状況を示すフラグビットです。
- * 存在しない時刻データが書き込まれた場合は 正常な動作ができない原因になりますので ご注意ください。

1) [SEC] レジスタ

[秒] を計時するカウンタです。
00 秒, 01 秒, 02 秒 ~ 59 秒, 00 秒, 01 秒 ~ の順に更新します。

2) [MIN] レジスタ

[分] を計時するカウンタです。
00 分, 01 分, 02 分 ~ 59 分, 00 分, 01 分 ~ の順に更新します。

3) [HOUR] レジスタ

[時] を、24 時間制で計時するカウンタです。
00 時, 01 時, 02 時 ~ 23 時, 00 時, 01 時 ~ の順に更新します。

4) fos ビット (OSC Flag)

本 RTC の状態を検出して、結果を保持するフラグビットです。
電源電圧の低下などによって計時内容が有効でないとき、"0" → "1" に変化します。
読み出し時 "1" のときの 本 RTC の内容は無効ですので、その場合は、必ず 全てのレジスタを初期設定してから 使用してください。

- * 初期電源投入時は "1" にセットされています。
- * 読み出し時に "1" が確認されたときは、次回検出に備えるために 本 fos フラグを "0" クリアしてください。

5) fr ビット (READ Flag)

読み出し時の計時状況を検出して結果を示す、読み出し専用のフラグビットです。
読み出し中に桁上げが発生すると "0" → "1" に変化します。
読み出し時 "1" のときは 他の計時データも更新されている可能性がありますので、その場合は、もう一度、全計時レジスタを読み直す必要があります。

- * 本 fr ビットは、CE0 入力端子 または CE1 入力端子のどちらかを "L" にすることで、自動的に "0" クリアされます。
- * Reg - 1 ~ 5 の fr ビットは、全て 同じ機能です。

13.1.2. 曜日カウンタ (Reg - 3[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
3	WEEK	fr	6	5	4	3	2	1	0

• [曜日] を bit 0 ~ bit 6 までの 7 ビットにて示します。

01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 (→ 01h 曜 → 02h 曜 ~) の順に更新します。

• 曜日と値は 次のように対応しています。

[WEEK]	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日	Data [h]
Write / Read	0	0	0	0	0	0	0	1	日	01 h
	0	0	0	0	0	0	1	0	月	02 h
	0	0	0	0	0	1	0	0	火	04 h
	0	0	0	0	1	0	0	0	水	08 h
	0	0	0	1	0	0	0	0	木	10 h
	0	0	1	0	0	0	0	0	金	20 h
	0	1	0	0	0	0	0	0	土	40 h
Write 禁止	* 複数の曜日を "1" に設定しないでください。 また、上記 7 種以外の設定は 正常な動作ができない原因 になりますので ご注意ください。								-	-

13.1.3. カレンダーカウンタ (Reg - 04[h] ~ 06[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
4	DAY	fr	○	20	10	8	4	2	1
5	MONTH	fr	○	○	10	8	4	2	1
6	YEAR	80	40	20	10	8	4	2	1

• 2001 年 01 月 01 日 ~ 2099 年 12 月 31 日までの [日], [月], [年] を、オートカレンダー機能によって更新します。

• データ形式は BCD 形式で、たとえば [DAY]レジスタが "0011 0001" ならば 31 日を意味します。

* 存在しないカレンダーデータが書き込まれた場合は 正常な動作ができない原因になりますので ご注意ください。

1) [DAY] レジスタ

• [日] のカウンタです。
月によって更新状況が異なります。

* [年] が 4 の倍数のとき (04 年, 08 年, 12 年 ~ 88 年, 92 年, 96 年) はうるう年になりますので、その年の 02 月の [日] の更新は 02 月 01 日, 02 日, 03 日 ~ 28 日, 29 日 → 03 月 01 日 ~ となります。

DAY	月	更新内容
Write / Read	1, 3, 5, 7, 8, 12 月	01 日, 02 日, 03 日 ~ 30 日, 31 日, 01 日 ~
	4, 6, 9, 11 月	01 日, 02 日, 03 日 ~ 30 日, 01 日, 02 日 ~
	2 月 かつ 通常年	01 日, 02 日, 03 日 ~ 28 日, 01 日, 02 日 ~
	2 月 かつ うるう年	01 日, 02 日, 03 日 ~ 28 日, 29 日, 01 日 ~

2) [MONTH] レジスタ

• [月] のカウンタです。
01 月, 02 月, 03 月 ~ 12 月, 01 月, 02 月 ~ の順に更新します。

3) [YEAR] レジスタ

• [年] のカウンタです。
00 年, 01 年, 02 年 ~ 99 年, 00 年, 01 年 ~ の順に更新します。

• [年] が 4 の倍数のとき (04 年, 08 年, 12 年 ~ 88 年, 92 年, 96 年) はうるう年になります。

13.1.4. アラームレジスタ (Reg - 7[h] ~ A[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
7	MIN Alarm	AE	40	20	10	8	4	2	1
8	HOUR Alarm	AE	•	20	10	8	4	2	1
9	WEEK Alarm	AE	6	5	4	3	2	1	0
A	DAY Alarm	AE	•	20	10	8	4	2	1

- アラーム割り込み機能を使用して [日], [曜], [時], [分]などに対する割り込みイベントを得たいときに、AIE ビット および AF ビットと ともに設定/使用します。
- 上記アラームレジスタの設定状況に 現時刻が一致すると、AF ビット = "1" かつ /AIRQ 端子 = "L" となるなど、アラーム割り込みイベントの発生を知ることができます。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

13.1.5. 定周期タイマ用ダウンカウンタ (Reg - C[h] ~ D[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
C	Timer Setup	TE	•	TD1	TD0	•	•	•	•
D	Timer Counter	128	64	32	16	8	4	2	1

- 定周期タイマ割り込み機能を使用するさいの、動作の制御 や 基準となる周期 (ソースクロック) の選択、またカウントダウン初期値 (プリセット値) を設定するレジスタです。
- 定周期タイマ割り込み機能を使用するには、TI/TP, TE, TF, TIE, TD1,0 ビットと ともに設定/使用します。
- 上記のタイマカウンタ (Reg - D) が 01 h → 00 h になると、TF ビット = "1" かつ /TIRQ 端子 = "L" となるなど、定周期タイマ割り込みイベントの発生を知ることができます。

このとき、TI/TP ビットが "0" の場合は 1 回限りで動作が終了 (レベル割り込みモード) し、また、TI/TP ビットが "1" の場合は 自動的に繰り返し動作を継続 (繰り返し割り込みモード) します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.6. 周波数出力設定レジスタ (Reg - B[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
B	Frequency Setup	FE	•	FD4	FD3	•	FD2	FD1	FD0

• FOUT 端子のクロック出力を制御します。

• CE1 = "H" 且つ FCON = "H" のときに 本レジスタが有効になり、本レジスタの設定によるクロックを出力 もしくは 出力を停止します。

* CE0, CE1, FCONの各入力端子 と FEビットによる、FOUT出力 と RTCアクセスの関係

CE0	CE1	FCON	FE	FOUT 出力	RTC アクセス
L	L	X	X	ハイインピーダンス	不可
H	L	X	X	ハイインピーダンス	
L	H	L	0	32.768 kHz 出力	
		L	1	32.768 kHz 出力	
		H	0	ハイインピーダンス	
H	H	H	1	FD bit 選択周波数出力	
		L	0	32.768 kHz 出力	
		L	1	32.768 kHz 出力	
		H	0	ハイインピーダンス	
H	H	H	1	FD bit 選択周波数出力	可

X : don't care

* CE1 = "H" 且つ FCON = "L" のときは 本レジスタの設定は無効となり、FOUT 端子は 32.768 kHz を出力します。

1) FE ビット (FOUT Enable)

本レジスタが有効なとき (CE1 = "H" 且つ FCON = "H") に限り、FOUT 端子の出力状態を制御します。

"1" の書き込みで、FOUT 端子を出力状態 (CMOS 出力) にします。このときの出力内容は、FD4, FD3 ビットで指定した周波数 (ソースクロック) を FD2, FD1, FD0 ビットで指定した分周比率で分周したのになります。

"0" の書き込みで、FOUT 端子を出力禁止状態 (= ハイインピーダンス状態) にします。

2) FD4, FD3 ビット

FD4 と FD3 ビットの組み合わせにより、基準となる周波数 (= ソースクロック) を選択します。

FD4	FD3	ソースクロック
0	0	32768 Hz
0	1	1024 Hz
1	0	32 Hz
1	1	1 Hz

3) FD2 ~ FD0 ビット

FD2, FD1, FD0 ビットの組み合わせにより、ソースクロックの分周比を選択します。

FD2	FD1	FD0	分周比	FOUT Duty
0	0	0	1 / 1	50 %
0	0	1	1 / 2	50 %
0	1	0	1 / 3	33 %
0	1	1	1 / 6	50 %
1	0	0	1 / 5	20 %
1	0	1	1 / 10	50 %
1	1	0	1 / 15	33 %
1	1	1	1 / 30	50 %

4) FOUT 端子のクロック出力設定

FD4, FD3 ビットで指定した周波数 (ソースクロック) を FD2, FD1, FD0 ビットで指定した分周比率で分周したものを、FOUT 端子から出力します。

FD2	FD1	FD0	FD4,3 0,0	FD4,3 0,1	FD4,3 1,0	FD4,3 1,1	FOUT Duty [%]
0	0	0	32768 Hz	1024 Hz	32 Hz	1 Hz	50 %
0	0	1	16384 Hz	512.0 Hz	16.0 Hz	1/2 Hz	50 %
0	1	0	10922 Hz	341.3 Hz	10.67 Hz	1/3 Hz	33 %
0	1	1	5461 Hz	170.67 Hz	5.33 Hz	1/6 Hz	50 %
1	0	0	6553.6 Hz	204.8 Hz	6.4 Hz	1/5 Hz	20 %
1	0	1	3276.8 Hz	102.4 Hz	3.2 Hz	1/10 Hz	50 %
1	1	0	2184.5 Hz	68.27 Hz	2.13 Hz	1/15 Hz	33 %
1	1	1	1092.3 Hz	34.13 Hz	1.07 Hz	1/30 Hz	50 %

13.1.7. 制御レジスタ 1 (Reg - E[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
E	Control Register 1	○	○	○	TI / TP	AF	TF	AIE	TIE

- 各種割り込みイベントの検出結果を記録したり、また、割り込みイベント発生時の外部への割り込み出力信号を制御します。

1) TI / TP ビット (Interrupt Signal Output Mode Select. Interrupt / Periodic)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") に、その割り込み動作を 1 回で終了させるかまたは 繰り返し継続させるかを 選択指定するビットです。

"1" の書き込みで、繰り返しの継続動作になります。

"0" の書き込みで、1 回限り 動作します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

2) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

アラーム割り込みイベントが発生すると、"0" → "1" に変化します。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

3) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

定周期タイマ割り込みイベントが発生すると、"0" → "1" に変化します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF, "0" → "1") の、/AIRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /AIRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/AIRQ 端子からの "L" レベル出力を禁止します。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

5) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/TIRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /TIRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/TIRQ 端子からの "L" レベル出力を禁止します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.8. 制御レジスタ 2 (Reg - F[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
F	Control Register 2	○	<u>TEST</u>	STOP	RESET	HOLD	○	○	○

• 時計, カレンダーなどの停止/動作再開 を制御するためのレジスタです。

1) TEST ビット

弊社のテスト用のビットです。

必ず "0" を設定してから使用してください。

他のビットへの書き込みのさいに、誤って "1" を書き込まないように ご注意願います。

* 万が一 "1" を書き込んでしまっても、CE0 端子 または CE1 端子が "L" レベルになると自動解除 (TEST=0 クリア) する セーフティ機能が動作します。

2) STOP ビット

計時動作を停止させます。

"1" の書き込みで 計時動作が停止して、"0" の書き込みで 計時が再開 (停止を解除) します。

STOP="1"をセットした場合は、次の書き込みアクセスまでの間に、

62µ秒以上のウエイト時間を入れてください。

* 機能の性質上、時計,カレンダーの設定以外での使用は 控えてください。

3) RESET ビット

前述 STOP 機能同様に計時動作を停止させ、また、1秒に満たない内部のカウンタをリセットします。

"1" の書き込みで 計時動作を停止させ、さらに RTC 内の秒未満の内部カウンタをリセットします。

"0" を書き込むか、CE0 端子 または CE1 端子を "L" にすることで 自動解除 (RESET = 0 クリア) します。

* 機能の性質上、時計,カレンダーの設定以外での使用は 控えてください。

4) STOP, RESET ビット と 他の動作との関係

STOP ビット または RESET ビットのどちらかでも "1" のときは、計時機能,カレンダー機能,各種割り込み機能が停止するなど、正しい動作ができません。

* STOP ビット, RESET ビットを "1" にしたままでは 使用しないでください。

5) HOLD ビット

計時レジスタの更新を、一時停止させます。

"1" の書き込みで 1秒桁への桁上げを停止します。

"0" の書き込みで 停止を解除 (= 計時更新を再開) します。 また、本ビットを "1" → "0" に戻したとき、それまでの間に 内部桁上げが発生していた場合には [1 回ぶんの計時 (1秒ぶんの計時) を 自動補正] します。

* HOLD = "1" の時間が2秒以上であっても 自動補正は [1 回ぶんの計時 (1秒ぶんの計時)] のみです。で、[HOLD ビットの使用は 1秒以内 を推奨] します。

6) STOP, RESET, HOLD ビットの設定 と 機能動作

ビット			機 能			
STOP	RESET	HOLD	計 時	タイマ	アラーム	FOUT
0	0	0	動作	動作	動作	動作
0	0	1	*1	*2	停止	動作
0	1	0	停止	*3	停止	*4
0	1	1	停止	*3	停止	*4
1	0	0	停止	*3	停止	*4
1	0	1	停止	*3	停止	*4
1	1	0	停止	*3	停止	*4
1	1	1	停止	*3	停止	*4

*1: 1秒以内であれば、自動補正機能により計時は自動補正されます。

*2: ソースクロック 1/60 Hz (1 min) 以外のソースクロックで 動作します。

*3: ソースクロック 4096 Hz 選択時のみ 動作します。

*4: ソースクロック 32768 Hz 選択時のみ 動作します。

13.2. 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μs ~ 255 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

各割り込みイベント発生時には TF ビット = "1" かつ /TIRQ 端子 = "L" となり、イベントの発生を知ることができます。

このとき、TI / TP ビットが "0" の場合は 1 回限りで動作が終了 (= レベル割り込みモード *1) し、また、TI / TP ビットが "1" の場合は 自動的に繰り返し動作を継続 (= 繰り返し割り込みモード *2) します。

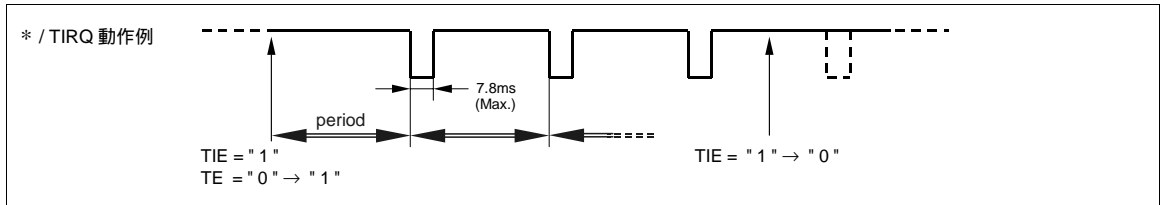
*1) レベル割り込みモード 概要図 (TI / TP = "0")

割り込みイベント発生後、1 回限りで動作を終了します。



*2) 繰り返し割り込みモード 概要図 (TI / TP = "1")

割り込みイベント発生後、自動的に繰り返し動作を継続します。



13.2.1. 定周期タイマ割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
C	Timer Setup	TE	•	TD1	TD0	•	•	•	•
D	Timer Counter	128	64	32	16	8	4	2	1
E	Control Register 1	○	○	○	TI / TP	AF	TF	AIE	TIE

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、まず最初に TE, TIE ビットを共に "0" にすることを推奨します。

* 定周期タイマ割り込み機能を使用しないときは、定周期タイマ用ダウンカウンタ (Reg - D) を RAM レジスタとして使用できます。 その場合は TE, TIE = "0" に設定して、定周期タイマ機能を停止させてください。

1) TI / TP ビット (Interrupt Signal Output Mode Select. Interrupt / Periodic)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") に、その割り込み動作を 1 回で終了させるかまたは 繰り返し継続させるかを 選択指定するビットです。

TI / TP	データ	内容
Write / Read	0	[レベル割り込みモード] 定周期タイマ割り込み機能を、1 回限り 動作させる
	1	[繰り返し割り込みモード] 定周期タイマ割り込み機能を、繰り返しで継続動作させる

2) TD1, TD0 ビット

定周期タイマ割り込み機能のカウンタダウン周期 (ソースクロック) を選択指定するビットです。この2つのビットの組み合わせで、全4種類より選択できます。

TD1, TD0	TD1 (bit 5)	TD0 (bit 4)	ソース クロック	自動復帰時間 tRTN
W / R	0	0	4096 Hz / 244.14 μ s 周期	122 μ s
	0	1	64 Hz / 15.625 ms 周期	7.813 ms
	1	0	1 Hz / 1 秒周期	7.813 ms
	1	1	1/60 Hz / 1 分周期	7.813 ms

- *1) /IRQ 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。
- *2) ソースクロック 1/60 Hz モード時の割り込みの発生は、内部計時の[分]更新に連動しています。
- *3) ソースクロック 1 Hz モード時の割り込みの発生は、内部計時には連動していません。(1 Hz タイマ専用回路を使用し、単独で動作します)

3) 定周期タイマ用ダウンカウンタ (Timer Counter)

Timer Counter レジスタ (Reg-D) は、プリセッタブル・ダウンカウンタの初期値 (プリセット値) を設定するレジスタで、カウント値は 1 (01h) ~ 255 (FFh) までの任意の値を設定できます。

ソースクロックの周期にて このダウンカウンタがカウントダウンし、01h \rightarrow 00h になると TF ビットが "1" になるなどのイベントが発生します。

- *1. 本レジスタを読み出すと、常にプリセット値が読み出せます。
(カウントダウン中の状況は読み出せません。)
- *2. 定周期タイマ割り込み機能を使用しないときは、本レジスタを RAM レジスタとして使用できます。
その場合は TE, TIE = "0" に設定して、定周期タイマ機能を停止させてください。

4) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write / Read	0	定周期タイマ割り込み機能は 停止する
	1	定周期タイマ割り込み機能が 動作する * TE ビット "0" \rightarrow "1" によるカウントダウンは、プリセット値から カウントダウンが始まります。 注) [レベル割り込みモード (1 回動作モード)] のときは、まず先に TF ビットを "0" クリアして、その後で TE ビットを "0" \rightarrow "1" にしてください。

5) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

定周期タイマ割り込みイベントが発生すると "0" \rightarrow "1" に変化します。また そのとき、TIE = "1" であった場合には /TIRQ 端子 = "L" となり、イベントの発生を知ることができます。

TF	データ	内容
Write	0	TF ビットを 0 クリアし、また、次回検出に備える * "0" クリアすると /TIRQ "L" 出力を解除できます (\rightarrow Hi-z になります)。
	1	"1" の書き込みは 無効です。
Read	0	定周期タイマ割り込みイベント発生の 検出なし
	1	定周期タイマ割り込みイベント発生の 検出あり * 結果は、"0" クリアするまで保持されます。

6) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF、"0" → "1") の、/TIRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /TIRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/TIRQ 端子からの出力を禁止します。

TIE	データ	内容
Write / Read	0	1) 定周期タイマ割り込みイベント発生時、 割り込み信号は発生させない (/TIRQ = Hi-z 継続) 2) 定周期タイマ割り込みイベント発生による 割り込み信号を解除する (/TIRQ、"L" → Hi-z)
	1	定周期タイマ割り込みイベント発生時、 割り込み信号を発生させる (/TIRQ = Hi-z → "L")

13.2.2. 定周期タイマ割り込み周期と時間誤差

ソースクロック設定 (TD1, TD0 設定) と定周期タイマ用ダウンカウンタ設定 (Reg - C 設定) の組み合わせによる、定周期タイマ割り込み周期の例を示します。

Timer Counter 設定値	ソースクロック			
	4096 Hz TD1,0 = 0,0	64 Hz TD1,0 = 0,1	1 Hz TD1,0 = 1,0	1/60 Hz TD1,0 = 1,1
0 (00h)	–	–	–	–
1 (01h)	244.14 μs	15.625 ms	1 s	1 min
2 (02h)	488.28 μs	31.250 ms	2 s	2 min
3 (03h)	732.42 μs	46.875 ms	3 s	3 min
⋮	⋮	⋮	⋮	⋮
255 (FFh)	62.26 ms	3.984 s	255 s	255 min

• 定周期タイマ割り込みの時間誤差と定周期タイマ割り込みの1周期の時間

定周期タイマ割り込みの時間誤差は、選択したソースクロックの $^{+0}/_{-1}$ 周期の時間が誤差となります。よって定周期タイマ割り込みの1周期は、設定時間に対して以下の範囲になります。

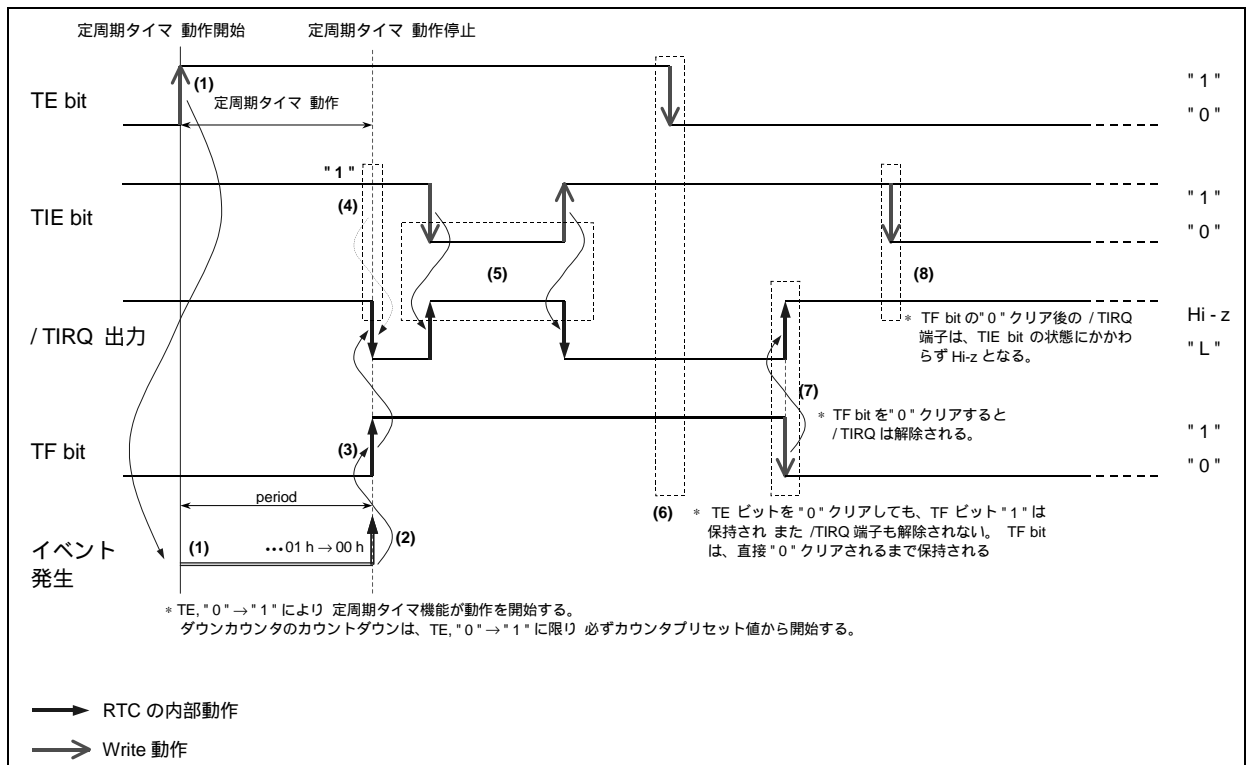
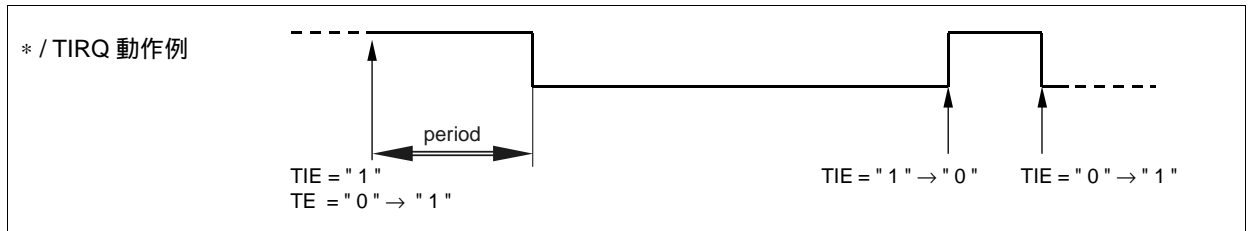
<p>定周期タイマ割り込みの1周期 (定周期タイマ割り込み設定時間*) - ソースクロック周期) ~ (定周期タイマ割り込み設定時間) *) 定周期タイマ割り込み設定時間 = ソースクロック設定 × 定周期タイマ用ダウンカウンタ設定</p>
--

* 実際の定周期タイマ割り込み時間は、上記時間の他にも設定時のシリアルデータ転送クロックの通信時間がプラスされます。

13.2.3. 定周期タイマ割り込み機能図

13.2.3.1. レベル割り込みモード (TI / TP = "0")

- 割り込みイベント発生後、1 回限りで動作を終了します。

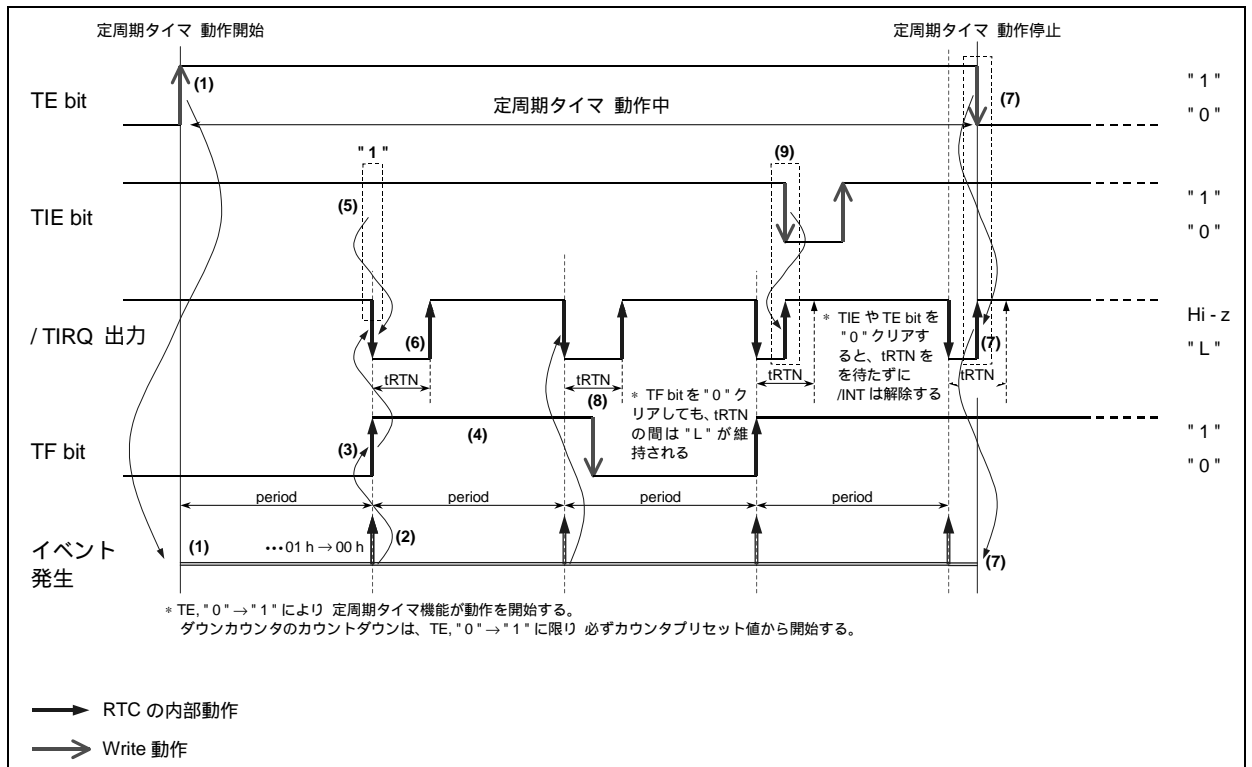
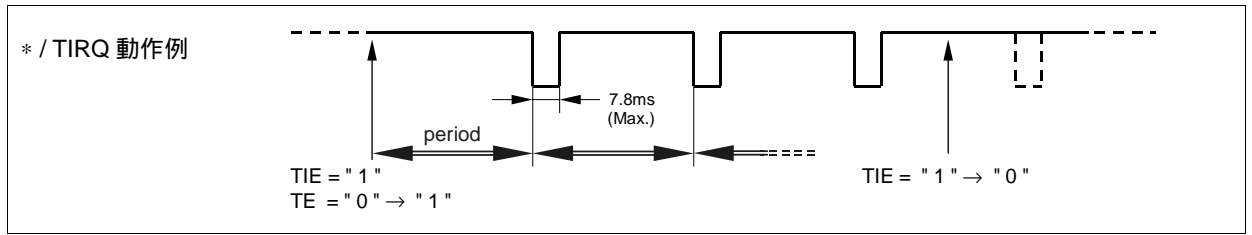


*) レベル割り込みモード (TI / TP = "0") を使用する前には、毎回、必ず TE bit の "0" クリア → TF bit の "0" クリアをしてください。

- (1) TE, "0" → "1" の書き込みにより、定周期タイマのカウントダウンが プリセット値から開始されます。
- (2) 定周期タイマ割り込みイベントは「ダウンカウンタのカウント値を ソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 01h → 00h になると割り込みイベントが発生する 」ようになっています。
- (3) 定周期タイマ割り込みイベントが発生すると、TF ビットは "1" になります。
- (4) 定周期タイマ割り込み発生時に TIE = "1" であれば、/TIRQ 端子は "L" を出力します。
* 定周期タイマ割り込み発生時に TIE = "0" であれば、/TIRQ 端子は Hi-z のまま変化はありません。
- (5) 割り込みイベント発生後の TF ビットが "1" の間は、TIE の設定により /TIRQ 端子を任意の状態へと移行可能です。
- (6) TF ビットが "1" のときは、TF ビットを "0" クリアするまで "1" が保持されます。
TE ビットを "0" クリアしても、TF ビット "1" は保持され、また /TIRQ 端子も解除されません。
- (7) TF bit を "0" クリアすると、/TIRQ 端子は "L" → Hi-z に解除されます。
- (8) TF bit の "0" クリア後の /TIRQ 端子は、TIE bit の状態にかかわらず Hi-z となります。

13.2.3.2. 繰り返し割り込みモード (TI / TP = " 1 ")

- 割り込みイベント発生後、自動的に繰り返し動作を継続します。



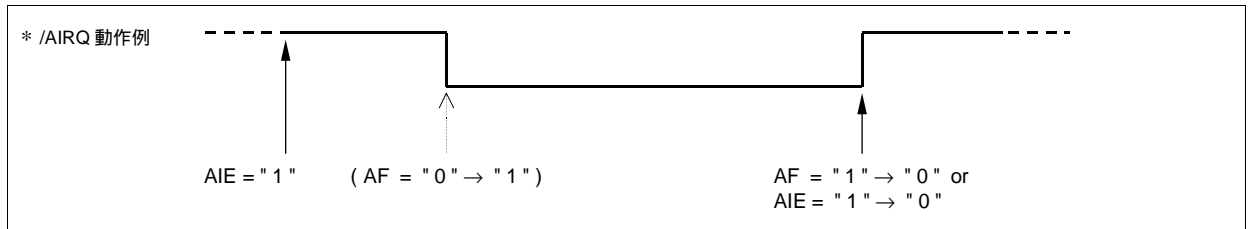
- (1) TE, " 0 " → " 1 " の書き込みより、定期周期タイマのカウントダウンがプリセット値から開始されます。
- (2) 定期周期タイマ割り込みイベントは「ダウンカウンタのカウント値をソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 01h → 00h になると割り込みイベントが発生する」ようになっています。
* ダウンカウンタが 01h → 00h になり 割り込みイベントが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)
- (3) 定期周期タイマ割り込みイベントが発生すると、TF ビットは " 1 " になります。
- (4) TF ビットが " 1 " のとき、0 クリアされるまで " 1 " が保持されます。
(TE ビットを " 0 " クリアしても、TF ビット " 1 " は保持されます)
- (5) 定期周期タイマ割り込み発生時に TIE = " 1 " であれば、/ TIRQ 端子は " L " を出力します。
* 定期周期タイマ割り込み発生時に TIE = " 0 " であれば、/ TIRQ 端子は Hi-z のまま変化はありません。
- (6) また / TIRQ 端子出力は、毎イベント発生ごとに tRTN 時間の間だけ " L " になり、その後は Hi-z に自動解除されます。
* 次の割り込みイベント発生時には 再度 / TIRQ = " L " となります。
- (7) TE, " 1 " → " 0 " の書き込みより、定期周期タイマの機能が停止し かつ / TIRQ, " L " → Hi-z になります。
- (8) / TIRQ = " L " 時に TF, " 1 " → " 0 " の書き込みをしても、/ TIRQ = " L " のままで Hi-z には解除されません。
- (9) / TIRQ = " L " 時に TIE, " 1 " → " 0 " の書き込みをすると、ただちに / TIRQ, " L " → Hi-z になります。

13.3. アラーム割り込み機能

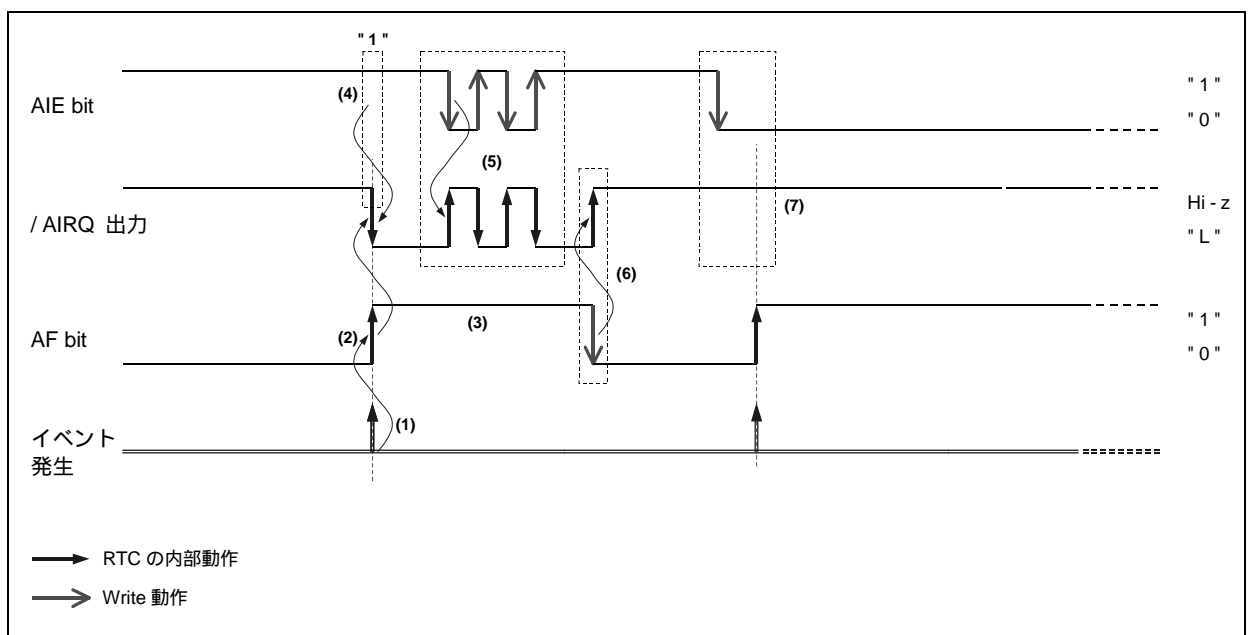
アラーム割り込み機能は、[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /AIRQ 端子 = "L" となり、イベントの発生を知ることができます。

* アラーム割り込みイベント発生時の /AIRQ "L" 出力は、意図的な解除をしないかぎり自動解除されず、/AIRQ "L" が保持されます。



13.3.1. アラーム割り込み機能図



- (1) 「アラーム割り込みイベントを発生させたい [分], [時], [曜], [日] をあらかじめ設定しておき、設定状況に現時刻が一致すると割り込みイベントが発生」します。
注) 現時刻と同じ状況を設定してもアラームは発生しません。 次回の同じ状況への桁上げ時にて発生します。
- (2) アラーム割り込みイベントが発生すると、AF ビットは "1" になります。
- (3) AF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) アラーム割り込み発生時に AIE = "1" ならば、/AIRQ 端子は "L" を出力します。
* アラーム割り込みイベント発生時の /AIRQ 端子出力は "L" になり、その後は AF ビットまたは AIE ビットによって解除されるまでこれを維持します。
- (5) /AIRQ = "L" 時に AIE, "1" → "0" の書き込みをすると、ただちに /AIRQ, "L" → Hi-z になります。
また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/AIRQ 状態を AIE ビットによって任意に制御することができます。
- (6) /AIRQ = "L" 時に AF, "1" → "0" の書き込みをすると、ただちに /AIRQ, "L" → Hi-z になります。
- (7) アラーム割り込み発生時に AIE = "0" ならば、/AIRQ 端子は Hi-z のままで変化はありません。

13.3.2. アラーム割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	MIN	fr	40	20	10	8	4	2	1
2	HOUR	fr	○	20	10	8	4	2	1
3	WEEK	fr	6	5	4	3	2	1	0
4	DAY	fr	○	20	10	8	4	2	1
7	MIN Alarm	AE	40	20	10	8	4	2	1
8	HOUR Alarm	AE	●	20	10	8	4	2	1
9	WEEK Alarm	AE	6	5	4	3	2	1	0
A	DAY Alarm	AE	●	20	10	8	4	2	1
E	Control Register 1	○	○	○	TI/TP	AF	TF	AIE	TIE

- * 動作設定を行うときは、設定中の不要なハードウェア割り込みを避けるために、まず最初に AIE ビットを "0" にすることを推奨します。
- * アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 7 ~ A) を RAM レジスタとして使用できません。その場合は、AIE ビットを必ず "0" にしてください。
- * アラームレジスタ (Reg - 7 ~ A) を RAM レジスタとして使用する場合でも RTC 内部はアラーム設定として処理されますので、AIE = "0" とすることで、書き込みデータと計時状況との偶然合致による意図しないアラーム発生(AIRQ "L" 発生)を事前に防止します。

1) アラームレジスタ (Reg - 7[h] ~ A[h])

アラーム割り込みイベントを発生させる [時], [分], [日], [曜] を設定します。

[曜]の設定は、(たとえば)月・水・金・土のような 複数曜日の同時設定も可能です。

アラームレジスタの設定状況に現時刻が一致すると AF ビットが "1" になります。また そのとき、事前に AIE ビットを "1" に設定していれば /AIRQ 端子が "L" になります。

- *1) アラーム発生の対象としたくない項目については、対象としたくない項目のレジスタの AE ビットを "1" にしてください。AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。

例) DAY Alarm レジスタ (Reg - A) に 80 h (AE = "1") を書き込む

[時],[分],[曜]がアラーム比較対象となる。[日]はアラーム比較対象外。

- *2) 4つの AE ビットの全てを "1" にしたときは、1分毎にアラーム割り込みイベントが発生します。

2) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" をセットしておく、アラーム割り込みイベントが発生したときに "0" → "1" に変化します。

AF	データ	内容
Write	0	AF ビットを 0 クリアし、また、次回検出に備える * "0" クリアすると、/AIRQ "L" 出力を解除できます (→ Hi-z になります)。
	1	"1" の書き込みは 無効です。
Read	0	アラーム割り込みイベント発生の 検出なし
	1	アラーム割り込みイベント発生の 検出あり * 結果は、"0" クリアするまで保持されます。

3) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (TF、" 0 " → " 1 ") の、/AIRQ 割り込み信号の動作を設定します。

" 1 " の書き込みにより、割り込みイベント発生時に /AIRQ 端子から " L " レベルの割り込み信号を発生させることができます。

" 0 " の書き込みでは、/AIRQ 端子からの出力を禁止します。

AIE	データ	内容
Write / Read	0	1) アラーム割り込みイベント発生時、 割り込み信号は 発生させない (/AIRQ = Hi-z 継続) 2) アラーム割り込みイベント発生による 割り込み信号を 解除する (/AIRQ、" L " → Hi-z)
	1	アラーム割り込みイベント発生時、 割り込み信号を 発生させる (/AIRQ = Hi-z → " L ")

* /AIRQ を " L " にせずにアラーム割り込みイベントの発生を知りたいときは、AIE = " 0 " の状態で AF ビットを監視 (AF、" 0 " → " 1 " ?) してください。

13.3.3. アラーム設定例

1) アラーム設定時の基本事項

- アラームの対象として設定できる条件は [分], [時], [曜], [日] の 4 項目です。
- 時刻の設定は、24 時間制です。
- 曜日の設定は、複数の曜日の同時設定が可能です。
- アラーム対象としたくない項目は、対象レジスタの AE ビットを " 1 " にします。
* [分], [時], [曜], [日] の全ての AE ビットを " 1 " にしたときは、1 分毎にアラーム割り込みイベントが発生します。

2) アラーム設定例を示します。

アラーム設定 (例)	Reg - A	Reg - 9								Reg - 8	Reg - 7
	DAY Alarm	bit								HOUR Alarm	MIN Alarm
		7	6	5	4	3	2	1	0		
	AE	土	金	木	水	火	月	日			
• 毎月 1 日、11 : 45 PM: [日] 01 日 [曜] 不問 [時] 午後 11 時 (24 時間制 → 23 時) [分] 45 分	01 h	1	X	X	X	X	X	X	X	23 h	45 h
• 毎週 月 ~ 金、7 : 00 AM: [日] 不問 [曜] 月、火、水、木、金 曜日 [時] 午前 07 時 (24 時間制 → 07 時) [分] 00 分 または 不問	80h ~ FFh AE = " 1 "	0	0	1	1	1	1	1	0	07 h	80h ~ FFh AE = " 1 "
• 常時 1 分毎: [日] 不問 [曜] 不問 [時] 不問 [分] 不問	80h ~ FFh AE = " 1 "	1	X	X	X	X	X	X	X	80h ~ FFh AE = " 1 "	80h ~ FFh AE = " 1 "

X : don't care

* 上記のレジスタ設定は一例です。
期待動作のための設定が、いくつか存在する場合があります。

13.4. データのリード/ライト

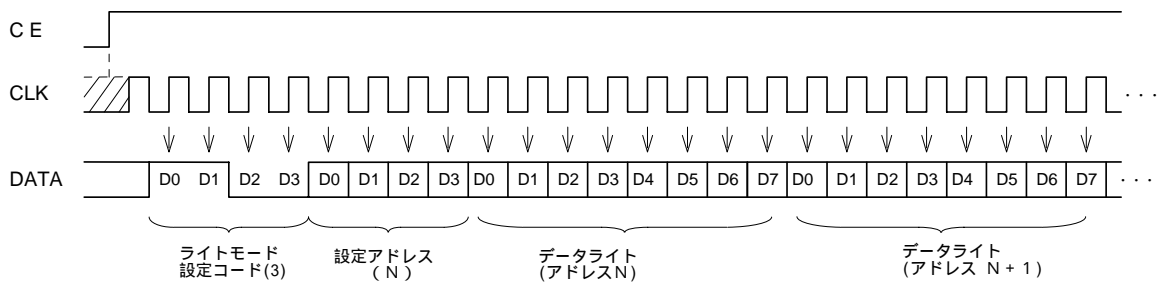
書き込み / 読み出し共に、CE 入力の立ち上がり後、4 ビットのモード設定、続いて 4 ビットのアドレス指定を行い、その後は 8 ビット単位でのデータ R/W をおこないます。

書き込み読み出し共に、**LSB ファースト**です。

アドレスのオートインクリメントは循環で、アドレス "F" の次は アドレス "0" となります。

13.4.1. データの書き込み

- 1) CE 入力立ち上がり後の最初の 4 ビットをライトモードを示す "3" とし、次の 4 ビットに書き込みたいアドレスを設定します。
- 2) 続く 8 ビット書き込みデータは 先に設定したアドレスに対して実行され、次の 8 ビットデータは自動アドレスインクリメントされたアドレスに対して 順次データが書き込まれていきます。

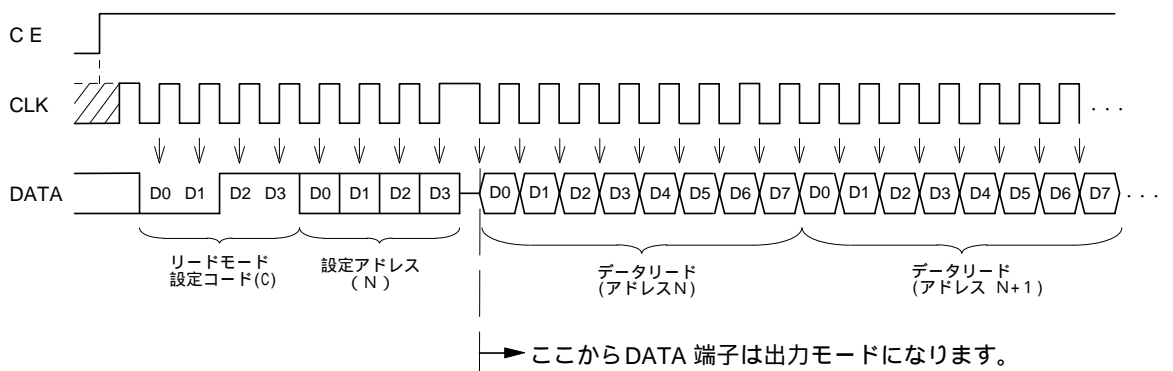


データの書き込み時は 8 ビット単位のデータを入力する必要があります。

8 ビット単位のデータ入力未完の状態でも CE0 端子(または CE1 端子)入力を立ち下げた場合、CE 入力が立ち下がった時点の 8 ビットデータは正常な書き込みができません。

13.4.2. データの読み出し

- 1) CE 入力立ち上がり後の最初の 4 ビットをリードモードを示す "C" とし、次の 4 ビットに読み出したいアドレスをセットします。
- 2) 続く 8 ビット読み出しは 先に設定したアドレスのデータを、次の 8 ビットは自動アドレスインクリメントされたアドレスのデータを順次読み出すことができます。



13.4.3. モード設定コード

Mode	設定コード
Write	3 h
Read	C h

* モード設定コード部に上記以外を設定した場合には その後のデータは無視され、DATA 端子は入力状態を保ちます。



Application Manual

エプソントヨコム株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒980-0013 仙台市青葉区花京院 1-1-20 花京院スクエア 19F
TEL (022) 263-7975 (直通) FAX (022) 263-7990

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 17F
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

〒399-8707 塩尻市広丘原新田 80 セイコーエプソン(株) 広丘事業所 EBL 棟 2F
TEL (0263) 51-1050 (直通) FAX (0263) 54-6931

インターネットによる電子デバイス情報配信

<http://www.epsontoyocom.co.jp>

代理店
