

アプリケーションマニュアル

Real Time Clock Module

RA-8581SA

機種名	製品型番
RA-8581SA	Q41A88151XXXXX00

エプソントヨコム株式会社

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

- 1) 本マニュアルの内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
- 2) 本マニュアルの一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 3) 本マニュアルに記載された応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。
また、本カタログによって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
- 4) 特性表の数値の大小は、数値線上の大小関係で表します。
- 5) 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
- 6) 製品は一般電子機器に使用されることを意図し設計されたものです。
特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得て下さい。
承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等）2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器4 海底中継機器5 発電所制御機器6 防災・防犯装置7 交通用機器
 - 8 その他：1～7と同等の信頼性を必要とする用途
- 7) 製品呼称、識別マークにつきましては順次統合していく予定ですが本マニュアルにおきましては統合前に両社が使用していた呼称、識別マークを継承しています。正式型番、識別マーク等詳細につきましては仕様書等でご確認いただけますようお願いいたします。

本マニュアルに記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 絶対最大定格	3
5. 推奨動作条件	3
6. 周波数特性	3
7. 電気的特性	3
7.1. DC 電気的特性	3
7.2. AC 電気的特性	4
8. 使用方法	5
8.1. 機能概要	5
8.2. レジスタ説明	6
8.3. 定周期タイマ割り込み機能	13
8.4. 時刻更新割り込み機能	16
8.5. アラーム割り込み機能	18
8.6. I ² C-BUS インタフェースによるデータのリード/ライト	21
8.7. バックアップへの移行 および 復帰	25
8.8. 一般的なマイコンとの接続	25
9. 外形寸法図 / マーキングレイアウト	26
9.1. 外形寸法図	26
9.2. マーキングレイアウト	26
10. 参考データ	27
11. 使用上の注意事項	28

車載用 小型 I²C-Bus インタフェース RTC モジュール

RA - 8581 SA

- 車載アクセサリに最適
- 周波数調整された 32.768 kHz 水晶振動子内蔵により無調整使用可能, 低実装コストの実現
- I²C-BUS シリアル インタフェース (I²C 高速バス規格 400 kHz 対応)
- 曜,日,時,分のアラーム割り込み機能 (/INT 端子)
- インターバルタイマ割り込み機能 (1/4096 秒~4095 分まで設定可能, /INT 端子)
- 時刻更新割り込み機能 (秒・分, /INT 端子)
- OE 機能付き 32.768 kHz 出力 (FOE, FOUT 端子)
- 自動うるう年補正機能 (2000 ~ 2099 年まで対応)
- 1.8 V ~ 5.5 V の幅広いインタフェース電圧範囲
- 1.6 V ~ 5.5 V の幅広い計時(保持)電圧範囲
- C-MOS プロセスによる低消費電流 0.45 μ A / 3 V (Typ.)

I²C-Bus は、NXP Semiconductors の商標です。

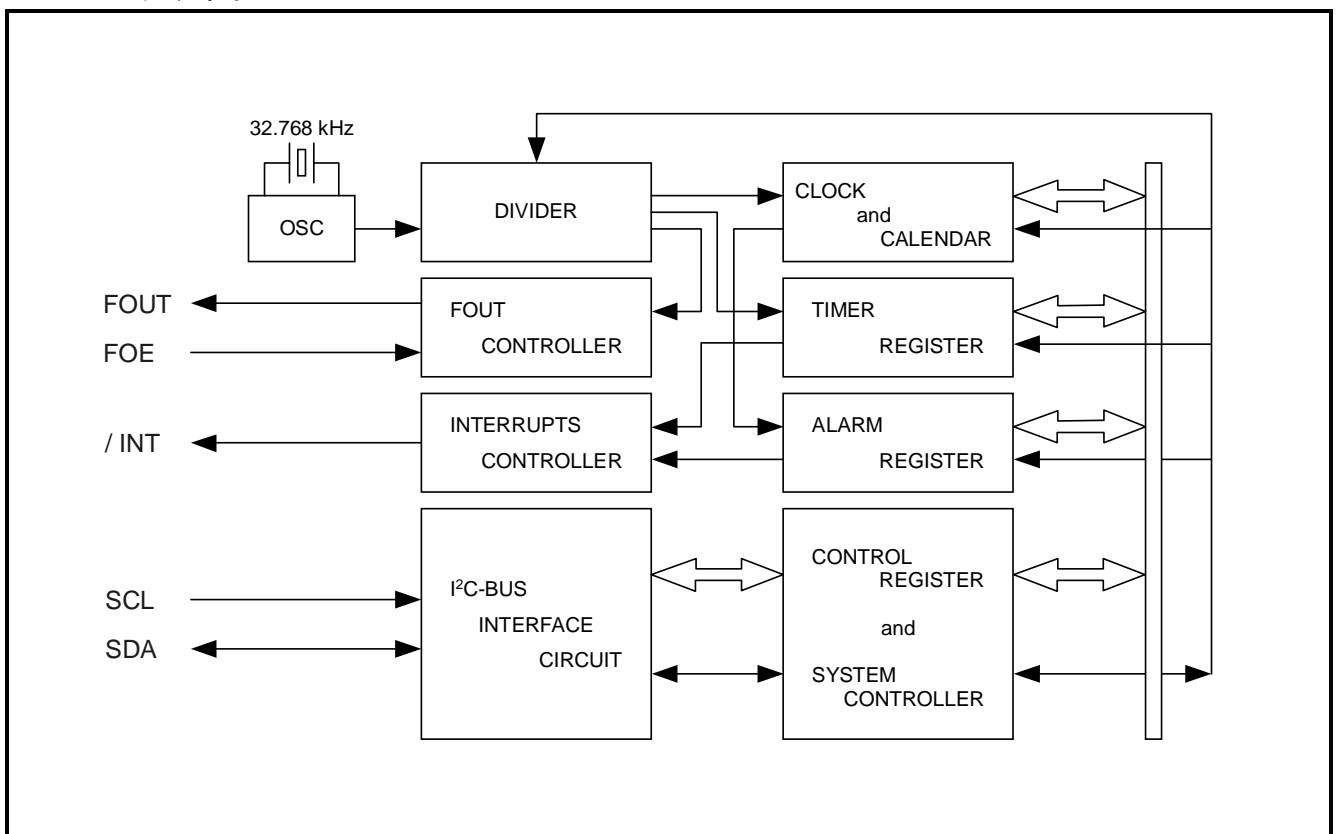
1. 概要

本モジュールは、32.768 kHz の水晶振動子を内蔵した I²C-BUS インタフェース方式のリアルタイムクロック・モジュールです。

年,月,日,曜日,時,分,秒のカレンダー・時計カウンタの他、時刻アラーム、インターバルタイマ、時刻更新割り込み、32.768 kHz 出力などの豊富な機能を備えています。

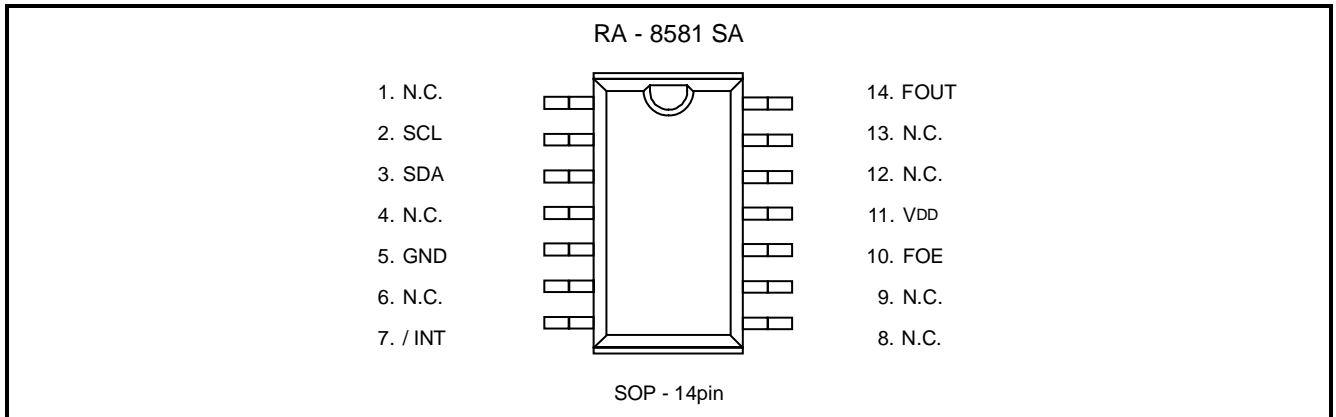
デバイスは C-MOS プロセスによる低消費電流となっており、長期間におけるバッテリーバックアップが可能です。

2. ブロック図



3. 端子説明

3.1. 端子配置



3.2. 端子機能

端子名	入出力	機 能
SCL	入力	I ² C-BUS 通信用のシリアルクロックを入力します。
SDA	双方向	I ² C-BUS 通信用のシリアルクロックに同期して、アドレス、データ、アクノリッジビットなどを入出力します。 この端子は 出力時オープンドレインですので、信号線の容量により 適切なプルアップ抵抗を接続してください。
FOUT	出力	この端子は FOE 端子による出力制御付きの C-MOS 出力端子です。 FOE = "H" のとき、32.768 kHz を出力します。 出力停止時の FOUT 端子は "L" レベルとなります。
FOE	入力	FOUT 出力端子の出力状態を制御するための入力端子です。 本端子が "H" レベルのときに FOUT 出力は出力状態になります。 また、本端子が "L" レベルならば FOUT 出力は停止します。
/INT	出力	アラーム、タイマ、時刻更新 などの割り込み信号を出力します。 この端子はオープンドレイン端子です。
VDD	-	+電源に接続します。
GND	-	グラウンドに接続します。
N.C.	-	内部 IC と結線されていません。 OPEN もしくは、GND または VDD と接続してください。

注) VDD - GND 間 直近に 0.1 μF 以上のパスコンを必ず接続してください。

4. 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
電源電圧	VDD	VDD - GND 間	-0.3 ~ +7.0	V
入力電圧 (1)	VIN1	FOE 端子	GND-0.3 ~ VDD+0.3	V
入力電圧 (2)	VIN2	SCL, SDA 端子	GND-0.3 ~ +8.0	V
出力電圧 (1)	VOUT1	FOUT 端子	GND-0.3 ~ VDD+0.3	V
出力電圧 (2)	VOUT2	SDA, /INT 端子	GND-0.3 ~ +8.0	V
保存温度	TSTG	梱包状態を除く 単品での保存	-55 ~ +125	°C

5. 推奨動作条件

GND = 0 V V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	VDD	-	1.8	3.0	5.5	V
計時電源電圧	VCLK	-	1.6	3.0	5.5	V
動作温度範囲	TOPR	結露無きこと	-40	+25	+85	°C

6. 周波数特性

GND = 0 V

項目	記号	条件	規格	単位
周波数精度	$\Delta f / f$	Ta = +25 °C, VDD = 3.0 V	5 ± 23.0 (*1)	× 10 ⁻⁶
周波数電圧特性	f / V	Ta = +25 °C, VDD = 2.0 V ~ 5.0 V	± 2 Max.	× 10 ⁻⁶ / V
周波数温度特性	Top	Ta = -20 °C ~ +70 °C, VDD = 3.0 V ; +25 °C 基準	+10 / -120	× 10 ⁻⁶
発振開始時間	tSTA	Ta = -40 °C ~ +85 °C VDD = 3.0 V (*2)	3 Max.	s
エージング	fa	Ta = +25 °C, VDD = 3.0 V 初年度	± 5 Max.	× 10 ⁻⁶ / year

*1) 月差 1 分相当。(オフセット値を除く)

7. 電気的特性

7.1. DC 電気的特性

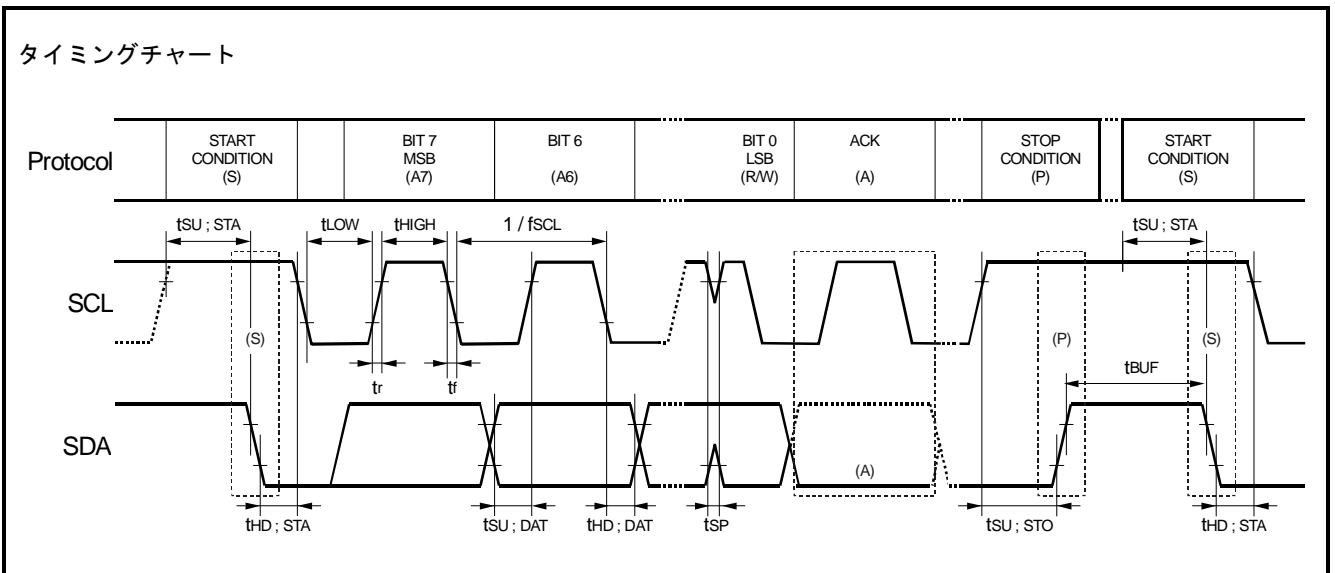
※特記無き場合、GND = 0 V, VDD = 1.8 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流(1)	IDD1	fSCL = 0 Hz /INT = VDD, FOE = GND	VDD = 5 V	0.65	1.2	μA
消費電流(2)	IDD2	FOUT ; 出力 OFF ("L" レベル)	VDD = 3 V	0.45	0.8	
消費電流(3)	IDD3	fSCL = 0 Hz /INT, FOE = VDD	VDD = 5 V	3.0	7.5	μA
消費電流(4)	IDD4	FOUT ; 32.768 kHz 出力 ON, CL = 0 pF	VDD = 3 V	1.7	4.5	
消費電流(5)	IDD5	fSCL = 0 Hz /INT, FOE = VDD	VDD = 5 V	8.0	20.0	μA
消費電流(6)	IDD6	FOUT ; 32.768 kHz 出力 ON, CL = 30 pF	VDD = 3 V	5.0	12.0	
"H" 入力電圧	VIH1	FOE 端子	0.7 × VDD		VDD + 0.3	V
	VIH2	SCL, SDA 端子	0.7 × VDD		6.0	V
"L" 入力電圧	VIL	入力端子	GND - 0.3		0.3 × VDD	V
"H" 出力電圧	VOH1	FOUT 端子	VDD=5 V, IOH=-1 mA	4.5	5.0	V
	VOH2		VDD=3 V, IOH=-1 mA	2.2	3.0	
	VOH3		VDD=3 V, IOH=-100 μA	2.9	3.0	
"L" 出力電圧	VOL1	FOUT 端子	VDD=5 V, IOL=1 mA	GND	GND+0.5	V
	VOL2		VDD=3 V, IOL=1 mA	GND	GND+0.8	
	VOL3		VDD=3 V, IOL=100 μA	GND	GND+0.1	
	VOL4	/INT 端子	VDD=5 V, IOL=1 mA	GND	GND+0.25	V
	VOL5		VDD=3 V, IOL=1 mA	GND	GND+0.4	
	VOL6		SDA 端子 VDD ≥ 2 V, IOL=3 mA	GND	GND+0.4	
入力リーク電流	ILK	入力端子, VIN = VDD or GND	-0.5		0.5	μA
出力リーク電流	IOZ	/INT, SDA, FOUT 端子, VOUT = VDD or GND	-0.5		0.5	μA

7.2. AC 電気的特性

※特記無き場合、GND = 0 V, VDD = 1.8 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
SCL クロック周波数	fSCL				400	kHz
開始条件 セットアップ時間	tSU;STA		0.6			μs
開始条件 ホールド時間	tHD;STA		0.6			μs
データ セットアップ時間	tSU;DAT		100			ns
データ ホールド時間	tHD;DAT		0			ns
停止条件 セットアップ時間	tSU;STO		0.6			μs
開始条件と停止条件の間のバスマフリー時間	tBUF		1.3			μs
SCL "L" 時間	tLOW		1.3			μs
SCL "H" 時間	tHIGH		0.6			μs
SCL,SDA 立ち上がり時間	tr				0.3	μs
SCL,SDA 立ち下がり時間	tf				0.3	μs
バス上の許容スパイク時間	tSP				50	ns
FOUT デューティ	tw / t	VDD = 2.4 V ~ 5.5 V 50% VDD レベル	45	50	55	%



注意 :

- (1) 本デバイスへのアクセスは、[START コンディションの送信からアクセス終了後の STOP コンディション送信までの一連の通信]を 0.95 秒以内に終了してください。
0.95 秒以上の時間が かった場合は、内部の BUS タイムアウト機能により I²C バスインタフェースがリセットされます。
- (2) データ書込み時は、8 ビット単位のデータを入力する必要があります。
8 ビット単位のデータ入力の途中で中断状態となったときは、その 8 ビットデータは正常な書込みができません。

8. 使用方法

8.1. 機能概要

1) 時計機能

西暦の下二桁と年・月・日、曜、時・分・秒までのデータの設定/計時/読み出しが可能です。

西暦の下二桁が4の倍数のときは自動的にうるう年と認識し、2099年までを自動判別します。

* 詳細は [項 8.2. レジスタ説明] を参照してください。

2) 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μ s ~ 4095 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /INT 端子 = "L" となり、イベントの発生を知ることができます。(ただし 定周期タイマ割り込みイベント発生時の /INT "L" 出力は、TIE = "1" である限り、割り込み発生後 7.8 ms(Max.) で自動解除(/INT = "L" \rightarrow Hi-z)します)

* 詳細は [項 8.3. 定周期割り込み機能] を参照してください。

3) 時刻更新割り込み機能

時刻更新割り込み機能は、1秒間隔 または 1分間隔にて 内部計時に合わせたタイミングで割り込みイベントを発生させる機能です。

割り込みイベント発生時には UF ビット = "1" かつ /INT 端子 = "L" となり、イベントの発生を知ることができます。(ただし 定周期タイマ割り込みイベント発生時の /INT "L" 出力は、UIE = "1" である限り、割り込み発生後 7.8 ms(固定値) で自動解除(/INT = "L" \rightarrow Hi-z)します)

* 詳細は [項 8.4. 時刻更新割り込み機能] を参照してください。

4) アラーム割り込み機能

アラーム割り込み機能は、[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /INT 端子 = "L" となり、イベントの発生を知ることができます。

* 詳細は [項 8.5. アラーム割り込み機能] を参照してください。

5) 32.768 kHz クロック出力

内蔵水晶振動子と同精度の 32.768 kHz クロックを、FOUT 端子から出力することができます。

FOUT 端子は CMOS 出力で、FOE 端子を "H" にするとクロックを出力し、FOE 端子が "L" では出力を "L" にすることができます。

6) CPU とのインタフェース

SCL(クロック)と SDA(データ)の2つの信号線により、I²Cバスインタフェースにてデータのリード、ライトを行います。

SCL, SDA ともに V_{DD} 側に保護ダイオードがありませんので、回路基板上でプルアップ抵抗を付加することで電源電圧の異なるホストとのデータのインタフェースが可能です。

SCLの最大クロック周波数は 400 kHz (1.8 V \leq V_{DD} 時) で、I²Cバス高速モードに対応しています。

* データのリード/ライトについては [項 8.6. I²C-BUS インタフェースによるデータのリード/ライト] を参照してください。

8.2. レジスタ説明

8.2.1. レジスタテーブル

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	備考
0	SEC	○	40	20	10	8	4	2	1	*3
1	MIN	○	40	20	10	8	4	2	1	*3
2	HOUR	○	○	20	10	8	4	2	1	*3
3	WEEK	○	6	5	4	3	2	1	0	*3
4	DAY	○	○	20	10	8	4	2	1	*3
5	MONTH	○	○	○	10	8	4	2	1	*3
6	YEAR	80	40	20	10	8	4	2	1	—
7	RAM	•	•	•	•	•	•	•	•	*4
8	MIN Alarm	AE	40	20	10	8	4	2	1	—
9	HOUR Alarm	AE	•	20	10	8	4	2	1	*4
A	WEEK Alarm	AE	6	5	4	3	2	1	0	*4
	DAY Alarm		•	20	10	8	4	2	1	
B	Timer Counter 0	128	64	32	16	8	4	2	1	—
C	Timer Counter 1	•	•	•	•	2048	1024	512	256	*4
D	Extension Register	TEST	WADA	USEL	TE	○	○	TSEL1	TSEL0	*1, *3, *5
E	Flag Register	○	○	UF	TF	AF	○	VLF	○	*1, *2, *3
F	Control Register	○	○	UIE	TIE	AIE	○	STOP	RESET	*3

注) 初期電源投入時 および VLF ビット読み出し時の結果が VLF = "1" のときは、必ず 全てのレジスタを初期設定してから 使用してください。

そのさい、日付・時間として正しくないデータの設定は しないでください。 その場合の計時動作は 保証できません。

*1) 初期電源投入時、TEST ビットは "0" にリセットされ また VLF ビットは "1" にセットされます。
* このときの他のレジスタの値は不定ですので、必ず初期設定を実施してから使用してください。

*2) UF, TF, AF, VLF ビットは、"0" のみが書き込み可能です。

*3) '○' マークは、初期設定以降 "0" にて ご使用ください。

*4) '•' マークは、任意データの R/W が可能な RAM bit です。

*5) TEST ビットは 弊社テスト用ビットです。 書き込み時は 必ず "0" を設定してください。

8.2.2. 制御レジスタ (Reg-F)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
F	Control Register (Default)	○ (0)	○ (0)	UIE (-)	TIE (-)	AIE (-)	○ (0)	STOP (-)	RESET (-)

*1) Default は、0V からの電源初期投入後に読み出される(あるいは内部設定される)値です。

*2) '○' は、ライト不能で、リード時は常時 "0" が読み出せます。

*3) '-' は、[Default 値、不定] を意味します。

• /INT 端子からの割り込みイベント出力の制御 や 時計, カレンダの停止/動作 を制御するためのレジスタです。

1) UIE ビット (Update Interrupt Enable)

時刻更新割り込みイベント発生時(UF, "0" → "1")に、割り込み信号を発生させるか(/INT, Hi-z → "L") または 発生させない(/INT = Hi-z 継続)かを選択指定するビットです。

"1" の書き込みで、割り込みイベント発生時に 割り込み信号を発生(/INT, Hi-z → "L")させます。

"0" の書き込みで、割り込みイベント発生にかかわらず 割り込み信号は発生させません。

UIE	データ	機能概要
Write / Read	0	時刻更新割り込みイベント発生時、 割り込み信号は発生させない または 解除(/INT, "L" → Hi-z)する
	1	時刻更新割り込みイベント発生時、 割り込み信号を 発生させる(/INT = Hi-z → "L") * 時刻更新割り込みイベント発生時の/INT "L" 出力は、UIE = "1" である限り、割り込み発生後 7.8 ms で自動解除(/INT = "L" → Hi-z)します。

* 詳細は [項 8.4. 時刻更新割り込み機能] を参照してください。

2) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時(TF, "0" → "1")に、割り込み信号を発生させるか(/INT, Hi-z → "L") または 発生させない(/INT = Hi-z 継続)かを選択指定するビットです。

"1" の書き込みで、割り込みイベント発生時に 割り込み信号を発生(/INT, Hi-z → "L")させます。

"0" の書き込みで、割り込みイベント発生にかかわらず 割り込み信号は発生させません。

TIE	データ	機能概要
Write / Read	0	定周期タイマ割り込みイベント発生時、 割り込み信号は発生させない または 解除(/INT, "L" → Hi-z)する
	1	定周期タイマ割り込みイベント発生時、 割り込み信号を 発生させる(/INT = Hi-z → "L") * 定周期タイマ割り込みイベント発生時の/INT "L" 出力は、TIE = "1" である限り、割り込み発生後 7.8 ms(Max.)で自動解除(/INT = "L" → Hi-z)します。

* 詳細は [項 8.3. 定周期タイマ割り込み機能] を参照してください。

3) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時(AF, "0" → "1")に、割り込み信号を発生させるか(/INT, Hi-z → "L") または 発生させない(/INT = Hi-z 継続)かを選択指定するビットです。

"1" の書き込みで、割り込みイベント発生時に 割り込み信号を発生(/INT, Hi-z → "L")させます。

"0" の書き込みで、割り込みイベント発生にかかわらず 割り込み信号は発生させません。

AIE	データ	機能概要
Write / Read	0	アラーム割り込みイベント発生時、 割り込み信号は発生させない または 解除(/INT, "L" → Hi-z)する
	1	アラーム割り込みイベント発生時、 割り込み信号を 発生させる(/INT = Hi-z → "L") * アラーム割り込みイベント発生時の/INT "L" 出力は、AIE = "1" である限り、AF ビットが 0 クリアされるまで これを保持します。(自動解除無し)

* 詳細は [項 8.5. アラーム割り込み機能] を参照してください。

[注意]

- 1) /INT 端子は 3 種類の割り込みイベントの共通割り込み出力端子で、各割り込み出力の論理和を出力します。
割り込みが発生(/INT = "L")した時は UF, TF, AF フラグを読み出して、どの種類の割り込みイベントが発生したのか(どのフラグが "1" か)を確認してください。
- 2) /INT 端子を "L" にしたくないときは、UIE, TIE, AIE の全てのビットを "0" にしてください。
/INT 端子からの割り込み出力を使用せずにイベント発生状況を確認したい場合は、UF, TF, AF それぞれの割り込みフラグを ソフトウェアにて監視してください。

4) STOP ビット

RTC 内部のカウンタ動作に関する機能を停止させます。

"1" の書き込みで カウンタ動作を停止させます。

"0" の書き込みで 停止を解除 (= 動作を再開) します。

* 機能の性質上、時計、カレンダーの設定以外での使用は 控えてください。

STOP	データ	内容
Write / Read	0	<p>[通常動作モード]</p> <p>時計、カレンダーの停止を解除 (= 動作を再開) し、また、STOP ビットを "1" にしたことによる定周期タイマ機能の停止を解除する</p> <p>* RESET ビット = "1" のときは 動作は再開されませんので、動作を再開させるには STOP, RESET ビットの両方を "0" にする必要があります。</p>
	1	<p>[動作停止モード]</p> <p>年、月、日、曜、時、分、秒の更新 および 定周期タイマ機能の一部が停止する</p> <p>停止 1) 年、月、日、曜、時、分、秒の更新が停止</p> <ul style="list-style-type: none"> 計時、カレンダー動作の更新が全て停止します。 それに伴い、時刻更新割り込みイベント、アラーム割り込みイベントが発生しなくなります。 <p>停止 2) 定周期タイマ機能の一部が停止</p> <ul style="list-style-type: none"> 定周期タイマのソースクロック設定が 64 Hz, 1 Hz, [分]更新の設定にあるときは、定周期タイマ機能が動作しません。 *ただし、定周期タイマのソースクロック設定が 4096 Hz 時では動作します。 <p>参考) STOP = "1" のとき、RTC 内部カウンタの 2 kHz 分周カウンタ以降の動作が停止します。</p>

5) RESET ビット

前述 STOP 機能同様に カウンタ動作に関する機能が停止し、さらに RTC 内の秒未満の内部カウンタをリセットします。

"1" の書き込みで カウンタ動作を停止させ、RTC 内の秒未満の内部カウンタをリセットします。

"0" の書き込みで 停止を解除 (= 動作を再開) します。また、STOP condition 受信時、Repeated START condition 受信時、0.95 秒 BUS タイムアウト機能動作時には 自動的に停止が解除 (RESET、"1" → "0") されます。

* 機能の性質上、時計、カレンダーの設定以外での使用は 控えてください。

RESET	データ	内容
Write / Read	0	<p>[通常動作モード]</p> <p>時計、カレンダーの停止を解除 (= 動作を再開) し、また、RESET ビットを "1" にしたことによる定周期タイマ機能の停止を解除する</p> <p>* STOP ビット = "1" のときは 動作は再開されませんので、動作を再開させるには STOP, RESET ビットの両方を "0" にする必要があります。</p>
	1	<p>[動作停止モード]</p> <p>年、月、日、曜、時、分、秒の更新 および 定周期タイマ機能の一部が停止する</p> <p>停止 1) 年、月、日、曜、時、分、秒の更新が停止</p> <ul style="list-style-type: none"> 計時、カレンダー動作の更新が全て停止します。 それに伴い、時刻更新割り込みイベント、アラーム割り込みイベントが発生しなくなります。 <p>停止 2) 定周期タイマ機能の一部が停止</p> <ul style="list-style-type: none"> 定周期タイマのソース設定が 64 Hz, 1 Hz, [分]更新の設定にあるときは、定周期タイマ機能が動作しません。 *ただし、定周期タイマのソースクロック設定が 4096 Hz 時では動作します。 <p>参項) RESET = "1" のとき、RTC 内部カウンタの 2 kHz 分周カウンタ以降の動作が停止し、かつ 2 kHz ~ 1 Hz の分周段はリセットされます。</p>

8.2.3. フラグレジスタ (Reg-E)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
E	Flag Register (Default)	○ (0)	○ (0)	UF (-)	TF (-)	AF (-)	○ (0)	VLF (1)	○ (0)

*1) Default は、0Vからの電源初期投入後に読み出される(あるいは内部設定される)値です。

*2) '○'は、ライト不能で、リード時は常時 "0" が読み出せます。

*3) '-'は、[Default 値、不定] を意味します。

- 各種割り込みイベントの発生 や 内部データの信頼性の低下 を 検出するためのレジスタです。

1) UF ビット (Update Flag)

あらかじめ "0" をセットしておく、時刻更新割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。このフラグビットが "1" のとき、"0" を書き込むまで それを保持します。

* 詳細は [項 8.4. 時刻更新割り込み機能] を参照してください。

2) TF ビット (Timer Flag)

あらかじめ "0" をセットしておく、定周期タイマ割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。このフラグビットが "1" のとき、"0" を書き込むまで それを保持します。

* 詳細は [項 8.3. 定周期タイマ割り込み機能] を参照してください。

3) AF ビット (Alarm Flag)

あらかじめ "0" をセットしておく、アラーム割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。このフラグビットが "1" のとき、"0" を書き込むまで それを保持します。

* 詳細は [項 8.5. アラーム割り込み機能] を参照してください。

4) VLF ビット (Voltage Low Flag)

計時動作や内部データの保持状態を示すフラグビットです。

本 VLF フラグの読み出し値が "1" のときは、電源電圧の低下などによって計時データ等が消失している可能性があることを意味しますので、その場合は、必ず 全てのレジスタを初期設定してから 使用してください。

初期設定では、次回検出に備えるために 本 VLF フラグを "0" クリアしてください。

VLF	データ	内容
Write	0	VLF ビットを 0 クリアし、また、次回検出に備えます。
	1	"1" の書き込みは 無効です。
Read	0	計時データ等は 保持されています。
	1	計時データ等が消失している可能性があります。 全てのレジスタを初期設定してから 使用してください。 (結果は、"0" を書き込むまでホールドされます)

8.2.4. 拡張レジスタ (Reg-D)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register (Default)	TEST (0)	WADA (-)	USEL (-)	TE (-)	○ (0)	○ (0)	TSEL1 (-)	TSEL0 (-)

*1) Default は、0Vからの電源初期投入後に読み出される(あるいは内部設定される)値です。

*2) '○'は、ライト不能で、リード時は常時 "0" が読み出せます。

*3) '-'は、[Default 値、不定] を意味します。

- アラームや時刻更新割り込み機能の対象の選択指定、定周期タイマの動作などを選択/設定するためのレジスタです。

1) TEST ビット

弊社のテスト用のビットです。

必ず "0" を設定してください。

他のビットへの書き込みの際に、誤って "1" を書き込まないように ご注意願います。

* 万が一 "1" を書き込んでしまっても、STOP condition 受信時、Repeated START condition 受信時、0.95 秒 BUS タイムアウト機能動作時には自動解除 (TEST = 0 クリア) されるよう、セーフティ機能が組み込まれています。

TEST	データ	内容
Write / Read	0	通常動作モード * Default
	1	設定禁止 (弊社テストモードです)

2) WADA ビット (Week Alarm / Day Alarm)

アラーム割り込み機能の対象を WEEK(週)にするか DAY(日)にするかを選択指定するビットです。

"1" の書き込みで、アラーム割り込み機能の比較対象を DAY(日)にします。

"0" の書き込みで、アラーム割り込み機能の比較対象を WEEK(週)にします。

* 詳細は [項 8.5. アラーム割り込み機能] を参照してください。

3) USEL ビット (Update Interrupt Select)

時刻更新割り込み機能の発生タイミングを [秒]更新時 か [分]更新時 のどちらに合わせるかを選択指定するビットです。

"1" の書き込みで、時刻更新割り込みの発生タイミングを 内部計時の [分]更新時(毎分) にします。

"0" の書き込みで、時刻更新割り込みの発生タイミングを 内部計時の [秒]更新時(毎秒) にします。

* 詳細は [項 8.4. 時刻更新割り込み機能] を参照してください。

3) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作/停止を制御するビットです。

"1" の書き込みで、定周期タイマ割り込み機能が動作を開始(プリセット値より カウントダウンを開始)します。

"0" の書き込みで、定周期タイマ割り込み機能を停止させます。

* 詳細は [項 8.3. 定周期タイマ割り込み機能] を参照してください。

4) TSEL0,1 ビット (Timer Select 0, 1)

定周期タイマ割り込み機能におけるカウントダウン周期(ソースクロック)を、この2つのビットの組み合わせで設定(全4種類)します。

TSEL0,1	TSEL1 (bit 1)	TSEL0 (bit 0)	ソース クロック
Write / Read	0	0	4096 Hz / 244.14 μs 周期
	0	1	64 Hz / 15.625 ms 周期
	1	0	[秒]更新 / 1 s 周期
	1	1	[分]更新 / 1 min 周期

* 詳細は [項 8.3. 定周期タイマ割り込み機能] を参照してください。

8.2.5. RAM レジスタ (Reg - 7)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
7	RAM	•	•	•	•	•	•	•	•

- 00h ~ FFh までの、任意データの R/W が可能な RAM レジスタです。

8.2.6. 時計カウンタ (Reg - 0 ~ 2)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	SEC	○	40	20	10	8	4	2	1
1	MIN	○	40	20	10	8	4	2	1
2	HOUR	○	○	20	10	8	4	2	1

*) '○' は、ライト不能で、リード時は常時 "0" が読み出せます。

- [秒], [分], [時] を計時します。
- データ形式はBCD形式で、たとえば秒レジスタが "0101 1001" ならば59秒を意味します。
- * 存在しない時刻データが書き込まれた場合は正常な動作ができない原因になりますのでご注意ください。

1) [秒] カウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	SEC	○	40	20	10	8	4	2	1

- [秒] を計時するカウンタで、00秒, 01秒, 02秒 ~ 59秒, 00秒, 01秒 ~ と計時します。

2) [分] カウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	MIN	○	40	20	10	8	4	2	1

- [分] を計時するカウンタで、00分, 01分, 02分 ~ 59分, 00分, 01分 ~ と計時します。

3) [時] カウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
2	HOUR	○	○	20	10	8	4	2	1

- [時] を24時間制で計時するカウンタで、00時, 01時, 02時 ~ 23時, 00時, 01時 ~ と計時します。

8.2.7. 曜日カウンタ (Reg - 3)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
3	WEEK	○	6	5	4	3	2	1	0

*) '○' は、ライト不能で、リード時は常時 "0" が読み出せます。

- [曜日] を bit 0 ~ bit 6 までの7ビットにて示します。
01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 → 01h 曜 → 02h 曜 ~ と更新します。
- 曜日と値は次のように対応しています。

WEEK	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日	Data [h]
Write / Read	0	0	0	0	0	0	0	1	日	01 h
	0	0	0	0	0	0	1	0	月	02 h
	0	0	0	0	0	1	0	0	火	04 h
	0	0	0	0	1	0	0	0	水	08 h
	0	0	0	1	0	0	0	0	木	10 h
	0	0	1	0	0	0	0	0	金	20 h
	0	1	0	0	0	0	0	0	土	40 h
Write 禁止	* 複数の曜日を "1" に設定しないでください。 また、上記7種以外の設定は正常な動作ができない原因になりますのでご注意ください。								-	-

8.2.8. カレンダー カウンタ (Reg - 4 ~ 6)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
4	DAY	○	○	20	10	8	4	2	1
5	MONTH	○	○	○	10	8	4	2	1
6	YEAR	80	40	20	10	8	4	2	1

*) '○' は、ライト不能で、リード時は常時 "0" が読み出せます。

- 2001年01月01日 ~ 2099年12月31日までの [日], [月], [年] を、オートカレンダー機能によって更新します。
- データ形式はBCD形式で、たとえば日レジスタが "0011 0001" ならば31日を意味します。
- * 存在しないカレンダーデータが書き込まれた場合は 正常な動作ができない原因になりますので ご注意ください。

1) [日] カウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
4	DAY	○	○	20	10	8	4	2	1

- [日] のカウンタで、月によって更新状況が異なります。

* [年] が4の倍数のとき (04年, 08年, 12年 - 88年, 96年) は うるう年になりますので、その年の02月の [日] の更新は 01日, 02日, 03日 ~ 28日, 29日, 01日 ~ となります。

DAY	月	更新内容
Write / Read	1, 3, 5, 7, 8, 12月	01日, 02日, 03日 ~ 30日, 31日, 01日 ~
	4, 6, 9, 11月	01日, 02日, 03日 ~ 30日, 01日, 02日 ~
	2月 かつ 通常年	01日, 02日, 03日 ~ 28日, 01日, 02日 ~
	2月 かつ うるう年	01日, 02日, 03日 ~ 28日, 29日, 01日 ~

2) [月] カウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
5	MONTH	○	○	○	10	8	4	2	1

- [月] のカウンタで、01月, 02月, 03月 ~ 12月, 01月, 02月 ~ と更新します。

3) [年] カウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
6	Years	Y80	Y40	Y20	Y10	Y8	Y4	Y2	Y1

- [年] のカウンタで、00年, 01年, 02年 ~ 99年, 00年, 01年 ~ と更新します。
- [年] が4の倍数のとき (04年, 08年, 12年 - 88年, 92年, 96年) が うるう年になります。

8.2.9. アラームレジスタ (Reg - 8 ~ A)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
8	MIN Alarm	AE	40	20	10	8	4	2	1
9	HOUR Alarm	AE	•	20	10	8	4	2	1
A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1

- アラーム割り込み機能を使用して、[日], [曜], [時], [分]などに対する割り込みイベントを得たいときに、AIE, AFビット および WADAビットと ともに設定/使用します。
- 上記アラームレジスタの設定状況 および WADAビットの設定状況に 現時刻が一致すると、AFビット = "1" かつ /INT 端子 = "L" となり、アラーム割り込みイベントの発生を知ることができます。

* 詳細は [項 8.5. アラーム割り込み機能] を参照してください。

8.2.10. 定周期タイマコントロールレジスタ (Reg - B ~ C)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
B	Timer Counter 0	128	64	32	16	8	4	2	1
C	Timer Counter 1	•	•	•	•	2048	1024	512	256

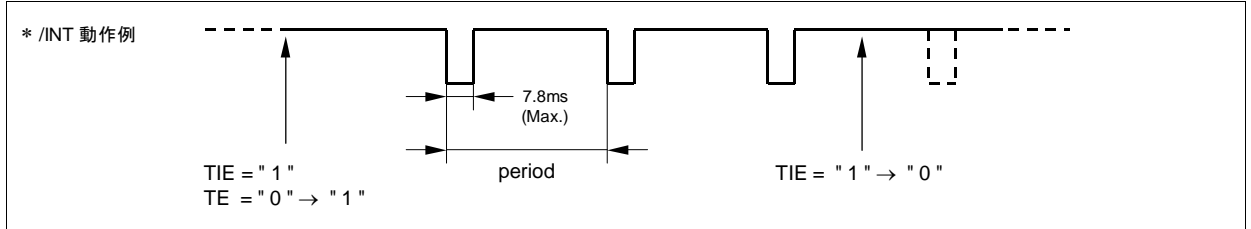
- 定周期タイマ割り込み機能を使用するさいの、カウントダウン初期値(プリセット値)を設定するレジスタです。定周期タイマ割り込み機能を使用するには、TE, TF, TIE, TSEL0,1ビットと ともに設定/使用します。
- 上記の定周期タイマコントロールレジスタのカウントが 001h → 000h になると、TFビット = "1" かつ /INT 端子 = "L" となり、定周期タイマ割り込みイベントの発生を知ることができます。

* 詳細は [項 8.3. 定周期タイマ割り込み機能] を参照してください。

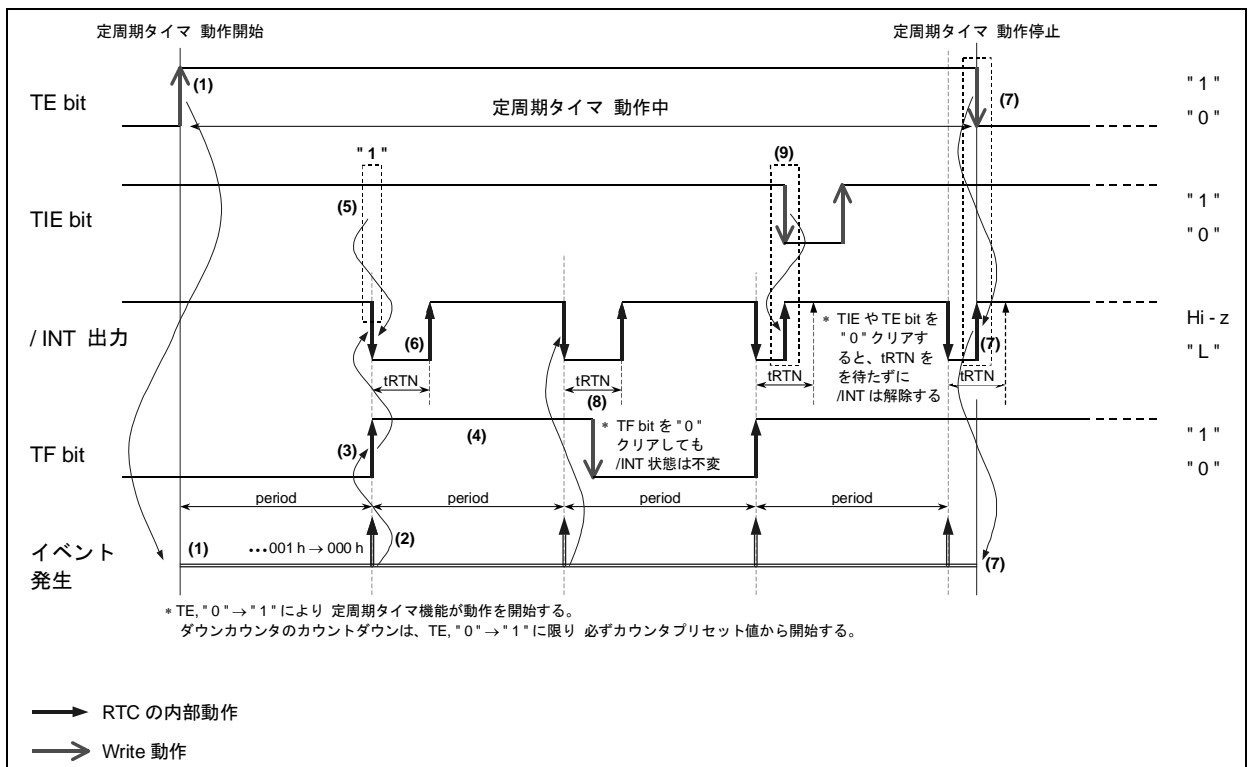
8.3. 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μ s ~ 4095 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /INT 端子 = "L" となり、イベントの発生を知ることができます。(ただし 定周期タイマ割り込みイベント発生時の/INT "L" 出力は、TIE = "1" である限り、割り込み発生後 7.8 ms(Max.)で自動解除(/INT = "L" \rightarrow Hi-z)します)



8.3.1. 定周期タイマ割り込み機能図



- (1) TE, "0" \rightarrow "1" の書き込みより、定周期タイマのカウントダウンが プリセット値から開始されます。
- (2) 定周期タイマ割り込みイベントは「ダウンカウンタのカウント値を ソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 001h \rightarrow 000h になると割り込みイベントが発生する」ようになっています。
* ダウンカウンタが 001h \rightarrow 000h になり 割り込みイベントが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)
- (3) 定周期タイマ割り込みイベントが発生すると、TF ビットは "1" になります。
- (4) TF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (5) 定周期タイマ割り込み発生時に TIE = "1" ならば、/INT 端子は "L" を出力します。
* 定周期タイマ割り込み発生時に TIE = "0" ならば、/INT 端子は Hi-z のまま変化はありません。
- (6) また、/INT 端子出力は、毎イベント発生ごとに tRTN 時間の間だけ "L" になり、その後は Hi-z に自動解除されます。
* 次の割り込みイベント発生時には 再度 /INT = "L" となります。
- (7) TE, "1" \rightarrow "0" の書き込みより、定周期タイマの機能が停止し かつ 直ちに /INT, "L" \rightarrow Hi-z になります。
- (8) /INT = "L" 時に TF, "1" \rightarrow "0" の書き込みをしても、/INT 状態は変化しません。
- (9) /INT = "L" 時に TIE, "1" \rightarrow "0" の書き込みをすれば、ただちに /INT, "L" \rightarrow Hi-z になります。

8.3.2. 定周期タイマ割り込み機能 関連レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
B	Timer Counter 0	128	64	32	16	8	4	2	1
C	Timer Counter 1	•	•	•	•	2048	1024	512	256
D	Extension Register	TEST	WADA	USEL	TE	○	○	TSEL1	TSEL0
E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	Control Register	○	○	UIE	TIE	AIE	○	STOP	RESET

*1) '○'は、ライト不能で、リード時は常時 "0" が読み出せます。

*2) '•'は、任意データの R/W が可能な RAM bit です。

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、まず最初に TE, TIE ビットを共に "0" にすることを推奨します。

* 定周期タイマ割り込み機能を使用しないときは、定周期タイマコントロールレジスタ(Reg - B ~ C)をRAMレジスタとして使用できます。 その場合は TE,TIE = "0" に設定して 定周期タイマ機能を停止させてください。

1) TSEL0,1 ビット (Timer Select 0, 1)

定周期タイマ割り込み機能における プリセッタブル・ダウンカウンタのカウンタダウン周期(ソースクロック)を、この2つのビットの組み合わせで設定(全4種類)します。

TSEL0,1	TSEL1 (bit 1)	TSEL0 (bit 0)	ソース クロック	自動復帰時間 tRTN	STOP, RESET ビットによる影響
Write / Read	0	0	4096 Hz / 244.14 μs 周期	122 μs	-
	0	1	64 Hz / 15.625 ms 周期	7.8125 ms	* STOP ビット,RESET ビットのどちらかが "1" のときは動作しません
	1	0	1 Hz / 1 s 周期	7.8125 ms	
	1	1	[分] 更新毎 / 1 min 周期	7.8125 ms	

*1) /INT 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

*2) ソースクロックを [秒]更新時 か [分]更新時 のどちらかに設定したときは、カウンタダウン および割り込みの発生は それぞれの計時更新に連動して起こります。

2) 定周期タイマコントロールレジスタ (Reg - B ~ C)

プリセッタブル・ダウンカウンタの初期値(プリセット値)を設定するレジスタで、カウンタ値は 1 (001 h) ~ 4095 (FFF h) までの任意の値を設定できます。 ソースクロックの周期にて このダウンカウンタがカウンタダウンし、001h → 000h になると TF ビットが "1" になります。

TE, "0" → "1" によるカウンタダウンは、常にプリセット値から カウンタダウンが始まります。

プリセット値の書き込みは TE = "0" にしてから行ってください。TE = "1" のときに書き込んだ場合は、1 回目のイベント発生が正しく行われません。

Address C Timer Counter 1								Address B Timer Counter 0							
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
•	•	•	•	2048	1024	512	256	128	64	32	16	8	4	2	1

*) 本レジスタ(Reg - B ~ C)を読み出すと、プリセット値が読み出せます。

注) カウンタダウン中の状況は 読み出せません。

3) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作/停止を制御するビットです。

TE	データ	内容
Write / Read	0	定周期タイマ割り込み機能を 停止する * /INT 出力は、設定や動作状況にかかわらず 解除(/INT=Hi-z)されます。
	1	定周期タイマ割り込み機能が 動作を開始する * TE, "0" → "1" によるカウンタダウンのスタート値は、常にプリセット値より開始します。

4) TF ビット (Timer Flag)

あらかじめ "0" をセットしておく、定周期タイマ割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。 このフラグビットが "1" のとき、"0" を書き込むまで それを保持します。

TF	データ	内容
Write	0	TF ビットを 0 クリアし、また、次回検出に備える * 0 クリアしても、/INT "L" 出力を解除する(Hi-zにする)ことはできません。
	1	"1" の書き込みは 無効です。
Read	0	定周期タイマ割り込みイベント発生 の 検出なし
	1	定周期タイマ割り込みイベント発生 の 検出あり (結果は、0 クリアするまでホールドされます)

5) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時(TF, "0" → "1")に、割り込み信号を発生させるか(/INT、Hi-z → "L") または 発生させない(/INT = Hi-z 継続)かを選択指定するビットです。

TIE	データ	内容
Write / Read	0	1) 定周期タイマ割り込みイベント発生時、 割り込み信号は 発生させない(/INT = Hi-z 継続) 2) 定周期タイマ割り込みイベント発生による 割り込み信号を 解除(/INT、"L" → Hi-z)する。 * TIE ビットを"0"にしても、他の割り込みイベントによって/INT = "L"となる (または "L" が継続される) 場合があります。
	1	定周期タイマ割り込みイベント発生時、 割り込み信号を 発生させる(/INT = Hi-z → "L") * 定周期タイマ割り込みイベント発生時の/INT "L" 出力は、TIE = "1" である限り、割り込み発生後 7.8ms(Max.)で自動解除(/INT = "L" → Hi-z)します。

8.3.3. 定周期タイマ割り込み間隔 (一例)

Timer Counter 設定値	ソースクロック			
	4096 Hz TSEL1,0 = 0,0	64 Hz TSEL1,0 = 0,1	1 Hz TSEL1,0 = 1,0	[分] 更新 TSEL1,0 = 1,1
0	—	—	—	—
1	244.14 μs	15.625 ms	1 s	1 min
2	488.28 μs	31.25 ms	2 s	2 min
⋮	⋮	⋮	⋮	⋮
41	10.010 ms	640.63 ms	41 s	41 min
205	50.049 ms	3.203 s	205 s	205 min
410	100.10 ms	6.406 s	410 s	410 min
2048	500.00 ms	32.000 s	2048 s	2048 min
⋮	⋮	⋮	⋮	⋮
4095	0.9998 s	63.984 s	4095 s	4095 min

• 定周期タイマの時間誤差

定周期タイマの時間誤差は、選択したソースクロックの $^{+0}/_{-1}$ 周期の時間が誤差となります。よって 定周期タイマ時間は、設定時間に対して以下の範囲になります。

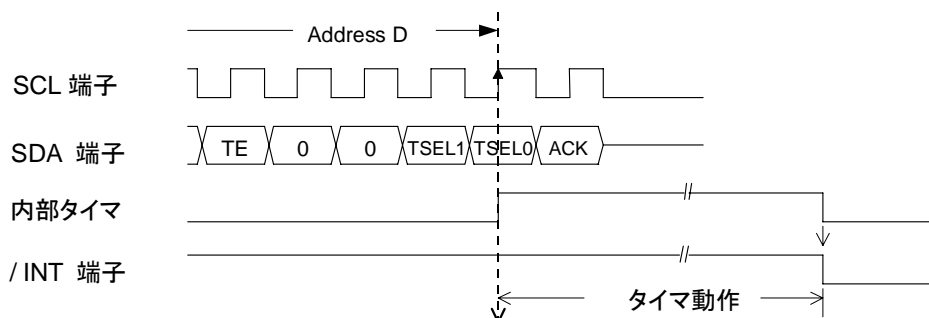
(定周期タイマ設定時間(*) - ソースクロック周期) ~ (タイマ設定時間)

*) タイマ設定時間 = ソースクロック周期 × タイマカウンタの分周値

* 実際のタイマ時間は、設定用のシリアルデータ転送クロックの通信時間が、上記時間のほかにプラスされます。

8.3.4. タイマスタートタイミング

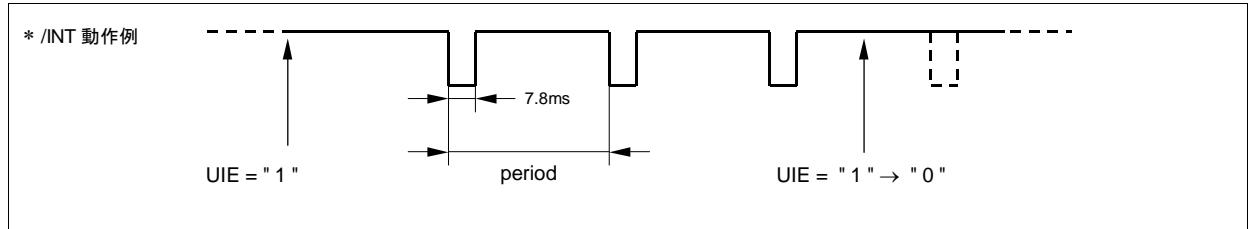
定周期タイマのタイマカウントダウンは、TE, "0" → "1" への書き込み終了時の SCL の立ち上がりエッジ(bit 0 送信終了時)から開始します。



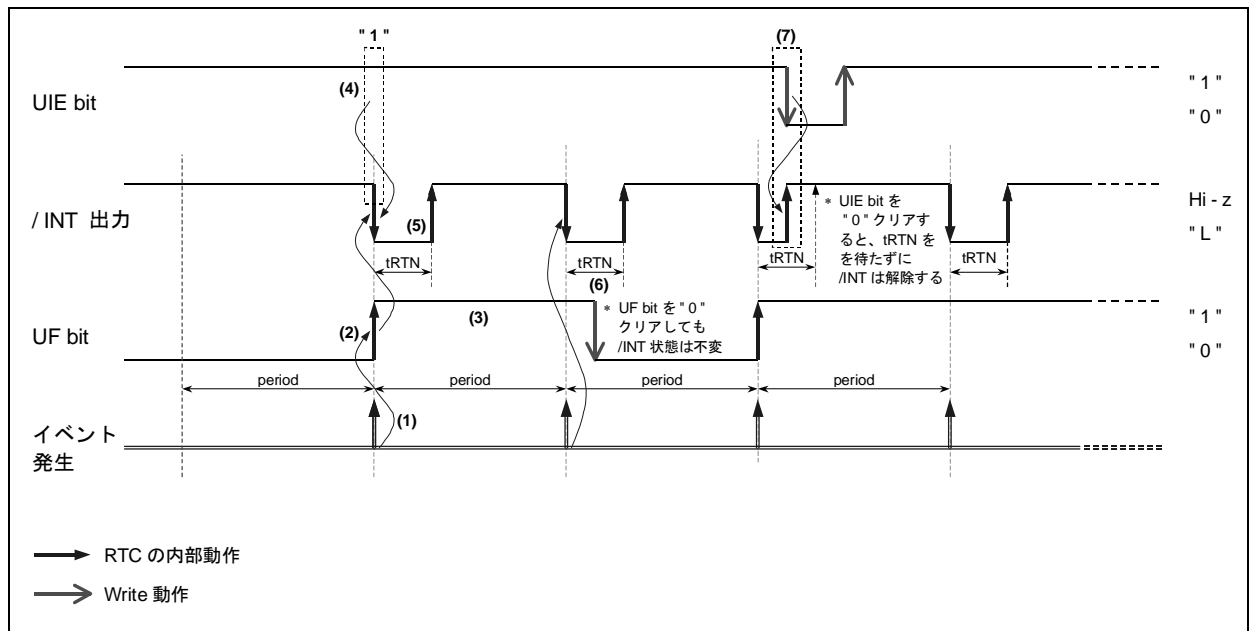
8.4. 時刻更新割り込み機能

時刻更新割り込み機能は、1秒間隔 または 1分間隔にて 内部計時に連動したタイミングで割り込みイベントを発生させる機能です。

割り込みイベント発生時には UF ビット = "1" かつ /INT 端子 = "L" となり、イベントの発生を知ることができます。(ただし 時刻更新割り込みイベント発生時の /INT "L" 出力は、UIE = "1" である限り、割り込み発生後 7.8 ms(固定値)で自動解除(/INT = "L" → Hi-z)します)



8.4.1. 時刻更新割り込み機能図



- (1) 時刻更新割り込みイベントは、内部計時の [秒]更新時 または [分]更新時 のどちらか一方に連動して発生します。USEL ビットにて選択設定された内容により、[秒]更新毎 または [分]更新毎 になります。
- (2) 時刻更新割り込みイベントが発生すると、UF ビットは "1" になります。
- (3) UF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) 時刻更新割り込み発生時に UIE = "1" ならば、/INT 端子は "L" を出力します。
* 時刻更新割り込み発生時に UIE = "0" ならば、/INT 端子は Hi-z のまま変化はありません。
- (5) また、/INT 端子出力は、毎イベント発生ごとに tRTN 時間(時刻更新割り込み時は 7.8125 ms 固定)の間だけ "L" になり、その後は Hi-z に自動解除されます。
* 次の割り込みイベント発生時には 再度 /INT = "L" となります。
- (6) /INT = "L" 時に UF, "1" → "0" の書き込みをしても、/INT 状態は変化しません。
- (7) /INT = "L" 時に UIE, "1" → "0" の書き込みをすると、ただちに /INT, "L" → Hi-z になります。

8.4.2. 時刻更新割り込み機能 関連レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register	TEST	WADA	USEL	TE	○	○	TSEL1	TSEL0
E	Flag Register	○	○	UF	TF	AF	○	VLf	○
F	Control Register	○	○	UIE	TIE	AIE	○	STOP	RESET

*) '○'は、ライト不能で、リード時は常時 "0" が読み出せます。

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、まず最初に UIE ビットを "0" にすることを推奨します。

* STOP ビット または RESET ビットが "1" のときは、時刻更新割り込みイベントは発生しません。

* 時刻更新割り込み機能を完全な停止状態にすることはできませんが、UIE ビットを "0" にしておくことで時刻更新割り込み機能による /INT = "L" を発生させないことは可能です。

1) USEL ビット (Update Interrupt Select)

時刻更新割り込みイベントの発生タイミングを [秒]更新 か [分]更新 かを選択指定するビットです。

USEL	データ	内容
Write / Read	0	割り込みイベントの発生タイミングを、 [秒]更新時(1秒毎に繰り返し)にする
	1	割り込みイベントの発生タイミングを、 [分]更新時(1分毎に繰り返し)にする

2) UF ビット (Update Flag)

あらかじめ "0" をセットしておく、時刻更新割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。このフラグビットが "1" のとき、"0" を書き込むまでそれを保持します。

UF	データ	内容
Write	0	UF ビットを 0 クリアし、また、次回検出に備える * 0 クリアしても、/INT "L" 出力を解除する(Hi-zにする)ことはできません。
	1	"1" の書き込みは 無効です。
Read	0	時刻更新割り込みイベント発生 の 検出なし
	1	時刻更新割り込みイベント発生 の 検出あり (結果は、0 クリアするまでホールドされます)

3) UIE ビット (Update Interrupt Enable)

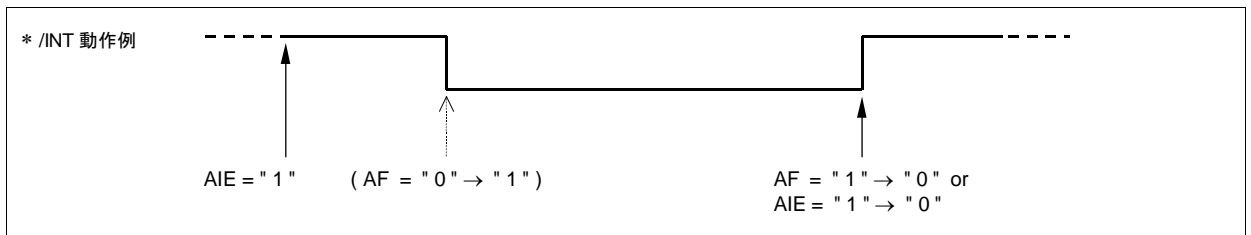
時刻更新割り込みイベント発生時(UF、"0" → "1")に、割り込み信号を発生させるか(/INT、Hi-z → "L") または 発生させない(/INT = Hi-z 継続)かを選択指定するビットです。

UIE	データ	内容
Write / Read	0	1) 時刻更新割り込みイベント発生時、 割り込み信号は 発生させない(/INT = Hi-z 継続) 2) 時刻更新割り込みイベント発生による 割り込み信号を 解除(/INT、"L" → Hi-z)する。 * UIE ビットを "0" にしても、他の割り込みイベントによって /INT = "L" となる (または "L" が継続される) 場合があります。
	1	時刻更新割り込みイベント発生時、 割り込み信号を 発生させる(/INT = Hi-z → "L") * 時刻更新割り込みイベント発生時の /INT "L" 出力は、UIE = "1" である限り、割り込み発生後 7.8 ms で自動解除(/INT = "L" → Hi-z)します。

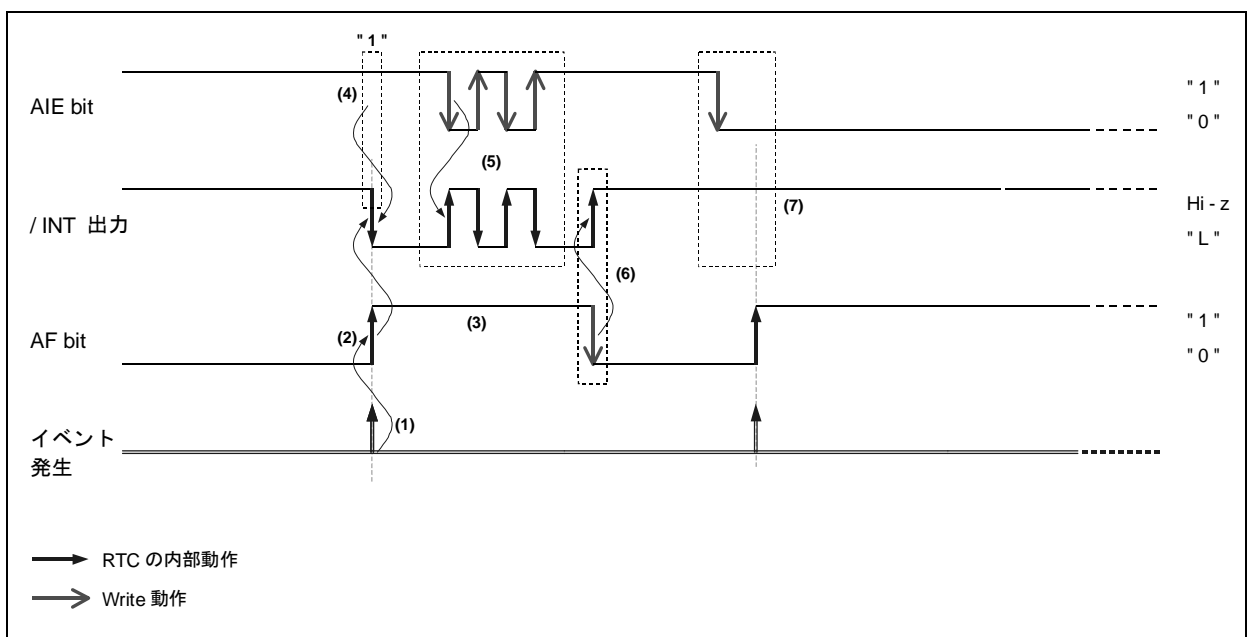
8.5. アラーム割り込み機能

アラーム割り込み機能は、[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AFビット = "1" かつ /INT 端子 = "L" となり、イベントの発生を知ることができます。



8.5.1. アラーム割り込み機能図



- (1) 「アラーム割り込みイベントを発生させたい [時], [分], [日 or 曜] を WADA ビットとともに あらかじめ設定しておき、設定状況に現時刻が一致すると割り込みイベントが発生」します。
注) 現時刻と同じ状況を設定してもアラームは発生しません。 次回の同じ状況への桁上げ時にて発生します。
- (2) アラーム割り込みイベントが発生すると、AF ビットは "1" になります。
- (3) AF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) アラーム割り込み発生時に AIE = "1" ならば、/INT 端子は "L" を出力します。
* アラーム割り込みイベント発生時の /INT 端子出力は "L" になり、その後は AF ビットまたは AIE ビットによって解除されるまで これを維持します。
- (5) /INT = "L" 時に AIE, "1" → "0" の書き込みをすると、直ちに /INT, "L" → Hi-z になります。
また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/INT 状態を AIE ビットによって任意に制御することができます。
- (6) /INT = "L" 時に AF, "1" → "0" の書き込みをすると、直ちに /INT, "L" → Hi-z になります。
- (7) アラーム割り込み発生時に AIE = "0" ならば、/INT 端子は Hi-z のまま変化はありません。

8.5.2. アラーム割り込み機能 関連レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	MIN	○	40	20	10	8	4	2	1
2	HOUR	○	○	20	10	8	4	2	1
3	WEEK	○	6	5	4	3	2	1	0
4	DAY	○	○	20	10	8	4	2	1
8	MIN Alarm	AE	40	20	10	8	4	2	1
9	HOUR Alarm	AE	●	20	10	8	4	2	1
A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		●	20	10	8	4	2	1
D	Extension Register	TEST	WADA	USEL	TE	○	○	TSEL1	TSEL0
E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	Control Register	○	○	UIE	TIE	AIE	○	STOP	RESET

*1) '○'は、ライト不能で、リード時は常時 "0" が読み出せます。

*2) '●'は、任意データの R/W が可能な RAM bit です。

* 動作設定を行うときは、設定中の不要なハードウェア割り込みを避けるために、まず最初に AIE ビットを "0" にすることを推奨します。

* STOP ビット または RESET ビットが "1" のときは、アラーム割り込みイベントは発生しません。

* アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用できます。その場合は、AIE ビットを必ず "0" にしてください。

* AIE = "1" として アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用する場合、意図しない /INT "L" が発生する可能性がありますので、それを防止します。

1) WADA ビット (Week Alarm / Day Alarm)

アラーム割り込み機能は、[日]と[曜]については どちらか一方のみを対象にします。WADA ビットは、アラーム割り込みイベントの対象を WEEK(週)にするか DAY(日)にするかを選択指定するビットです。

WADA	データ	内容
Write / Read	0	アラーム機能の対象を WEEK(週)にする (DAY(日)は不問扱いになります)
	1	アラーム機能の対象を DAY(日)にする (WEEK(週)は不問扱いになります)

2) アラームレジスタ (Reg - 8 ~ A)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
8	MIN Alarm	AE	40	20	10	8	4	2	1
9	HOUR Alarm	AE	●	20	10	8	4	2	1
A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		●	20	10	8	4	2	1

アラーム割り込みイベントを発生させる [時], [分], [日 or 曜] を、WADA ビットとともに設定します。

WEEK Alarm / DAY Alarm レジスタ (Reg - A) には、WADA ビットで選択した状況に応じて [週] データを設定するか もしくは [日] データを設定するかが変わります。WADA ビットによって [週] を選択したときは、曜日設定を (たとえば) 月・水・金・土のような複数曜日の同時設定が可能です。

アラームレジスタの設定状況 および WADA ビットの設定状況に現時刻が一致すると AF ビットが "1" になります。そのとき、事前に AIE ビットを "1" に設定していれば /INT 端子が "L" になります。

*1) アラーム発生の対象としない項目については、対象としない項目のレジスタの AE ビットを "1" にしてください。AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。

例) WEEK Alarm / DAY Alarm レジスタ (Reg - A) に 80h (AE = "1") を書き込む

→ [時],[分]のみがアラーム比較対象となる。[週/日]はアラーム比較対象外。

*2) 3つの AE ビットの全てを "1" にしたときは、[週/日]設定不問で 1分毎にアラーム割り込みイベントが発生します。

* アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用する場合は、AIE ビットを必ず "0" にし、意図しない /INT "L" が発生を防止してください。

3) AF ビット (Alarm Flag)

あらかじめ "0" をセットしておく、アラーム割り込みイベントが発生したときに "0" → "1" に変化するフラグビットです。このフラグビットが "1" のとき、"0" を書き込むまでそれを保持します。

AF	データ	内容
Write	0	AF ビットを 0 クリアし、また、次回検出に備える * 0 クリアにより、アラーム割り込みイベントにて発生した /INT "L" 出力を解除する (Hi-z にする) ことができます。
	1	"1" の書き込みは 無効です。
Read	0	アラーム割り込みイベント発生 の 検出なし
	1	アラーム割り込みイベント発生 の 検出あり (結果は、0 クリアするまでホールドされます)

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF、"0" → "1") に、割り込み信号を発生させるか (/INT、Hi-z → "L") または 発生させない (/INT = Hi-z 継続) かを選択指定するビットです。

AIE	データ	内容
Write / Read	0	1) アラーム割り込みイベント発生時、 割り込み信号は 発生させない (/INT = Hi-z 継続) 2) アラーム割り込みイベント発生による 割り込み信号を 解除 (/INT、"L" → Hi-z) する。 * AIE ビットを "0" にしても、他の割り込みイベントによって /INT = "L" となる (または "L" が継続される) 場合があります。
	1	アラーム割り込みイベント発生時、 割り込み信号を 発生させる (/INT = Hi-z → "L") * アラーム割り込みイベント発生時の /INT "L" 出力は、AIE = "1" である限り、AF ビットを 0 クリアされるまで これを保持します。 (自動解除無し)

8.5.2. アラーム設定例

1) [曜] 指定時 の アラーム設定例 / WADA ビット = "0"

[曜] 指定時 WADA ビット "0"	Reg - A								Reg - 9	Reg - 8
	bit 7 AE	bit 6 土	bit 5 金	bit 4 木	bit 3 水	bit 2 火	bit 1 月	bit 0 日	HOUR Alarm	MIN Alarm
毎週 月 ~ 金、午前 7 時 * [分] 不問	0	0	1	1	1	1	1	0	07 h	80 h ~ FF h
毎週 日、土、毎時 30 分 * [時] 不問	0	1	0	0	0	0	0	1	80 h ~ FF h	30 h
毎日、午後 6 時 59 分	0	1	1	1	1	1	1	1	18 h	59 h
	1	X	X	X	X	X	X	X		

X : don't care

2) [日] 指定時 の アラーム設定例 / WADA ビット = "1"

[日] 指定時 WADA ビット "1"	Reg - A								Reg - 9	Reg - 8
	bit 7 AE	bit 6 •	bit 5 20	bit 4 10	bit 3 08	bit 2 04	bit 1 02	bit 0 01	HOUR Alarm	MIN Alarm
毎月 01 日、午前 7 時 * [分] 不問	0	0	0	0	0	0	0	1	07 h	80 h ~ FF h
毎月 15 日、毎時 30 分 * [時] 不問	0	0	0	1	0	1	0	1	80 h ~ FF h	30 h
毎日、午後 6 時 59 分	1	X	X	X	X	X	X	X	18 h	59 h

X : don't care

8.6. I²C-BUS インタフェースによるデータのリード/ライト

8.6.1. I²C-BUS の概要

I²C-BUS は、SDA (データライン) と SCL (クロックライン) とで構成される 2 線式の双方向通信です。この 2 つの信号の組み合わせにより、通信の開始 / 停止 / データ転送 / アクノリッジ等の送受信を行います。

非通信時は SCL, SDA とともに High に保ちます。

通信の開始と停止は、SCL が High で、かつ、SDA を立ち上げる または 立ち下げることで制御します。

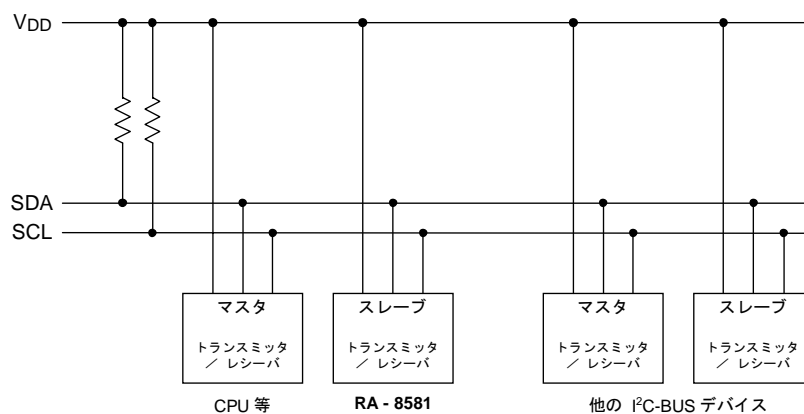
データの転送は、送信時の SDA ライン上のデータ変更は SCL ラインが LOW の区間で行い、また、受信側では SCL ラインが HIGH の区間でデータを取り込みます。どちらの場合も、SCL ラインの 1 クロックパルスごとに 1 ビットずつ行います。

I²C-BUS デバイスは 通常のロジックデバイスが有するチップセレクト端子を持ちません。チップセレクトの代用として 各デバイスにはスレーブアドレスが割り当てられており、受信デバイスは 受信したスレーブアドレスが一致した場合にのみ、その後の通信に反応します。

8.6.2. システム構成

I²C-BUS に接続する全てのポートは、複数のデバイスの AND 接続を実現するためにオープンドレイン あるいはオープンコレクタでなければなりません。

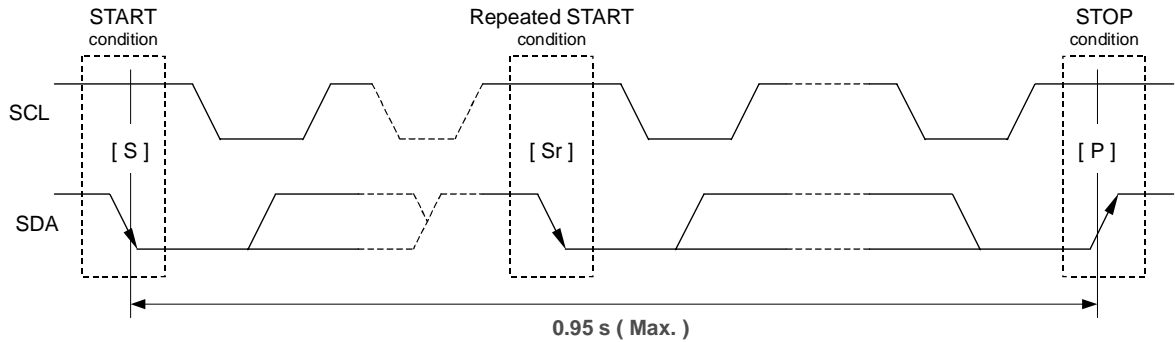
SCL, SDA は、ともにプルアップ抵抗を介して VDD ラインに接続します。これにより、BUS 開放時(非通信時)などは SCL, SDA とともに High になります。



データの送受信を制御するデバイスを " マスタ "、マスタによって制御されるデバイスを " スレーブ " と定義します。

また、データを送信するデバイスを " トランスミッタ "、データを受信するデバイスを " レシーバ " とします。

本 RTC の場合、CPU 等のコントローラがマスタ、本 RTC がスレーブとなります。データの送信/受信はどちらも行いますので、状況によりトランスミッタになり また レシーバにもなります。

8.6.3. I²C-BUS 通信の 開始と停止

1) START condition / Repeated START condition と STOP condition

(1) START condition (開始条件)

- I²C-BUS 通信を開始するための規定条件です。
SCL が High の状態で かつ SDA を High から Low に変化させます。

(2) STOP condition (停止条件)

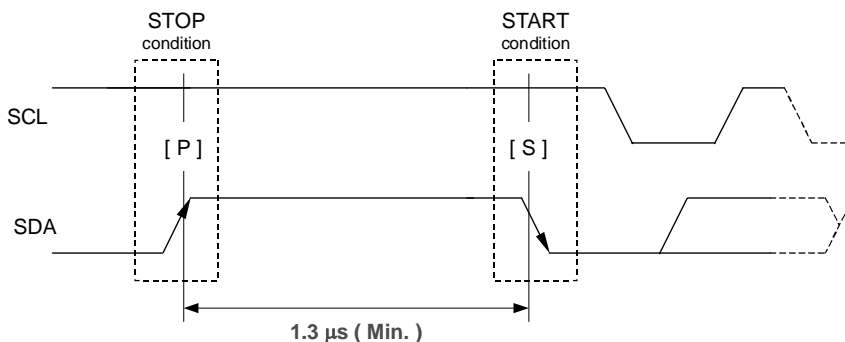
- I²C-BUS 通信を正常終了させるための規定条件です。
SCL が High の状態で かつ SDA を Low から High に変化させます。

(3) Repeated START condition / Re-START condition (再送開始条件)

- START condition と STOP condition の途中で、再度 START condition と同じ状態にする場合があります、それを Re-START condition (再送開始条件) として区別します。必要な状態は START condition と同じですから、SCL が High の状態で かつ SDA を High から Low に変化させます。

2) 注意事項

- *1) 通信の START, Re-START condition と STOP condition の制御は、常にマスタが行います。
- *2) マスタによる STOP condition 送信の実施タイミングに制限はありませんので、通信の途中であっても強制的に通信を終了させることができます。(ただし、本 RTC がレシーバ状態 (データ受信状態 = SDA 開放状態) のときに限ります。)
- *3) 本 RTC との通信は、START condition 送信から STOP condition 送信までの一連の通信を 0.95 秒以内に終了させてください。(START condition と STOP condition の間に Re-START condition を送る場合がありますが、その場合でも、START condition から STOP condition までを 0.95 秒以内に終了させてください)
0.95 秒以上の時間がかかった場合、本 RTC 内の BUS タイムアウト機能によって I²C-BUS インタフェースは自動解除されて待機状態になります。自動解除時 および その後の通信は、書き込み / 読み出し とともに無効となりますので ご注意ください。(読み出し無効時は、読み出される全てのデータが " 1 " になります)
通信を再開するには、再度、START condition の送信から始めます。
- *4) 本 RTC との通信では、通信停止の STOP condition 送信から 次の通信を始める START condition 送信までを 1.3 μs 以上(tBUF 規定を参照) 空けてください。



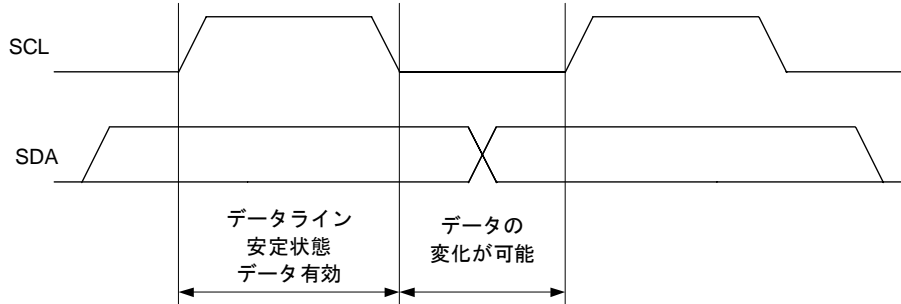
8.6.4. I²C-BUS 通信の データの転送と確認応答

1) データの転送

データの転送は、START condition 発生後に 8 bit / 1 Byte 単位で行います。START condition と STOP condition の間で転送するデータの Byte 数に制限はありません。(ただし 1 回の 通信時間は 0.95 秒以内)

書き込み / 読み出し とともに アドレス・オートインクリメント機能が働きます。
 アドレス Fh の次は アドレス 0h へと移行します。

トランスミッタ(送信側)の SDA ライン上のデータ変更は、SCL ラインが Low の区間で行います。また、レシーバ(受信側)では、SCL ラインが High の区間でデータを取り込みます。

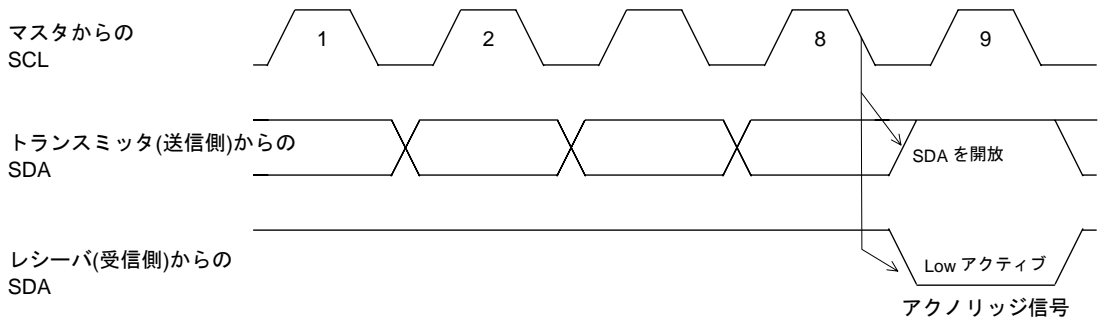


* SCL が High のときに SDA を変化させると START, Re-START condition または STOP condition として扱われますので ご注意ください。

2) データの確認応答 (アクノリッジ信号)

データの転送時、レシーバは 8 bit のデータを受信するたびに 確認応答 = アクノリッジ信号(Low アクティブ) を生成します。レシーバからのアクノリッジが無い場合は、その通信は正しく行われなかったことを意味します。(ただし、マスタによる 意図的なアクリッジの非生成を除く)

データ転送の SCL の 8 bit 目のクロックパルスが Low に立ち下がった直後、トランスミッタは SDA を解放し、また、レシーバは SDA を Low (= アクノリッジ) にします。



レシーバがアクノリッジ信号送出後、次の 1 Byte 転送も そのままレシーバであるときは SCL の 9 bit 目のクロックの立ち下がり で SDA を解放します。また、トランスミッタになるときは データの転送に移ります。

マスタがレシーバになっている場合、マスタはスレーブから送信された最後の 1 Byte に対するアクノリッジを生成しないことで、トランスミッタにデータ転送の終了を知らせます。このとき トランスミッタは、そのまま SDA を解放し続けて マスタによる STOP condition の発生に備えます。

8.6.5. スレーブアドレス

I²C-BUS デバイスは 通常のロジックデバイスが有するチップセレクト端子を持ちません。チップセレクトの代用として 各デバイスにはスレーブアドレスが割り当てられています。

全ての通信は [START condition] + [スレーブアドレス (+ R/W 指定)] の送信から始まります。受信デバイスは、受信した指定スレーブアドレスが 自己のスレーブアドレスと一致した場合にのみ、その後の通信に反応します。

スレーブアドレスは 7 bit の固定値で、本 RTC では [1010 001*] です。

スレーブアドレスは 7 bit ですが、通信時には R/W bit (上記 "*") を付加した 8 bit を転送します。

	転送データ	スレーブアドレス							R / W bit
		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Read 時	A3 h	1	0	1	0	0	0	1	1 (= Read)
Write 時	A2 h								0 (= Write)

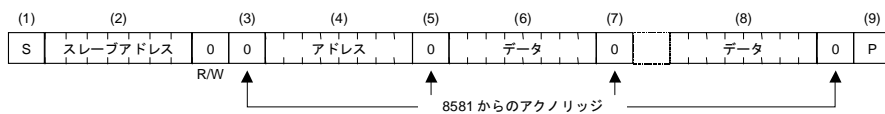
8.6.6. I²C-BUS プロトコル

以下に、マスタを CPU、スレーブを RA-8581 と想定して通信手順を記します。

① アドレス指定の書き込み手順

RA-8581 はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、8581 の受け取りアドレスは 1 バイト毎に加算されます。

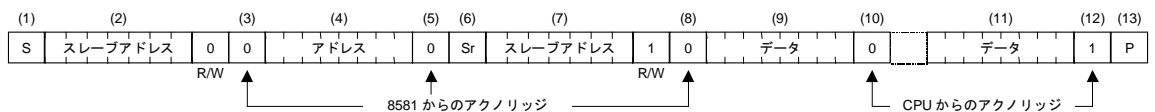
- (1) CPU が開始条件[S]を送信
- (2) CPU が 8581 のスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) 8581 からのアクノリッジ確認
- (4) CPU が 8581 へ書き込むアドレスを送出
- (5) 8581 からのアクノリッジ確認
- (6) CPU が(4)で指定したアドレスへ書き込むデータを送出
- (7) 8581 からのアクノリッジ確認
- (8) 必要に応じ(6)(7)のくり返し。アドレスは 8581 内部でオートインクリメント
- (9) CPU が停止条件[P]を送出



② アドレス指定の読み出し手順

書き込みモードによって、リードするアドレスをライトした後、読み出しモードを設定して、実際のデータをリードします。

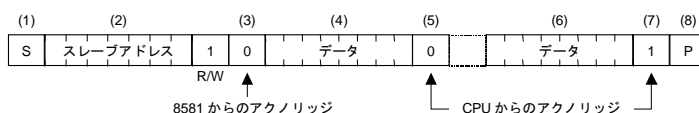
- (1) CPU が開始条件[S]を送出
- (2) CPU が 8581 のスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) 8581 からのアクノリッジ確認
- (4) CPU が 8581 から読み出すアドレスを送出
- (5) 8581 からのアクノリッジ確認
- (6) CPU が再送開始条件[Sr]を送信 (このときは、停止条件[P]を送信しないこと)
- (7) CPU が 8581 のスレーブアドレス、および R/W ビットを読み出しモードで送出
- (8) 8581 からのアクノリッジ確認 (ここから、CPU がレシーバ、8581 がトランスミッタとなる)
- (9) 8581 から(4)で指定したアドレスのデータが出る
- (10) CPU が 8581 へアクノリッジ送出
- (11) 必要に応じ、(9)(10)のくり返し。読み出しアドレスは 8581 内部でオートインクリメント。
- (12) CPU が"1"のアクノリッジを出す
- (13) CPU が停止条件[P]を送出。



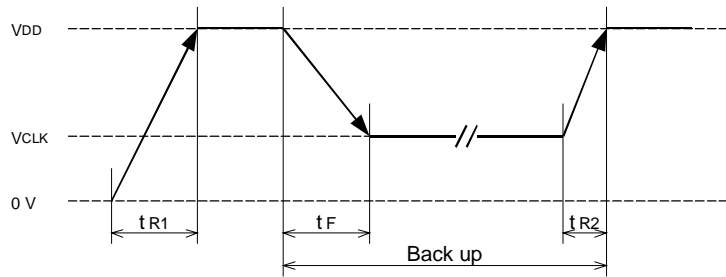
③ アドレス指定しない読み出し手順

最初に読み出しモードを設定することで、その後すぐにデータをリードできます。このときに読み出し対象となるアドレスは「前回のアクセスで終了したアドレス+1」となります。

- (1) CPU が開始条件[S]を送出
- (2) CPU が 8581 のスレーブアドレス、および R/W ビットを読み出しモードで送出
- (3) 8581 からのアクノリッジ確認 (以降、CPU がレシーバ、8581 がトランスミッタとなる)
- (4) 8581 から、前回のアクセスにおける最終アドレス+1 のデータが出る
- (5) CPU が 8581 へアクノリッジ送出
- (6) 必要に応じ、(4)(5)のくり返し。読み出しアドレスは 8581 内部でオートインクリメント。
- (7) CPU が"1"のアクノリッジを出す
- (8) CPU が停止条件[P]を送出。

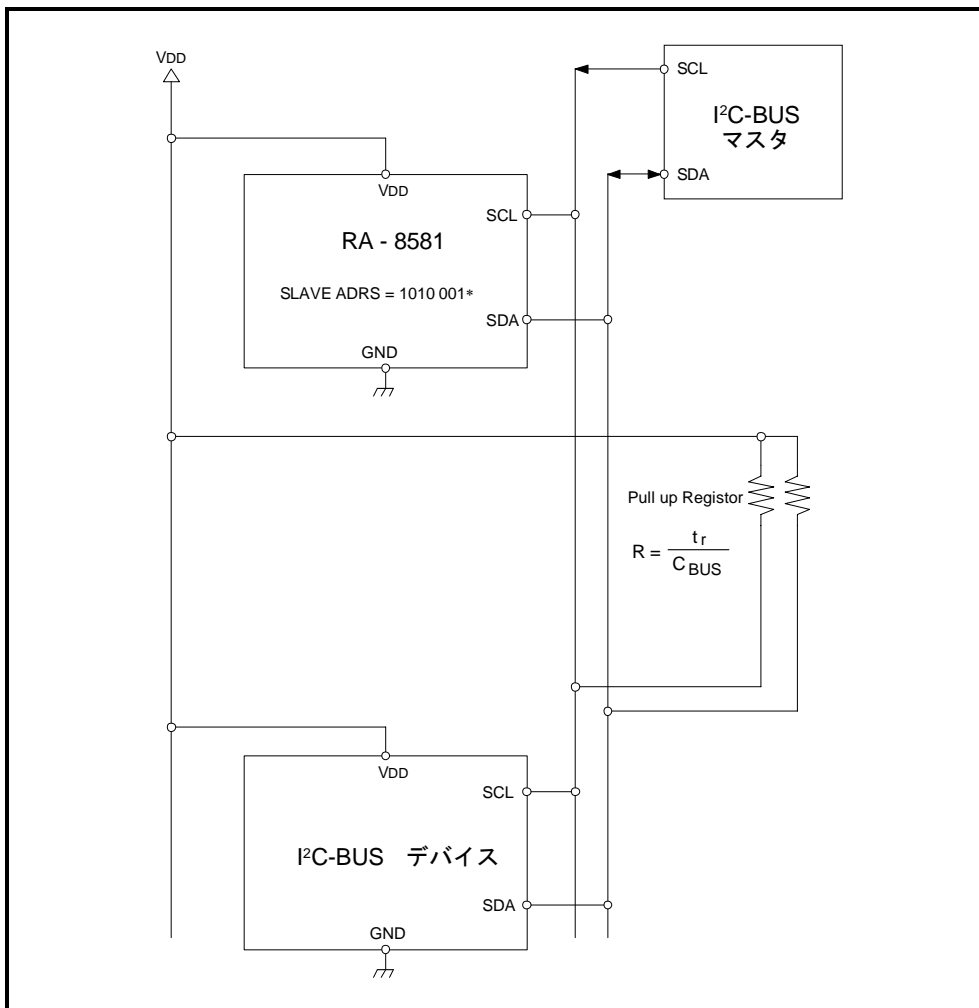


8.7. バックアップへの移行 および 復帰



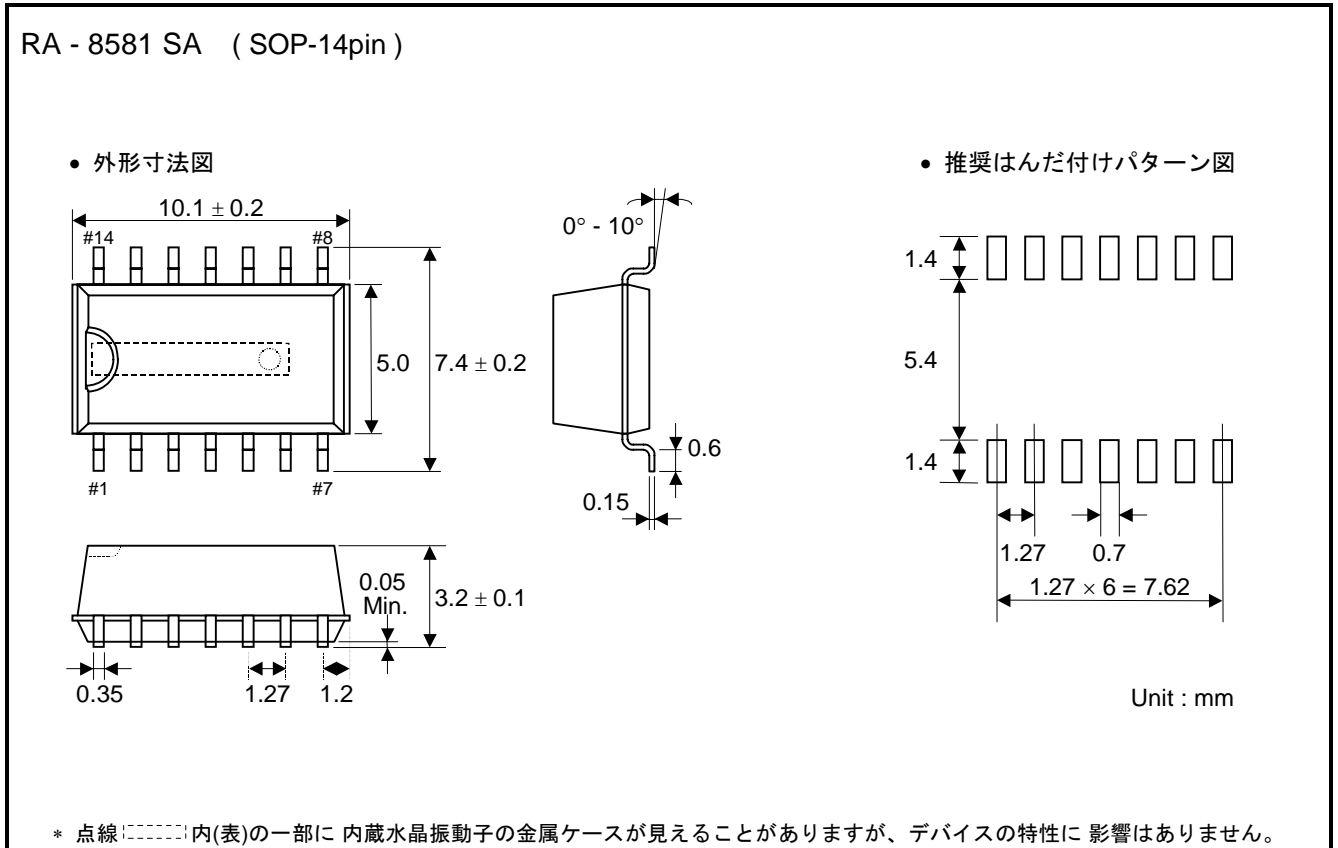
項目	記号	Min.	Typ.	Max.
電源降下時間	tF	2 μ s / V		
初期電源立上時間	tR1	1 μ s / V		10 ms / V
計時保持電源立上時間	tR2	1 μ s / V		

8.8. 一般的なマイコンとの接続

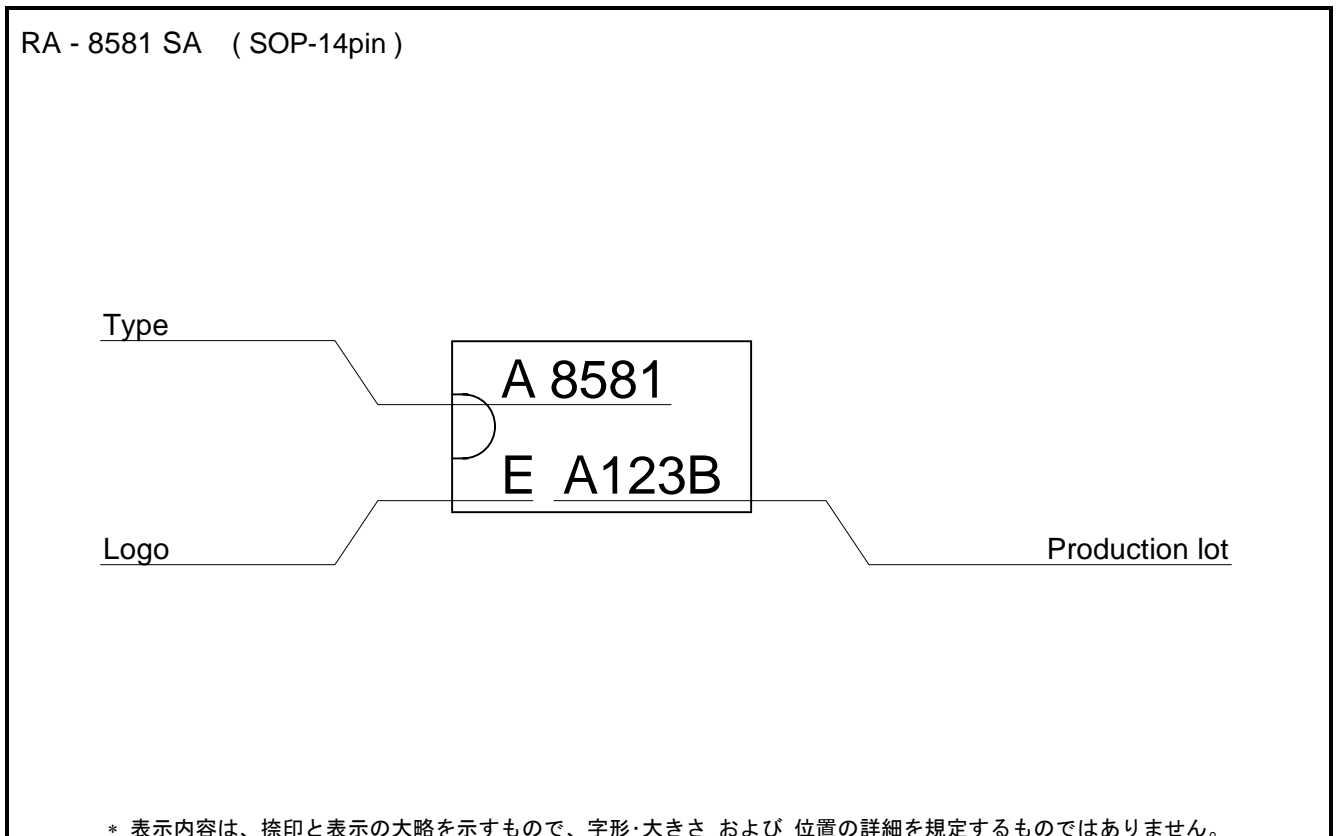


9. 外形寸法図 / マーキングレイアウト

9.1. 外形寸法図

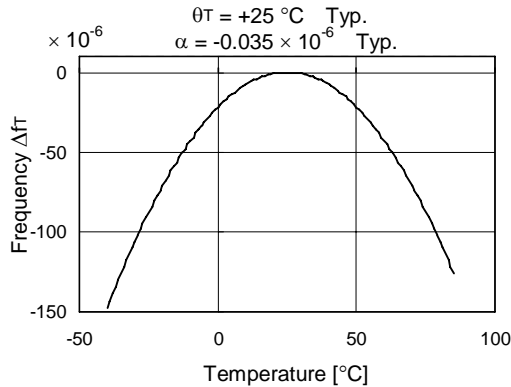


9.2. マーキングレイアウト



10. 参考データ

(1) 周波数温度特性例



[周波数安定度の求め方]

1. 周波数温度特性は、以下の式で近似できます。

$$\Delta f T = \alpha (\theta T - \theta X)^2$$

$\Delta f T$: 任意の温度における周波数偏差

α (1 / °C²) : 2次温度係数

$$(-0.035 \pm 0.005) \times 10^{-6} / \text{ }^\circ\text{C}^2$$

θT (°C) : 頂点温度 (+25±5 °C)

θX (°C) : 任意の温度

2. 時計精度を求めるためには、更に周波数精度と電圧特性を加えます。

$$\Delta f / f = \Delta f / f_0 + \Delta f T + \Delta f V$$

$\Delta f / f$: 任意の温度, 電圧における

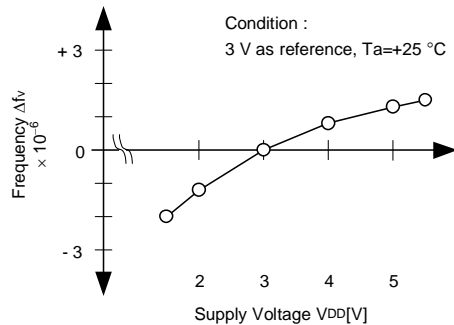
時計精度 (周波数安定度)

$\Delta f / f_0$: 周波数精度

$\Delta f T$: 任意の温度における周波数偏差

$\Delta f V$: 任意の電圧における周波数偏差

(2) 周波数電圧特性例



3. 日差の求め方

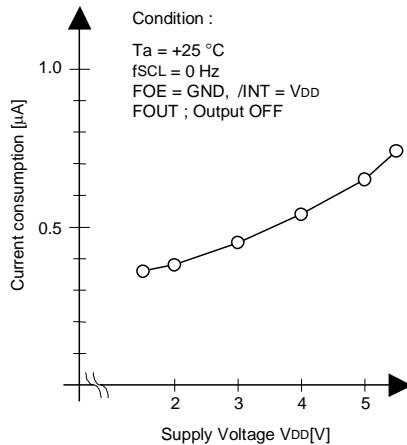
$$\text{日差} = \Delta f / f \times 86400(\text{秒})$$

※例えば、 $\Delta f / f = 11.574 \times 10^{-6}$ で 約 1 秒/日 の誤差になります。

(3) 消費電流電圧特性

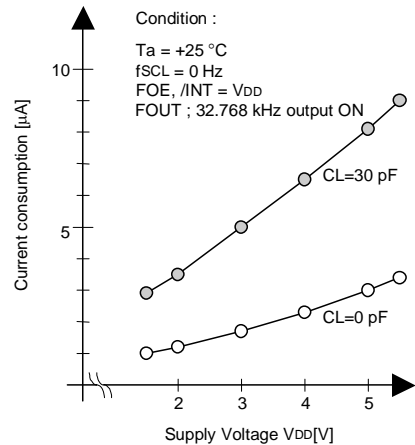
(3-1) 非アクセス時 消費電流(i)

FOUT = OFF 時



(3-2) 非アクセス時 消費電流(ii)

FOUT = 32.768kHz 時



11. 使用上の注意事項

1) 取り扱い上の注意事項

- 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および 運搬容器には導電性の物を使用してください。

はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ現象等による破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子 (VDD-GND 間) の極力近い場所に、0.1 μ F 以上のパコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

※ 図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ VDD または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入力インピーダンスは非常に高く、開放状態での使用は不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を必ず施してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 $^{\circ}$ C を越えますと、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。ご実装前に必ず実装条件 (温度・時間) をご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。

※ 図 2 に、弊社 はんだ耐熱性評価プロファイルを参考掲載します。

(2) 実装機

汎用実装機の使用が可能ですが、使用機器、条件等によっては実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後に ご使用ください。

実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

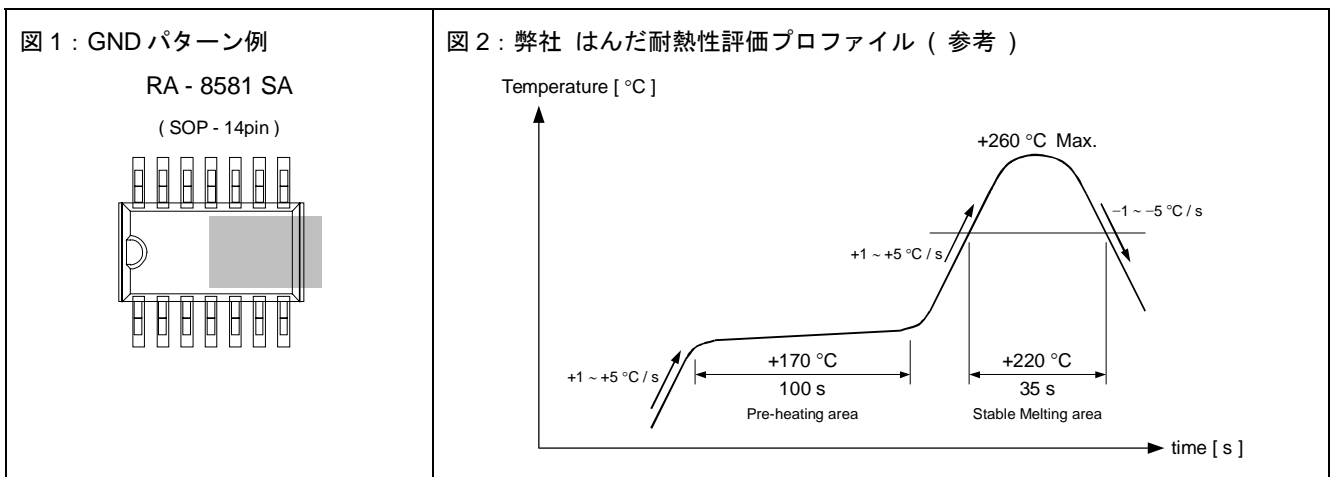
超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので、洗浄しさらに乾燥させた後に電源投入を行なってください。



* その他、個別仕様書記載の注意事項についても、併せてご確認ください。



Application Manual

エプソントヨコム株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒980-0013 仙台市青葉区花京院 1-1-20 花京院スクエア 19F
TEL (022) 263-7975 (直通) FAX (022) 263-7990

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 17F
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

〒399-8707 塩尻市広丘原新田 80 セイコーエプソン(株) 広丘事業所 EBL 棟 2F
TEL (0263) 51-1050 (直通) FAX (0263) 54-6931

インターネットによる電子デバイス情報配信

<http://www.epsontoyocom.co.jp>

代理店
