

# アプリケーションマニュアル

## Real Time Clock Module

# RA4000CE/RA8000CE

製品名称	製品型番
RA4000CE YB A0	X1B000491A00115
RA4000CE YB B8	X1B000491A00915
RA4000CE YB C0	X1B000491A01015
RA4000CE YB D0	X1B000491A01115
RA4000CE YB E8	X1B000491A01915
RA8000CE YB A0	X1B000501A00115
RA8000CE YB B8	X1B000501A00915
RA8000CE YB C0	X1B000501A01015
RA8000CE YB D0	X1B000501A01115

本マニュアルのご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。弊社製品のご購入およびご使用にあたりましては事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
2. 本資料の一部または全部を、弊社に無断で転載または複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報であり、これらに起因する第三者の知的財産およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすことまたは財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。  
なお、設計および使用に際しては、弊社製品に関する最新の情報（本資料、仕様書、データシート、マニュアル、弊社ホームページなど）をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いします。
5. 弊社は正確さを期すために慎重に本資料を作成しておりますが、本資料に掲載されている情報に誤りがないことを保証するものではありません。万一、本資料に掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般電子機器製品用途および弊社指定用途に使用されることを意図して設計、開発、製造しています（指定用途）。この指定用途の範囲を超えて、特別または高度な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財物損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある以下を含む用途（特定用途）に使用されることを意図していません。  
【特定用途】  
宇宙機器（人工衛星・ロケットなど）/ 輸送車両並びにその制御機器  
医療機器 / 海底中継機器 / 発電所制御機器/防災・防犯装置 / 交通用機器 / 金融関連機器  
上記と同等の信頼性を必要とする用途  
お客様におかれましては、製品を指定用途に限定して使用されることを強く推奨いたします。もし指定用途以外の用途で製品のご使用およびご購入を希望される場合、弊社はおお客様の特定用途に弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらず、いかなる保証をおこなうものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡ください。
8. 本資料に掲載されている弊社製品および弊社技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および弊社技術を大量破壊兵器等の開発目的、および軍事利用の目的、その他軍事情況等に使用しないでください。弊社製品または弊社技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米国輸出管理規則（EAR）」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. 弊社は、お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害（直接・間接を問わず）に関して、一切その責任を負いかねます。また、お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害（直接・間接を問わず）が発生した場合、弊社は一切その責任を負いかねます。
10. 本資料についての詳細に関するお問合せ、その他お気づきの点などがありましたら、弊社営業窓口までご連絡ください。
11. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

## ETM64J 改訂履歴

Rev. No.	Date	Page	Description
01	2021/12/06	All	新規制定
02	2022/07/29	P8	<p><a href="#">2.2.1 電源投入シーケンス</a></p> <p>「電源をOFFした後に再度電源をONする場合は必ずGNDレベルのOFF期間を10秒以上確保し、その後は初回の電源立上げの仕様を満足するように電源を投入して下さい。」を以下に変更。</p> <p>「電源をOFFした後に再度電源をONする場合は必ずGNDレベルのOFF期間を100ms以上確保し、その後は初回の電源立上げの仕様を満足するように電源を投入して下さい。」</p>
		P20	<p><a href="#">図3.11 SEC_BINカウンター</a> レジスタアドレスの誤記修正</p>
		P25～P27	<p><a href="#">BINモード</a></p> <ul style="list-style-type: none"> <li>SEC_BIN0 ～ SEC_BIN4のレジスタシンボル名を変更（_MIRを削除）</li> <li>SEC_BIN0 ～ SEC_BIN4のレジスタアドレスを変更 (0x12 ～ 0x16 (正)      0x12 ～ 0x16 (誤))</li> </ul>
		P65, P66	<p><a href="#">レジスター</a></p> <ul style="list-style-type: none"> <li>レジスター一覧 Bank0 0x00～0x04のBIN modeをSEC_BIN0～4からNot usedに変更</li> <li>レジスター一覧 Bank1 0x12～0x16のBIN modeをSEC_BIN0_MIR～4_MIRからSEC_BIN0～4に変更</li> </ul>
		P72, P80	<p><a href="#">レジスター</a></p> <ul style="list-style-type: none"> <li>レジスタ詳細説明のBank0 0x00～0x04のBIN mode、SEC_BIN0～4を削除</li> <li>レジスタ詳細説明のBank1 0x12～0x16のBIN mode、SEC_BIN0_MIR～4_MIRのレジスタ名をSEC_BIN0～4に変更し、機能説明を0x00～0x04のSEC_BINから移動</li> </ul>
P103	<p><a href="#">電源投入シーケンス</a></p> <p>「確実にパワーオンリセットを有効とするためには、電源OFF後、VDD=GNDの状態を10秒以上確保してください。」を、以下の通りに変更。</p> <p>「確実にパワーオンリセットを有効とするためには、電源OFF後、VDDがGNDレベルの状態を100ms以上確保してください。」</p>		

## はじめに

本書は、セイコーエプソン製RTC(リアルタイムクロック) モジュールRA4000CEおよびRA8000CEの機能、制御方法、仕様、電気的特性を記載したアプリケーションマニュアルです。RA4000CE/RA8000CEを搭載する製品の設計者向けに作成されています。

RA4000CEはSPI、RA8000CEはI<sup>2</sup>C-Busを介してホストデバイスからアクセスします。これらのインターフェースの動作および制御方法については、ホストデバイスのマニュアル等を参照してください。

## 本書内の表記や記号について

### 数値の表記

本マニュアルは、10進数、2進数、16進数の数値を扱います。

10進数 例: 1, 10, 123 (一般的な数値や日付、時刻など)

2進数 例: 0b0, 0b10, 0b1111 (制御ビットの設定値、読み出し値など)

16進数 例: 0x0, 0xF, 0xFF (アドレスやレジスターの設定値など)

### レジスター/ビット名の表記

本マニュアルではレジスター名とビット名を次のように記載しています。

レジスター名: レジスターSEC

ビット名: TSTP\_INTE.STOPビット  
レジスターTSTP\_INTE内のSTOPビットを表します。

TCTL.FSEL[1:0]ビット  
レジスターTCTL内のFSEL1とFSEL0ビットの2ビットを表します。

### チャンネル番号の表記

タイムスタンプ機能にはチャンネルごとに同一機能を持つ端子や制御ビットが用意されています。この端子名やビット名にはチャンネル番号 (例: 1と2) が含まれています。特に分けて説明する必要がない場合、本書ではこの数値を“*n*”として複数チャンネルを一括して説明しています。その他、名称の一部が共通な複数のビットを“\*\*\*\*”を使用し、一つにまとめている場合もあります。

端子名: EVIN1、EVIN2 → EVIN<sub>*n*</sub>

ビット名: EVIN<sub>*n*</sub>\_EN.EVIN1EN、EVIN<sub>*n*</sub>\_EN.EVIN2EN  
→ EVIN<sub>*n*</sub>\_EN.EVIN<sub>*n*</sub>EN

EVIN<sub>*n*</sub>\_EN.EVIN1CPEN、CAP\_EN.VTMPLCPENなど  
→ \*\*\*CPEN

# 目次

ETM64J 改訂履歴.....	i
はじめに.....	ii
本書内の表記や記号について.....	ii
数値の表記.....	ii
レジスター/ビット名の表記.....	ii
チャンネル番号の表記.....	ii
目次.....	iii
<b>1 概要.....</b>	<b>1</b>
<b>1.1 特長.....</b>	<b>1</b>
<b>1.2 ブロック図.....</b>	<b>2</b>
RA4000CE (3 線 SPI).....	2
RA4000CE (4 線 SPI).....	3
RA8000CE (I <sup>2</sup> C-Bus).....	4
<b>1.3 端子.....</b>	<b>5</b>
1.3.1 端子配置図.....	5
RA4000CE.....	5
RA8000CE.....	5
1.3.2 端子説明.....	6
記号の意味.....	6
<b>2 電源と初期化.....</b>	<b>8</b>
<b>2.1 電源.....</b>	<b>8</b>
<b>2.2 初期化.....</b>	<b>8</b>
2.2.1 電源投入シーケンス.....	8
2.2.2 発振開始時間.....	9
2.2.3 初期設定.....	11
初期設定手順 (/RST 出力非搭載機種).....	11
初期設定手順 (/RST 出力機能搭載機種).....	12
<b>2.3 動作モード.....</b>	<b>13</b>
POR 有効.....	14
イニシャルモード.....	14
ノーマルモード.....	14
セーフモード.....	14
<b>3 機能.....</b>	<b>15</b>
<b>3.1 ホストインターフェイス.....</b>	<b>15</b>
3.1.1 RA4000CE レジスターへのアクセス (SPI).....	15
SPI インターフェイス端子.....	15
レジスターライト.....	16
レジスターリード.....	17
3.1.2 RA8000CE レジスターへのアクセス (I <sup>2</sup> C-Bus).....	18
I <sup>2</sup> C-Bus インターフェイス端子.....	18
スレーブアドレス.....	18
レジスターライト.....	18
レジスターリード.....	19
<b>3.2 時計/カレンダー機能.....</b>	<b>20</b>
3.2.1 概要.....	20
3.2.2 動作.....	22
BCD モードと BIN モード.....	22
計時バッファを介した時計/カレンダーカウンターへのアクセス.....	22
時計/カレンダーの初期設定と計時の開始.....	24
時計/カレンダーデータの読み出し.....	26
1/1024 秒のデータ読み出し/書き込み.....	27

1/1024 秒のオフセット時刻合わせ .....	28
時計/カレンダーストップ手順 .....	29
うるう年の判定 .....	29
うるう秒補正手順 .....	29
<b>3.3 温度補償機能 .....</b>	<b>30</b>
3.3.1 動作 .....	30
温度補償間隔の設定 .....	30
温度補償動作フラグ VTMPF フラグ(0x0E) .....	30
<b>3.4 論理緩急機能 .....</b>	<b>31</b>
3.4.1 動作 .....	31
論理緩急の動作 .....	31
補正量の設定 .....	31
論理緩急の開始 .....	32
論理緩急の停止 .....	32
3.4.2 論理緩急の他機能への影響 .....	32
<b>3.5 時刻更新割り込み機能 .....</b>	<b>33</b>
3.5.1 概要 .....	33
3.5.2 動作 .....	33
割り込み周期の選択 .....	33
割り込み許可/禁止手順 .....	33
割り込み動作 .....	34
<b>3.6 アラーム機能 .....</b>	<b>35</b>
3.6.1 概要 .....	35
3.6.2 動作 .....	35
アラーム設定手順 .....	35
アラーム設定例 .....	36
アラーム割り込み .....	37
<b>3.7 ウェイクアップタイマー機能 .....</b>	<b>38</b>
3.7.1 概要 .....	38
3.7.2 動作 .....	38
ソースクロック .....	38
カウントアップ/ダウンモード .....	39
プリセットデータ (ウェイクアップタイマー割り込み周期) .....	39
カウント動作条件 (RST 出力機能搭載機種のみ) .....	39
ウェイクアップタイマー設定手順 .....	40
カウントの開始 .....	40
一時停止 .....	41
カウンターデータの読み出し .....	42
カウンターのリセット .....	42
ウェイクアップタイマー割り込み .....	43
<b>3.8 FOUT 出力機能 .....</b>	<b>45</b>
3.8.1 概要 .....	45
3.8.2 動作 .....	45
初期設定 .....	45
FOUT 出力の制御 (FOE 端子を使用しない場合) .....	45
FOUT 出力の制御 (FOE 端子を使用する場合) .....	46
FOUT 端子からのウェイクアップタイマー割り込み信号出力 .....	46
<b>3.9 リセット出力機能 .....</b>	<b>47</b>
3.9.1 概要 .....	47
3.9.2 動作 .....	47
リセット出力用 V <sub>DD</sub> 電圧検出動作 .....	47
リセット出力フラグ .....	47
リセット出力中の I/O 制御 .....	47
<b>3.10 自己監視機能 .....</b>	<b>48</b>

3.10.1 概要	48
3.10.2 自己監視フラグ	48
パワーオンリセット発生検出: PORF フラグ	48
水晶発振停止検出: OSCSTPF フラグ	48
日時データ無効警告: VLF フラグ	48
温度補償更新停止検出: VTMLPF フラグ	48
3.10.3 自己監視フラグの端子出力機能	48
<b>3.11 タイムスタンプ機能</b>	<b>49</b>
3.11.1 概要	49
3.11.2 タイムスタンプトリガー	50
外部イベント入力 (EVINn 端子)トリガー	50
内部イベントトリガー	51
コマンドトリガー	51
3.11.3 タイムスタンプバッファ	52
タイムスタンプデータ	52
タイムスタンプバッファの動作モード	53
タイムスタンプバッファの書き込みモード	53
3.11.4 動作	54
初期設定	54
タイムスタンプキャプチャー動作	56
コマンドトリガーの発行	59
タイムスタンプデータの読み出し	60
3.11.5 タイムスタンプ (イベント検出) 割り込み	62
3.11.6 SRAM モードでのリード/ライト	63
<b>3.12 SOUT 出力機能</b>	<b>64</b>
ステータス出力	64
DC 出力	64
<b>4 レジスター</b>	<b>65</b>
<b>4.1 レジスター一覧</b>	<b>65</b>
記号の意味	65
Bank 0	65
Bank 1	66
Bank 2	66
Bank 3	67
Bank 4	67
Bank 5	67
Bank 6/7 (ダイレクトモードでのタイムスタンプデータ (BCD) 読み出し時)	68
Bank 6/7 (ダイレクトモードでのタイムスタンプデータ (BIN) 読み出し時)	68
Bank 6/7 (SRAM モード)	69
<b>4.2 レジスター詳細説明</b>	<b>70</b>
0x00: SEC (Second Data) [BCD モード]	70
0x01: MIN (Minute Data) [BCD モード]	70
0x02: HOUR (Hour Data) [BCD モード]	70
0x03: WEEKDAY (Day-of-Week Data) [BCD モード]	70
0x04: DAY (Day Data) [BCD モード]	71
0x05: MONTH (Month Data) [BCD モード]	71
0x06: YEAR (Year Data) [BCD モード]	71
0x07: ALM_MIN (Minute Alarm) [BCD モード]	72
0x08: ALM_HOUR (Hour Alarm) [BCD モード]	72
0x09: ALM_WEEKDAY (Day-of-Week Alarm / Day Alarm) [BCD モード]	73
0x0A: WTCNT_L (Wakeup Timer Counter Low)	74
0x0B: WTCNT_M (Wakeup Timer Counter Middle)	74
0x0C: WTCNT_H (Wakeup Timer Counter High)	74
0x0D: TCTL (Timer Control)	74
0x0E: INTF (Status Flag)	76
0x0F: TSTP_INTE (Timer Stop and Interrupt Enable)	77

0x10: SUBSEC_L (Sub-Second Data Low).....	78
0x11: SUBSEC_H (Sub-Second Data High).....	78
0x12: SEC_MIR (Mirrored Second Data, = 0x00) [BCD ㊦一㊦] .....	79
0x13: MIN_MIR (Mirrored Minute Data, = 0x01) [BCD ㊦一㊦].....	79
0x14: HOUR_MIR (Mirrored Hour Data, = 0x02) [BCD ㊦一㊦].....	80
0x15: WEEKDAY_MIR (Mirrored Day-of-Week Data, = 0x03) [BCD ㊦一㊦].....	80
0x16: DAY_MIR (Mirrored Day Data, = 0x04) [BCD ㊦一㊦] .....	80
0x17: MONTH_MIR (Mirrored Month Data, = 0x05) [BCD ㊦一㊦].....	80
0x18: YEAR_MIR (Mirrored Year Data, = 0x06) [BCD ㊦一㊦].....	80
0x12: SEC_BIN0 (Second Binary Data 0) [BIN ㊦一㊦].....	80
0x13: SEC_BIN1 (Second Binary Data 1) [BIN ㊦一㊦].....	80
0x14: SEC_BIN2 (Second Binary Data 2) [BIN ㊦一㊦].....	80
0x15: SEC_BIN3 (Second Binary Data 3) [BIN ㊦一㊦].....	80
0x16: SEC_BIN4 (Second Binary Data 4) [BIN ㊦一㊦].....	80
0x19: OFS_SUBSEC_H (Offset Sub-Second Data High) .....	81
0x1A: OFS_SUBSEC_L (Offset Sub-Second Data Low) .....	81
0x1B: DIG_TRIM_H (Digital Trimming Data High).....	82
0x1C: DIG_TRIM_L (Digital Trimming Data Low).....	82
0x1D: TCTL_MIR (Mirrored Timer Control, = 0x0D).....	82
0x1E: INTF_MIR (Mirrored Status Flag, = 0x0E).....	82
0x1F: CNTSEL (Counter Select).....	82
0x20: EVIN_EN (Event Input Enable).....	83
0x21: EVIN1_CFG (EVIN1 Configuration).....	84
0x23: EVIN2_CFG (EVIN2 Configuration).....	84
0x22: EVIN1_FLT (EVIN1 Noise Filter).....	84
0x24: EVIN2_FLT (EVIN2 Noise Filter).....	84
0x27: BUF1_CFG1 (BUF1 Configuration 1) .....	85
0x28: BUF1_STAT (BUF1 Status) .....	86
0x29: BUF1_CFG2 (BUF1 Configuration 2) .....	86
0x30: ALM_SEC (Second Alarm).....	87
0x31: ALM_MIN_MIR (Mirrored Minute Alarm, = 0x07).....	87
0x32: ALM_HOUR_MIR (Mirrored Hour Alarm, = 0x08).....	87
0x33: ALM_WEEKDAY_MIR (Mirrored Day-of-Week Alarm / Day Alarm, = 0x09).....	87
0x34: UPDISEL (Time Update Interrupt Select) .....	88
0x38: WTICFG (Wakeup Timer Interrupt Configuration) .....	88
0x39: WTCTL (Wakeup Timer Control).....	90
0x3A: WTCNT_L_MIR (Mirrored Wakeup Timer Counter Low, = 0x0A) .....	91
0x3B: WTCNT_M_MIR (Mirrored Wakeup Timer Counter Middle, = 0x0B) .....	91
0x3C: WTCNT_H_MIR (Mirrored Wakeup Timer Counter High, = 0x0C) .....	91
0x3D: TCTL_MIR (Mirrored Timer Control, = 0x0D).....	91
0x3E: INTF_MIR (Mirrored Status Flag, = 0x0E).....	91
0x3F: TSTP_INTE_MIR (Mirrored Timer Stop and Interrupt Enable, = 0x0F).....	91
0x41: WRCMD_CFG (Write Command Configuration) .....	91
0x42: WRCMD_TRG (Write Command Trigger).....	92
0x43: EVNT_INTE (Event Interrupt Enable).....	93
0x44: CAP_EN (Capture Enable) .....	93
0x45: INTF_MIR (Mirrored Status Flag, = 0x0E) .....	94
0x46: BUF_INTF (Buffer Interrupt Factor) .....	94
0x47: EVNT_INTF (Event Interrupt Factor) .....	95
0x51: EVIN1_EVCNT (EVIN1 Event Counter).....	96
0x52: EVIN2_EVCNT (EVIN2 Event Counter).....	96
0x54: EVINMON (EVIN Monitor).....	96
0x55: SOUTCTL (SOUT Control).....	96

<b>5 電氣的特性.....</b>	<b>98</b>
<b>5.1 絶対最大定格 .....</b>	<b>98</b>
<b>5.2 推奨動作条件 .....</b>	<b>98</b>
<b>5.3 周波数特性 .....</b>	<b>98</b>
<b>5.4 DC 特性.....</b>	<b>99</b>



DC 特性.....	99
温度補償回路動作と消費電流.....	100
/RST 出力端子ありの場合の消費電流.....	100
状態遷移と自己監視機能の検出電圧.....	100
<b>5.5 AC 特性.....</b>	<b>101</b>
RA4000CE AC 特性.....	101
RA8000CE AC 特性.....	102
<b>5.6 電源投入特性.....</b>	<b>103</b>
<b>5.7 リセット出力特性.....</b>	<b>104</b>
<b>6 パッケージ.....</b>	<b>105</b>
6.1 外形寸法図.....	105
6.2 マーキングレイアウト.....	105
<b>7 実装上の注意事項.....</b>	<b>106</b>
静電気.....	106
ノイズ.....	106
入力端子の電圧.....	106
未使用入力端子の処理.....	106
はんだ付け温度.....	106
実装機.....	106
超音波洗浄.....	106
実装方向.....	106
端子間リーク.....	107
はんだ耐熱性評価プロファイル (参考).....	107
<b>8 耐湿/静電耐圧特性.....</b>	<b>108</b>
8.1 吸湿耐性水準 (MSL).....	108
8.2 静電耐圧.....	108
<b>9 参考回路例.....</b>	<b>109</b>
<b>10 梱包情報 (参考).....</b>	<b>111</b>
テーピング仕様 (TE0804L).....	111
リール仕様.....	111
<b>図表一覧.....</b>	<b>112</b>
図.....	112
表.....	113

# 1 概要

RA4000CE/RA8000CEは、32.768 kHzデジタル温度補償型水晶発振器 (DTCXO) を搭載し、AEC-Q100に準拠したリアルタイムクロックです。秒から年まで自動うるう年補正の時刻カレンダー回路、時刻アラーム、ウェイクアップタイマー、時刻更新割り込み、クロック出力、外部または内部イベント発生日時や自己監視機能による電源検出状態を2回記録可能なタイムスタンプ機能等の豊富な機能を備えています。本製品は低電力動作が可能なことに加え、AEC-Q100に準拠しており、車載用途に対応します。

・製品名称と各記号の意味は下記の通りです。

RA4000CE YB A 0  
① ② ③④

- ① 機種名 CE タイプパッケージ 3.2 x 2.5 x 1.0 mm  
 ② 周波数精度  
 ③ Pin Option  
 A~E : Option A~E  
 ④ リセット出力機能  
 0 : リセット機能無し  
 8 : リセット機能有り (VDD 立下り時検出電圧 : +2.4 V Typ.)

表 1.1 製品ラインナップ

製品名	インターフェイス	周波数精度 *1	外部イベント入力 (EVIN <sub>n</sub> )	リセット出力 (/RST)	クロック出力 (FOUT or /INT)	FOUT イネーブル (FOE)	ステータス出力 (SOUT)
RA4000CE Option A YB	3線SPI	YB	2入力	-	✓	-	-
RA4000CE Option B YB		YB	2入力	✓	✓	-	-
RA4000CE Option C YB		YB	-	-	✓	-	-
RA4000CE Option D YB	4線SPI	YB	1入力	-	✓	-	✓
RA4000CE Option E YB		YB	1入力	✓	✓	-	✓
RA8000CE Option A YB	I <sup>2</sup> C-Bus	YB	2入力	-	✓	-	✓
RA8000CE Option B YB		YB	2入力	✓	✓	-	✓
RA8000CE Option C YB		YB	-	-	✓	-	-
RA8000CE Option D YB		YB	1入力	-	✓	✓	✓

✓: あり、-: なし

\*1 精度 (YB) については、“5.3 周波数特性”の周波数安定度を参照してください。

## 1.1 特長

表 1.2 特長

製品ラインナップ		RA4000CE	RA8000CE
ホストインターフェイス		3線SPIまたは4線SPI *1	I <sup>2</sup> C-Bus *1
水晶発振器		・32.768 kHzデジタル温度補償型水晶発振器 (DTCXO) を搭載	
時計/カレンダー		<ul style="list-style-type: none"> <li>・秒、分、時、日、月、年をカウントするBCDカウンターと曜日カウンターを搭載 [BCDモード]</li> <li>・1/1024秒をカウントするバイナリーカウンターを搭載</li> <li>・UNIXタイム等の秒カウントが可能なバイナリーカウンターを搭載 [BINモード]</li> <li>・うるう年の自動補正機能搭載 うるう秒補正操作可能 [BCDモード]</li> <li>・時刻更新割り込みを発生可能 (1秒、1分、1時間の各時刻 (カウンター) 更新時) [BCDモード]</li> <li>・論理緩急機能を搭載</li> </ul>	
ウェイクアップタイマー		<ul style="list-style-type: none"> <li>・976.56 μs ~ 32年周期で割り込みを発生可能</li> <li>・積算時間計として使用可能</li> <li>・ウォッチドッグタイマーとして使用可能</li> <li>・EVIN2端子入力 (外部イベント入力) のユニバーサルカウンターとして使用可能</li> </ul>	
アラーム		秒から日 (または曜日) までを指定し、割り込みを発生可能 [BCDモード]	
タイムスタンプ	トリガー要因	<ul style="list-style-type: none"> <li>・外部イベント (EVIN<sub>n</sub>) 入力 *1</li> <li>・電源電圧低下検出/発振停止検出</li> <li>・ホストからのコマンド入力</li> </ul>	
	記録データ	<ul style="list-style-type: none"> <li>・1/1024秒データ</li> <li>・時刻データ (秒、分、時、日、月、年 [BCDモード]、またはバイナリータイム[BINモード])</li> <li>・トリガー要因</li> </ul>	

製品ラインナップ	RA4000CE	RA8000CE
	<ul style="list-style-type: none"> <li>内部ステータス</li> </ul>	
記録可能なイベント数	2イベント	
クロック出力 (FOUT) *1	<ul style="list-style-type: none"> <li>32.768 kHz、1024 Hz、または1 Hz出力を選択可能</li> <li>レジスターにより出力を制御可能</li> </ul>	
ステータス出力 (SOUT) *1	選択した内部フラグ (割り込みフラグ、電圧低下検出フラグ) の状態を出力可能	
リセット出力 *1	V <sub>DD</sub> 電圧低下検出時にリセット信号を外部デバイスに出力可能	
自己監視機能	発振停止、V <sub>DD</sub> 電圧低下を検出し割り込みを発生可能	
動作電圧 (V <sub>DD</sub> )	1.60 V ~ 5.5 V	
動作温度	-40 °C ~ +125 °C	

\*1 表 1.1を参照してください。

## 1.2 ブロック図

### RA4000CE (3線SPI)

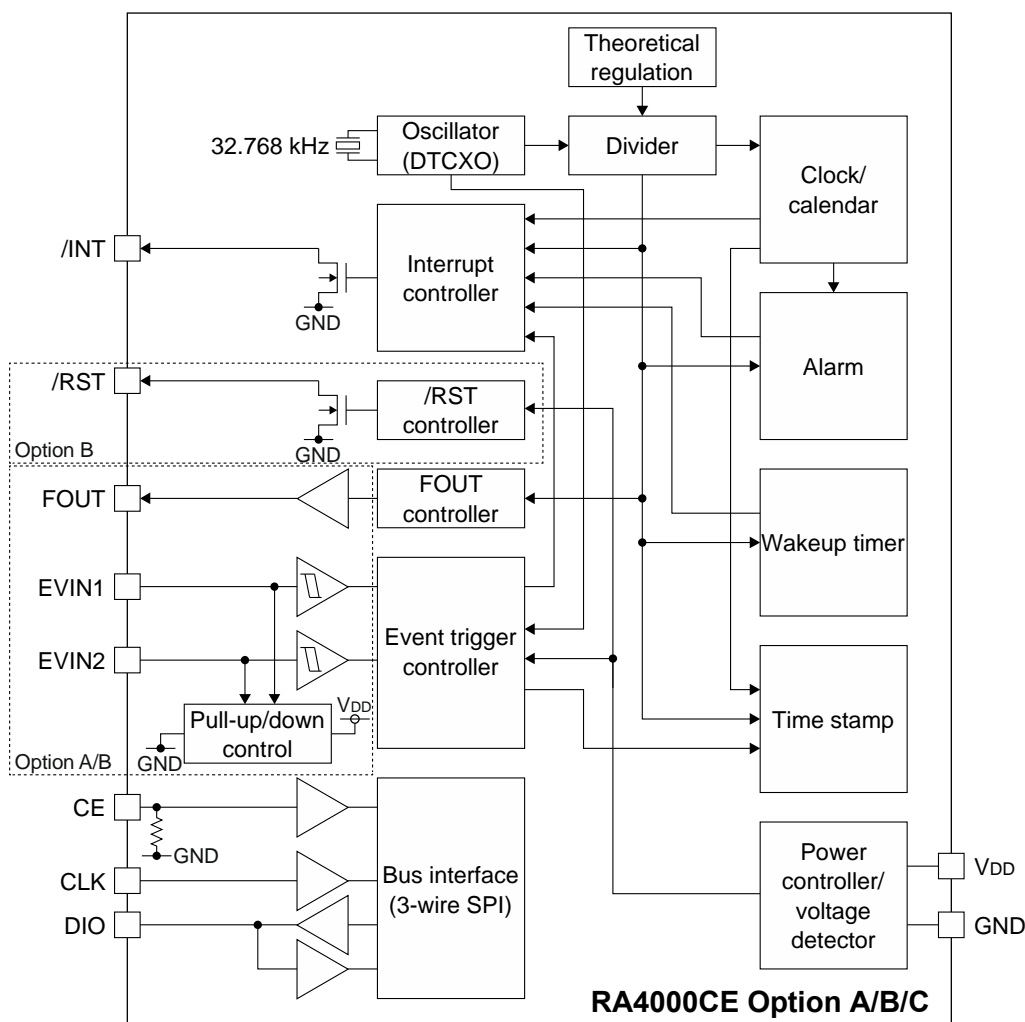


図 1.1 RA4000CE Option A/B/Cブロック図

## RA4000CE (4線SPI)

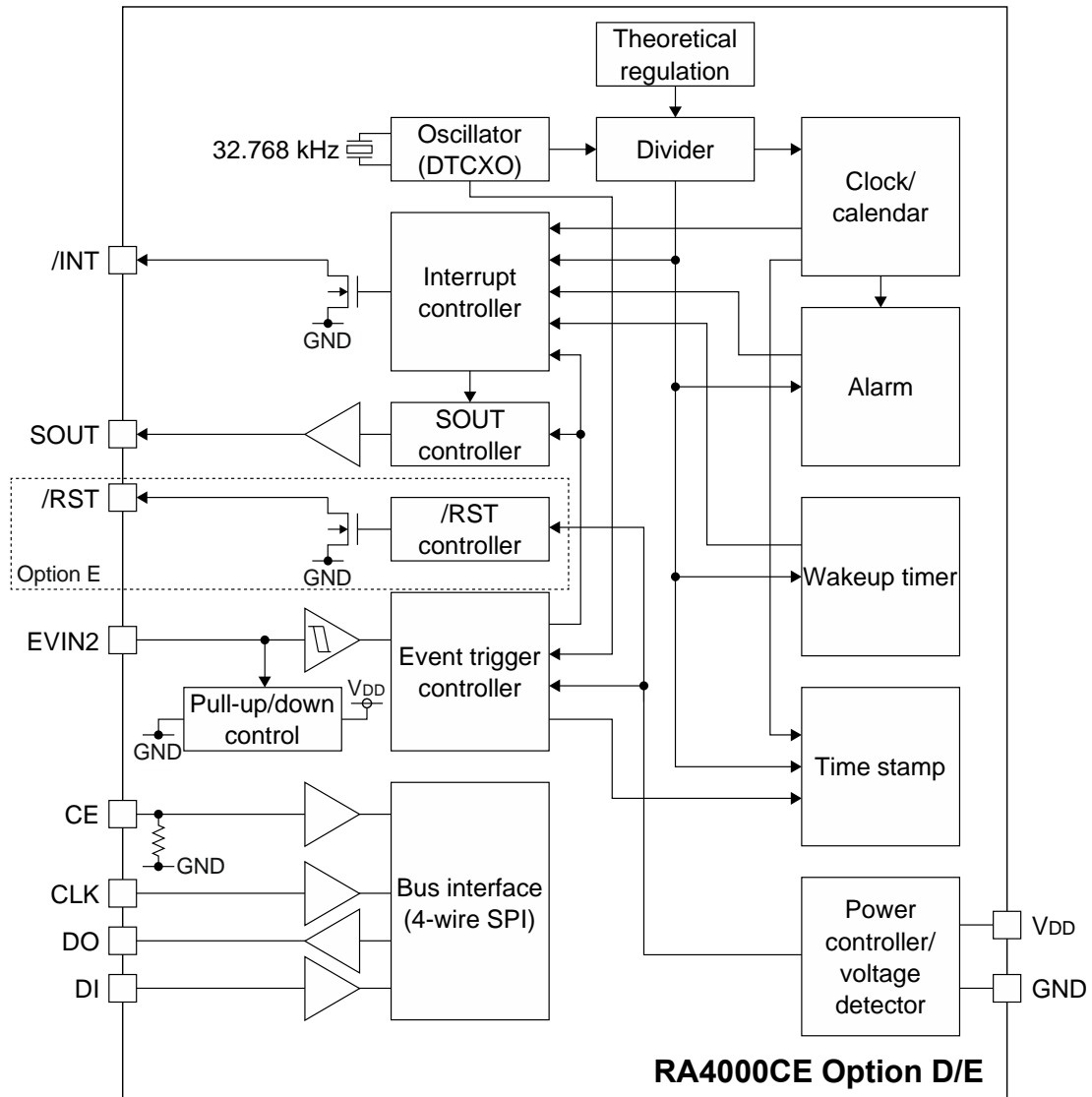


図 1.2 RA4000CE Option D/Eブロック図

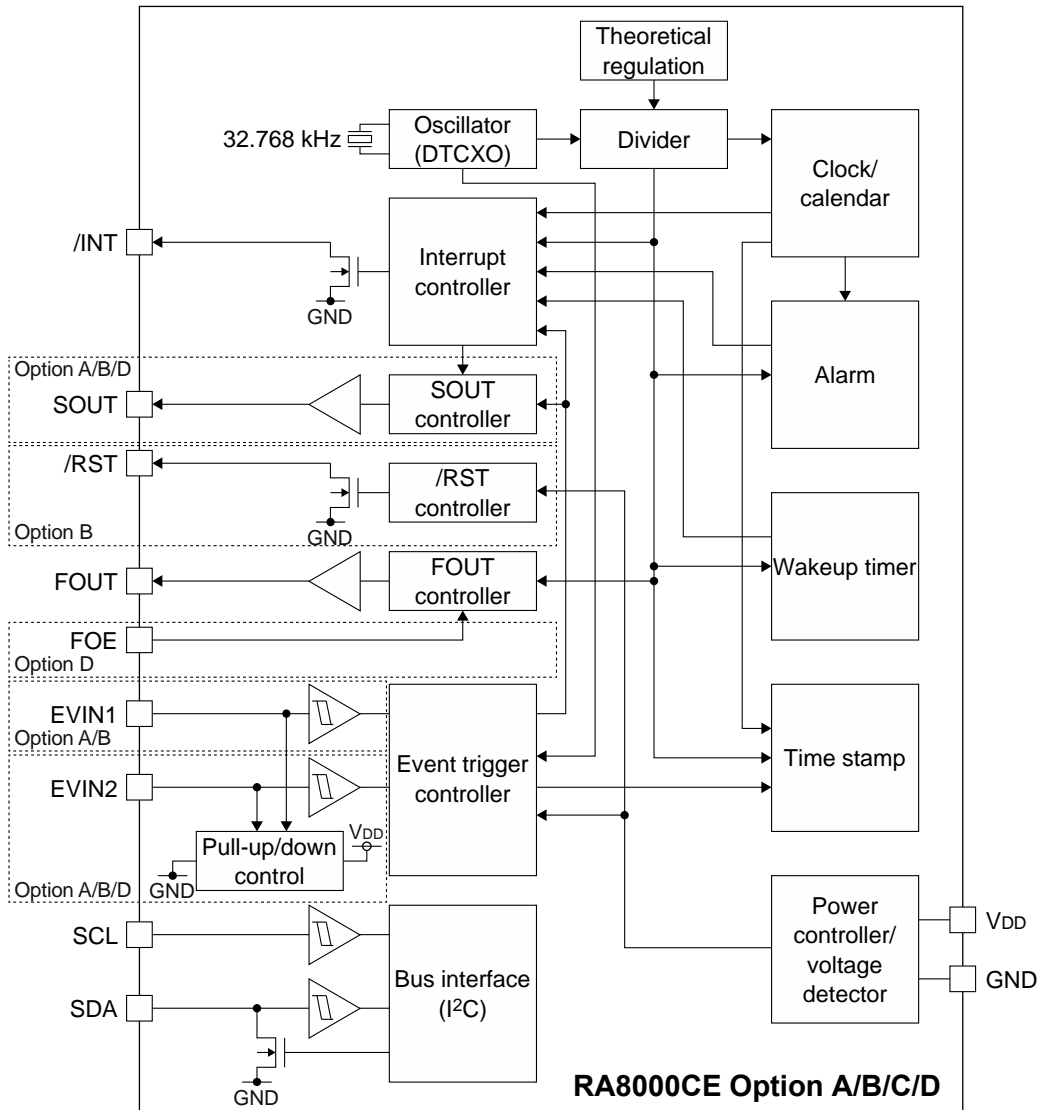
RA8000CE (I<sup>2</sup>C-Bus)

図 1.3 RA8000CE Option A/B/C/Dブロック図



## 1.3.2 端子説明

## 記号の意味

入出力	I:	入力端子
	O:	出力端子
	I/O:	入出力端子
初期状態	Hi-Z:	ハイインピーダンス
	PU:	プルアップ
	PD:	プルダウン
機種別欄	✓:	あり
	-:	なし

表 1.3 端子説明

端子名	入出力	初期状態	機能	RA4000CE					RA8000CE			
				A	B	C	D	E	A	B	C	D
EVIN1	I	PU (1 MΩ)	外部イベント入力端子 これらの端子の入力信号がタイムスタンプのトリガーとして使用されます (リセット出力時 (セーフモード) でも検出可能)。 プログラマブルなプルアップ/プルダウン抵抗とノイズフィルターを内蔵しています。	✓	✓	-	-	-	✓	✓	-	-
EVIN2				✓	✓	-	✓	✓	✓	✓	-	✓
CLK	I	Hi-Z	3線/4線SPIシリアルクロック入力端子 本端子はノーマルモードではフローティング状態は禁止です。 WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。	✓	✓	✓	✓	✓	-	-	-	-
DIO	I/O	Hi-Z	3線SPIシリアルデータ入出力端子 ノーマルモード時の入力状態において本端子はフローティング状態禁止です。 WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。	✓	✓	✓	-	-	-	-	-	-
DO	O	Hi-Z	4線SPIシリアルデータ出力端子 本端子は、WTICFG.RSTOPT1ビット = 0、且つセーフモードでは出力が無効となりHi-Zになります。	-	-	-	✓	✓	-	-	-	-
DI	I	Hi-Z	4線SPIシリアルデータ入力端子 本端子はノーマルモードではフローティング状態は禁止です。 WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。	-	-	-	✓	✓	-	-	-	-
CE	I	PD (300 kΩ)	3線/4線SPISレープセレクト入力端子 プルダウン抵抗を内蔵しています。WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。	✓	✓	✓	✓	✓	-	-	-	-
SCL	I	Hi-Z	I <sup>2</sup> C-Busシリアルクロック入力端子 本端子はノーマルモードではフローティング状態は禁止です。 WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。外部で5.5 Vまでプルアップすることが可能です。	-	-	-	-	-	✓	✓	✓	✓
SDA	I/O	Hi-Z	I <sup>2</sup> C-Busシリアルデータ入出力端子 (N-chオープンドレイン) SCL信号に同期して、アドレス、データ、アクノリッジビットなどを入出力します。本端子は N-ch オープンドレイン出力です。外部で5.5 Vまでプルアップすることが可能です。WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。	-	-	-	-	-	✓	✓	✓	✓
FOUT	O	Hi-Z	クロック出力端子 (CMOS) 32.768 kHz、1024 Hz、1 Hz出力が選択可能です。 ウェイクアップタイマー割り込み出力 (CMOS) に切り替え可能です。 本端子は、WTICFG.RSTOPT0ビット = 0、且つセーフモードでは出力が無効となりHi-Zになります。	✓	✓	-	-	-	✓	✓	✓	✓
FOE	I	Hi-Z	FOUT出力イネーブル入力端子 H入力時、FOUT端子からレジスターで設定した周波数の矩形波が出力されます。L入力時、FOUT端子はHi-Z状態になります。本端子はノーマルモードではフローティング状態は禁止です。 WTICFG.RSTOPT1ビット = 0、且つセーフモードでは入力が無効となりフローティング状態が許可されます。	-	-	-	-	-	-	-	-	✓
/INT	O	Hi-Z	割り込み出力端子 (N-chオープンドレイン) ウェイクアップタイマー/時刻更新/アラーム/イベント検出割り込み信号の出力が選択可能で、複数選択時はそれぞれのNOR出力となります。 本端子は、WTICFG.RSTOPT0ビット = 0、且つセーフモードでは出力が無効となりHi-Zになります。外部で5.5 Vまでプルアップすることが可能です。	✓	✓	✓	✓	✓	✓	✓	✓	✓

端子名	入出力	初期状態	機能	RA4000CE					RA8000CE			
				A	B	C	D	E	A	B	C	D
SOUT	O	Hi-Z	ステータス出力端子 内部フラグ (TF/AF/UF/EF/TMPLF/VLF) の一つを選択して、その状態を出力可能です。出力信号の極性も選択可能です。 本端子は、WTICFG.RSTOPT0ビット = 0、且つセーフモードでは出力が無効となりHi-Zになります。	-	-	-	✓	✓	✓	✓	-	✓
/RST	(I)/O	Hi-Z	リセット出力端子 (N-chオープンドレイン) V <sub>DD</sub> 電圧の規定値未満への低下を検出した場合に、リセット信号を外部デバイスに出力可能です。V <sub>DD</sub> 電圧が復帰 (既定値以上への上昇を検出) すると、その60 ms後にリセット出力が解除 (Hi-Z状態に設定) されます。 本端子は Nch オープンドレイン出力です。信号線の容量にあった適切なプルアップ抵抗を接続してください。外部プルアップ電圧はRTCのV <sub>DD</sub> 以上の電圧としてください。 /RST端子のアサインされた機種(RA4000CE-B,E,RA8000CE-B)において、リセット出力機能を使用しない場合は、本端子をGNDに固定してください。	-	✓	-	-	✓	-	✓	-	-
V <sub>DD</sub>	-	-	主電源端子	✓	✓	✓	✓	✓	✓	✓	✓	✓
GND	-	-	グラウンド端子	✓	✓	✓	✓	✓	✓	✓	✓	✓

注: • 未使用の入力/入出力端子は、内蔵プルアップ/プルダウンが有効でない場合、オープンや中間電位にしないでください。

- 出力端子 (FOUT, SOUT, /INT, DO) を使用しない場合はオープンにしてください。
- /RST端子機能搭載機種で出力機能を使用しない場合は本端子をGNDに固定してください。
- 各入力端子はV<sub>DD</sub>電源電圧にかかわらず5.5 Vまで入力可能です。
- /INT出力端子はV<sub>DD</sub>電源電圧にかかわらず5.5 Vまでプルアップすることが可能です。
- /RST出力端子はV<sub>DD</sub> ~ 5.5 Vまでの範囲でプルアップすることが可能です。
- /RST端子機能未搭載機種はPin 5からLレベルが出力されます。オープンにしてください。



## 2 電源と初期化

### 2.1 電源

RA4000CE/RA8000CEの電源端子を下表に示します。

表 2.1 電源端子一覧

端子名	機能
V <sub>DD</sub>	主電源端子
GND	グラウンド端子

RA4000CE/RA8000CEはV<sub>DD</sub>に供給されている電源電圧で動作します。  
動作電源電圧範囲については、“5.2 推奨動作条件”を参照してください。

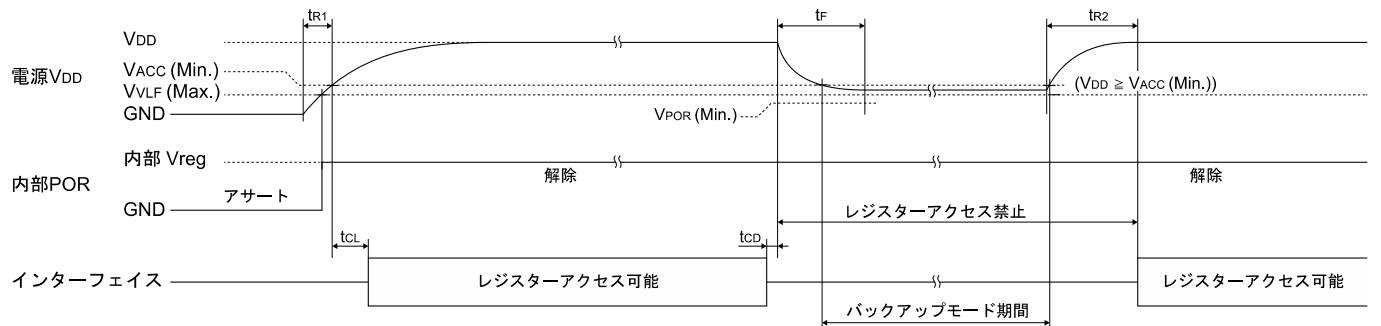
注: 基板設計において、バイパスコンデンサは可能な限りV<sub>DD</sub>端子の直近に配置してください。

### 2.2 初期化

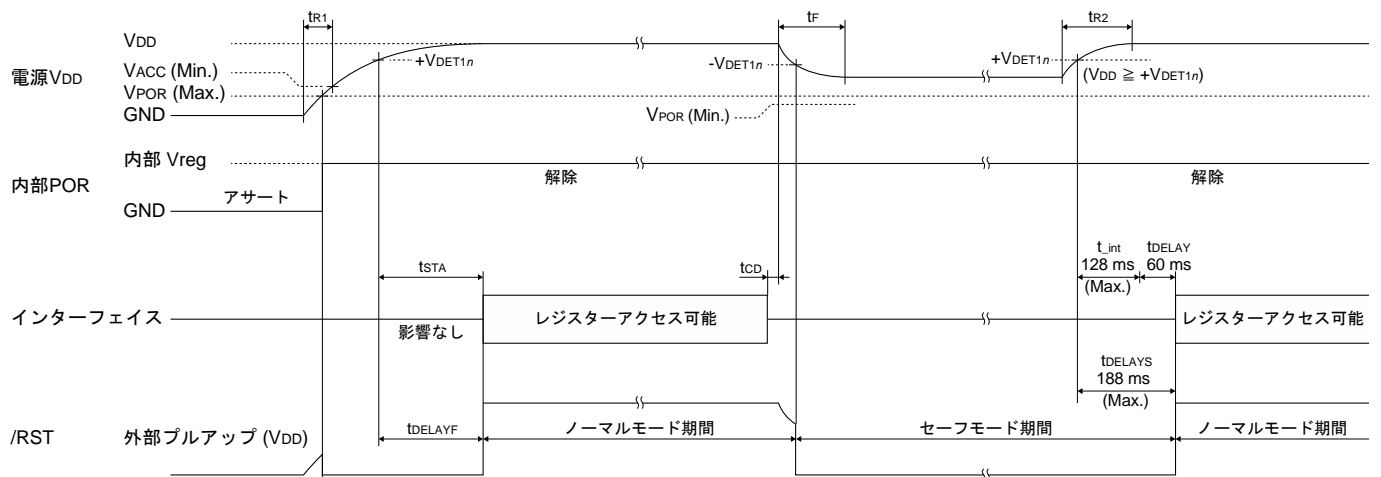
#### 2.2.1 電源投入シーケンス

RA4000CE/RA8000CEの電源投入時は、パワーオンリセットの処理が実行されます。確実にパワーオンリセットを実行させるため、電源投入規格 (t<sub>RI</sub>、“5.6 電源投入特性”参照) の仕様を満足させてください。図 2.1のt<sub>CL</sub>は、パワーオンリセットが解除されるまでの時間を示しています。

電源をOFFした後に再度電源をONする場合は、必ずGNDレベルのOFF期間を100ms以上確保し、その後は初回の電源立ち上げの仕様を満足するように、電源を再投入してください。



(1) /RST出力非搭載機種の場合



(2) /RST出力機能搭載機種の場合

図 2.1 電源投入シーケンス

## 2.2.2 発振開始時間

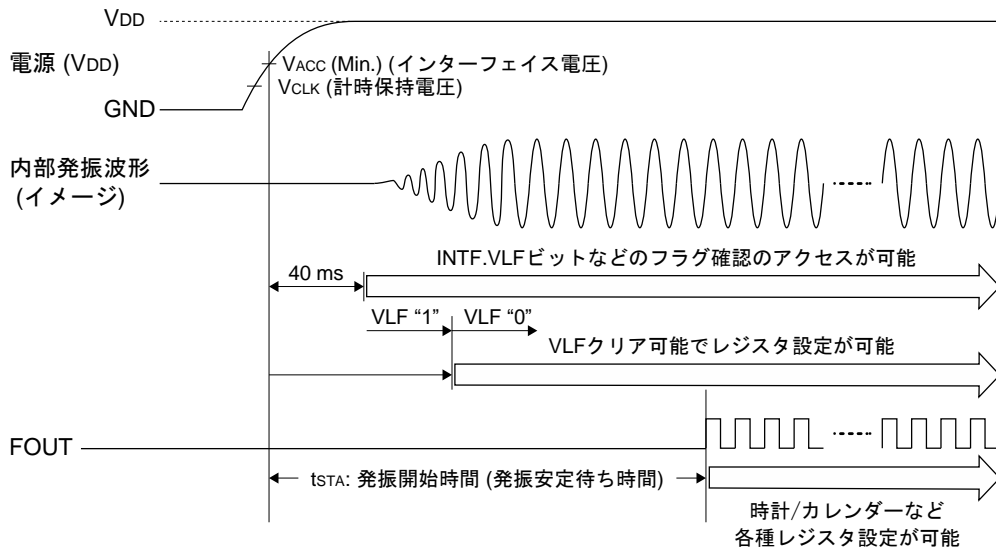
$V_{DD}$ 電圧が投入されると、水晶発振回路が発振を開始します。また、 $V_{DD}$ 投入から40 ms後にホストインターフェイスが利用可能になります。ただし、時計/カレンダーカウンターの設定/読み出しができるようになるためには、水晶発振回路の内部波形の振幅が十分な大きさになるまでの待ち時間が必要です。これが、発振開始時間( $t_{STA}$ 、“5.3 周波数特性”参照)です。

/RST出力機能非搭載機種において、この待ち時間を確保するためには、INTF.OSCSTPFビットとINTF.VLFビットのクリアを繰り返し試行する方法か、 $V_{DD}$ 電圧の投入開始から $t_{STA}$ が経過するまでホスト側で待機する方法があります。前者の方法は、時計/カレンダーカウンターを設定/読み出しができるようになるまでの待機時間が、より短くなります。一方後者の方法は、より待ち時間が長い分、水晶発振回路の周波数が安定するため、より高い時刻精度で時計/カレンダーカウンターを設定できます。

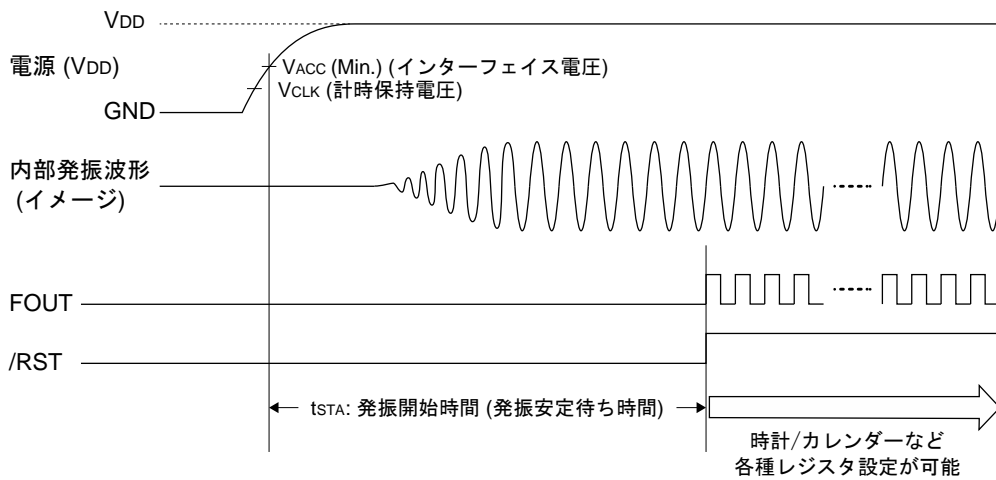
INTF.OSCSTPFビットとINTF.VLFビットは、水晶発振回路が発振を開始した直後は、発振停止検出によって1にセットされます。この間は、これらのビットにホストインターフェイスを介して0を書き込んでも、0にクリアできません。その後しだいに内部発振波形の振幅が成長すると、発振停止検出が解除され、INTF.OSCSTPFビットとINTF.VLFビットがクリア可能になります。したがって、任意の時間間隔でこれらのビットのクリアを試行し、クリアできるようになった時点で、時計/カレンダーカウンターの設定/読み出しが可能になります。下記 (※) に示す機能のホストからの動作設定は、INTF.VLFビットクリア後に行ってください。

一方、/RST出力機能搭載機種は、 $V_{DD}$ 電圧が $+V_{DET1n}$ を上回るまでホストインターフェイスは遮断状態になります。 $V_{DD} \geq +V_{DET1n}$ 、且つ $t_{STA}$ 経過後に/RST出力が解除され、通信が有効となり、すべてのレジスターアクセスが可能になります。

- ※ INTF.VLFビットクリア後に設定を行う必要がある機能:
- 兼用端子の機能選択 (WTICFG. PINMUX[1:0]ビット設定)
  - 各種タイマー機能設定
  - FOUT出力の制御 (TCTL.FSEL[1:0]ビット設定)
  - 温度補償間隔の設定 (TSTP\_INTE.CSEL[1:0]ビット設定)



(1) /RST出力非搭載機種



$t_{STA}$ 経過後にすべてのレジスタアクセスが可能になります。

(2) /RST出力機能搭載機種

図 2.2 発振開始シーケンス

### 2.2.3 初期設定

初期電源投入時とINTF.VLFビット = 0 → 1を伴う電圧低下発生後は初期設定が必要です。  
その一例を以下に示します。

#### 初期設定手順 (RST出力非搭載機種)

1. 初期電源投入後から40 ms以上の待ち時間を取る。
2. POR解除と発振開始の検出 (INTF.VLFビットのポーリング)  
INTF.VLFビットは、電源電圧の低下によるパワーオンリセットの発行、または発振停止を検出した場合に1にセットされます。
  - 2.1. INTF.VLFビットを読み出し、値が0だった場合は手順3へ  
INTF.VLFビット = 1の場合は以下項目の2.2.~2.4.の処理を行います。
  - 2.2. レジスタINTFに0x00を書き込み、FINTE.VLFビットのクリアの試行、及び割り込みフラグのクリアをする。
 

- PORFビット	(パワーオンリセット検出フラグ)
- OSCSTPFビット	(発振停止検出フラグ)
- UFビット	(時刻更新割り込みフラグ)
- TFビット	(ウェイクアップタイマー割り込みフラグ)
- AFビット	(アラーム割り込みフラグ)
- EVFビット	(イベント検出割り込みフラグ)
- VLFビット	(RTC初期化割り込みフラグ)
- VTMPPLFビット	(温度補償更新停止検出割り込みフラグ)
  - 2.3. 任意の待ち時間を取る。
  - 2.4. 手順2.1へ戻る
3. 割り込み/カウンタースイスエーブル (レジスタTSTP\_INTEに0x00を書き込む)
 

- CSEL[1:0]ビット	(温度補償動作間隔)
- UIEビット	(時刻更新割り込みディスエーブル)
- TIEビット	(ウェイクアップタイマー割り込みディスエーブル)
- AIEビット	(アラーム割り込みディスエーブル)
- EIEビット	(イベント発生割り込みディスエーブル)
- STOPビット	(カウンターストップ)
4. 現在時刻を設定する。  
詳細は、“3.2 時計/カレンダー機能”を参照してください。
5. アラームを設定する。  
詳細は、“3.6 アラーム機能”を参照してください。
6. ウェイクアップタイマーを設定する。  
詳細は、“3.7 ウェイクアップタイマー機能”を参照してください。

### 初期設定手順 (/RST出力機能搭載機種)

1. 初期電源投入後、 $t_{STA}$ 以上の待ち時間を取る。または、/RST出力が解除されていることを確認する。
2. POR解除と発振開始の検出 (INTF.VLFビットのポーリング)  
INTF.VLFビットは、電源電圧の低下によるパワーオンリセットの発行、または発振停止を検出した場合に1にセットされます。
  - 2.1. INTF.VLFビットを読み出し、値が0だった場合は手順3へ  
INTF.VLFビット = 1の場合は以下項目の2.2.~2.4.の処理を行います。
  - 2.2. レジスターINTFに0x00を書き込み、FINTF.VLFビットのクリアの試行、及び割り込みフラグのクリアをする。
 

- PORFビット	(パワーオンリセット検出フラグ)
- OSCSTPFビット	(発振停止検出フラグ)
- UFビット	(時刻更新割り込みフラグ)
- TFビット	(ウェイクアップタイマー割り込みフラグ)
- AFビット	(アラーム割り込みフラグ)
- EVFビット	(イベント検出割り込みフラグ)
- VLFビット	(RTC初期化割り込みフラグ)
- VTMPPLFビット	(温度補償更新停止検出割り込みフラグ)
  - 2.3. 任意の待ち時間を取る。
  - 2.4. 手順2.1へ戻る
3. 割り込み/カウンタディスエーブル (レジスターTSTP\_INTEに0x00を書き込む)
 

- CSEL[1:0]ビット	(温度補償動作間隔)
- UIEビット	(時刻更新割り込みディスエーブル)
- TIEビット	(ウェイクアップタイマー割り込みディスエーブル)
- AIEビット	(アラーム割り込みディスエーブル)
- EIEビット	(イベント発生割り込みディスエーブル)
- STOPビット	(カウンタストップ)
4. 現在時刻を設定する。  
詳細は、“3.2 時計/カレンダー機能”を参照してください。
5. アラームを設定する。  
詳細は、“3.6 アラーム機能”を参照してください。
6. ウェイクアップタイマーを設定する。  
詳細は、“3.7 ウェイクアップタイマー機能”を参照してください。

## 2.3 動作モード

図 2.3にRA4000CE/RA8000CEの状態遷移図を示します。

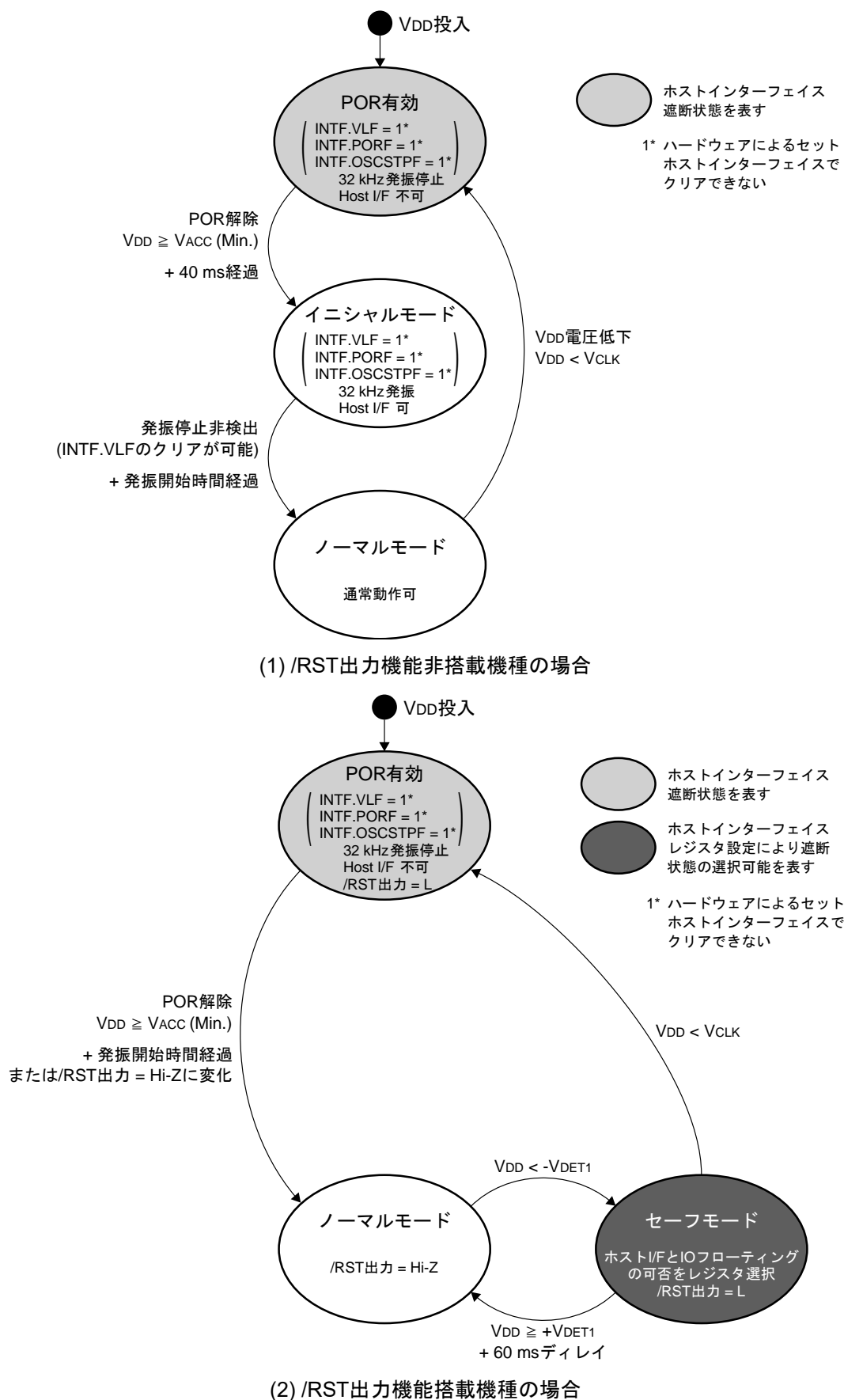


図 2.3 状態遷移図

## POR有効

RA4000CE/RA8000CEがリセット状態です。ホストからアクセスすることはできません。

PORが有効であり、INTF.VLFビット = 1となります。

また、後述のノーマルモード、セーフモードから $V_{DD}$ が $V_{CLK}$ を下回ったことによりこの状態に遷移した場合は、POR (パワーオンリセット) が実行されますので、内蔵水晶発振動作とレジスタによる計時データ等の保持は保証されません。ノーマルモードで動作中に、INTF.VLFビット = 1となった場合は、POR解除後に、イニシャルモードでのVLFクリアを経て、レジスタ初期設定からやり直す必要があります。

## イニシャルモード

POR解除後の発振開始状態であり、発振開始動作完了後にノーマルモードに移行します。ノーマルモードへの移行が完了したかどうかは、発振停止が非検出状態となり、INTF.VLFビットをゼロクリアできたことで判断可能です。

## ノーマルモード

RA4000CE/RA8000CEが通常動作中で、ホストから時計/カレンダーカウンタを含む、レジスタアクセスが可能です。

## セーフモード

RA4000CE Option B/D, RA8000CE Option B (/RST出力機能搭載機種のみ有効)

これらの機種は、電源電圧 $V_{DD}$ が $V_{DD}$ 低下検出電圧- $V_{DET1n}$ を下回ると、/RST端子からリセット信号を出力します。その後、 $V_{DD}$ 電圧が $V_{DD}$ 上昇検出電圧+ $V_{DET1n}$ 以上に復帰するとリセット出力は解除されます。リセット信号を出力している期間がセーフモードです。セーフモードでは、ホストインターフェイスは無効になり、FOE, CE, CLK, DI, DIO, SDA, SCL入力はフローティング状態にすることができます。また、DO, /INT, FOUT, SOUT出力はHi-Zになります。これらの端子制御の有効・無効は、WTICFG.RSTOPT[1:0]ビットで選択が可能です。詳細は“3.9 リセット出力機能”を参照してください。

## 3 機能

### 3.1 ホストインターフェイス

RA4000CEはホストインターフェイスとしてSPIを、RA8000CEはI<sup>2</sup>C-Busインターフェイスを搭載し、スレーブデバイスとして機能します。

#### 3.1.1 RA4000CEレジスタへのアクセス (SPI)

RA4000CEのレジスタはSPIバスを介してアクセスすることができます。RA4000CEのSPIインターフェイスの仕様は以下のとおりです。

- インターフェイス形式 : RA4000CE Option A/B/C: 3線SPI、RA4000CE Option D/E: 4線SPI
- スレーブデバイス
- データ長 : 8ビット
- データフォーマット : MSBファースト
- クロック極性 : アイドル時HIGH
- クロック位相 : データを立ち上がりエッジでサンプリング、立ち下がりエッジでシフトアウト
- 最高通信速度 : 4 Mbit/s
- アドレスオートインクリメント機能を搭載
- CE (スレーブセレクト) 入力にプルダウン抵抗を内蔵

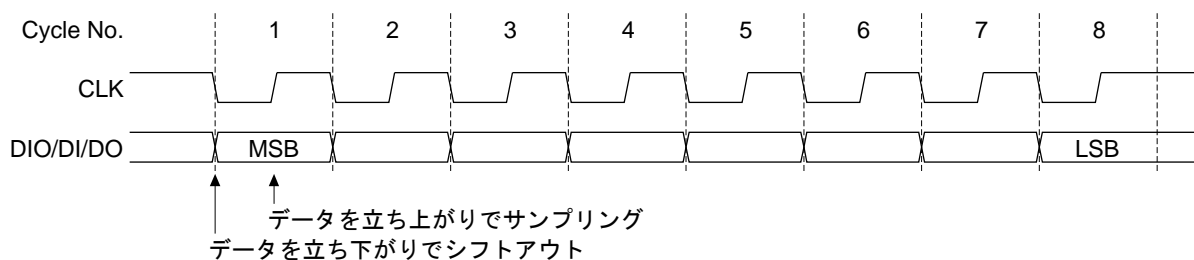


図 3.1 SPIデータフォーマット

#### SPIインターフェイス端子

RA4000CEには下表に示すSPIインターフェイス端子が用意されています。

表 3.1 RA4000CE Option A/B/C SPIインターフェイス端子

端子名	入出力	初期状態	機能
CLK	I	Hi-Z	SPIシリアルクロック入力端子
DIO	I/O	Hi-Z	SPIシリアルデータ入出力端子
CE	I	PD	SPIスレーブセレクト入力端子 (プルダウン抵抗を内蔵)

表 3.2 RA4000CE Option D/E SPIインターフェイス端子

端子名	入出力	初期状態	機能
CLK	I	Hi-Z	SPIシリアルクロック入力端子
DI	I	Hi-Z	SPIシリアルデータ入力端子
DO	O	Hi-Z	SPIシリアルデータ出力端子
CE	I	PD	SPIスレーブセレクト入力端子 (プルダウン抵抗を内蔵)

#### ホストとの接続

図 3.2にホストとの接続例を示します。



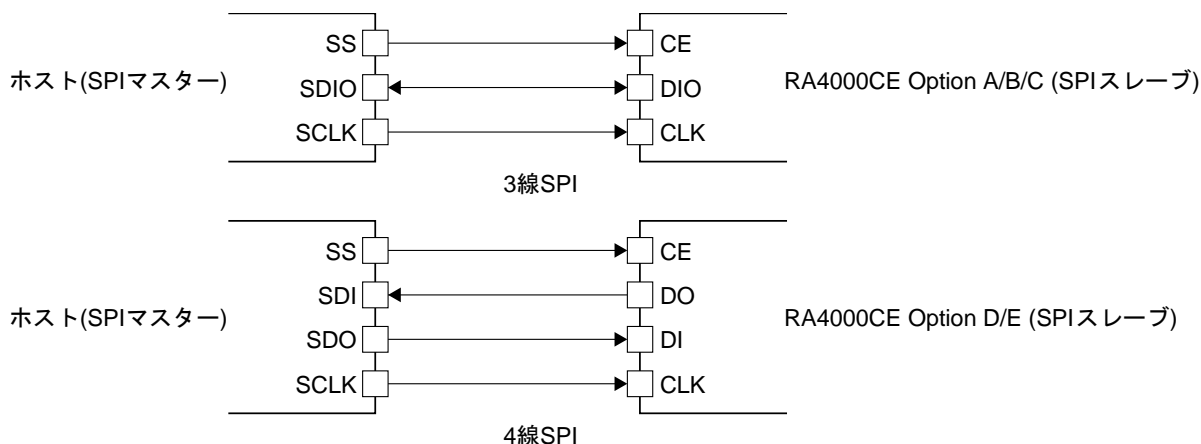


図 3.2 SPIホストとRA4000CEの接続例

### プルダウン抵抗 (CE端子)

RA4000CEはCE端子にプルダウン抵抗を内蔵しています。このプルダウン抵抗はソフトウェアによって切り離すことはできません。CE端子は常時プルダウンされます。

### レジスタライト

ホストはCE信号をHIGHにしてRA4000CEをスレーブデバイスとして選択した後、同期クロック (CLK) と共に書き込みモードに設定したアドレスデータ (最初にデータを書き込むレジスタアドレス) と、8ビット単位の書き込みデータをRA4000CEのDIO (Option A/B/C) またはDI (Option D/E) 端子に送信します。図 3.3にデータ書き込み時の最初に送信するアドレスデータのビット構成を示します。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	7-bit address (0b000 0000–0b111 1111)						

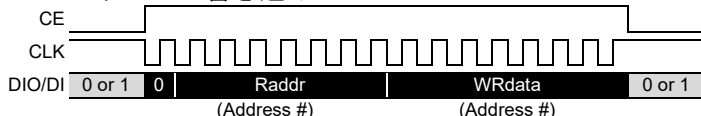
↑ 0は書き込みモードを指定

図 3.3 SPIデータライトアドレスデータ

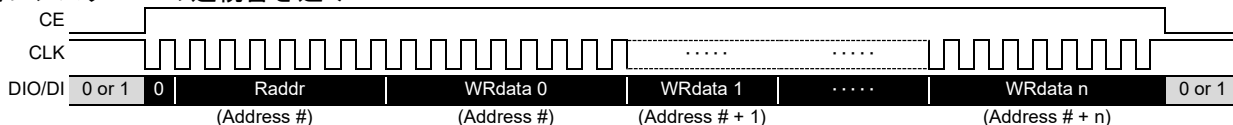
RA4000CEレジスタへのデータライト動作を図 3.4に示します。8ビットデータの書き込みごとに、指定されたレジスタへの書き込みが行われ、それと同時に、レジスタアドレスは下位4ビットのみ自動的にインクリメントされます。レジスタアドレスの下位4ビットが、0xFに達するとロールオーバーして0x0に戻ります。レジスタアドレスの上位3ビットは自動的にインクリメントしないため、アドレスの上位3ビットを変更する場合は、CE信号によるスレーブセレクトを一旦解除し (CE信号をLOWにする)、再度アドレスデータの送信を行ってください。

CE信号は最後の8ビットデータの送信が完了するまで解除しないでください。途中で解除した場合、途中まで送信された8ビット未満の書き込みデータは破棄され、レジスタには書き込まれません。

#### 1つのレジスタへの書き込み



#### 複数レジスタへの連続書き込み



レジスタへのデータ書き込みにより、レジスタアドレスがインクリメントされます。

■ ホスト → RA4000CE □ RA4000CE → ホスト  
 Raddr: 最初にアクセスするレジスタアドレス  
 WRdata n: レジスタに書き込む8ビットデータ

図 3.4 SPIレジスタライト

## レジスタリード

ホストはCE信号をHIGHにして、RA4000CEをスレーブデバイスとして選択した後、同期クロック (CLK) を出力します。同時にそのクロックに同期して、読み出しモードに設定したアドレスデータ (最初にデータを読み出すレジスタアドレス) をRA4000CEのDIO (Option A/B/C) またはDI (Option D/E) 端子に送信します。アドレスデータを受け取ったRA4000CEは、8ビット単位の読み出しデータをクロックが停止するまでDIO (Option A/B/C) またはDO (Option D/E) 端子からホストに送信します。この間のDI端子の入力は無効になります。図 3.5にデータ読み出し時の最初に送信するアドレスデータのビット構成を示します。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	7-bit address (0b000 0000–0b111 1111)						

↑ 1は読み出しモードを指定

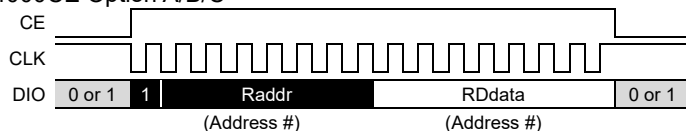
図 3.5 SPIデータリードアドレスデータ

RA4000CEレジスタのデータリード動作を図 3.6に示します。8ビットデータの読み出しごとに、レジスタアドレスは下位4ビットのみ自動的にインクリメントされ、0xFに達するとロールオーバーして0x0に戻ります。

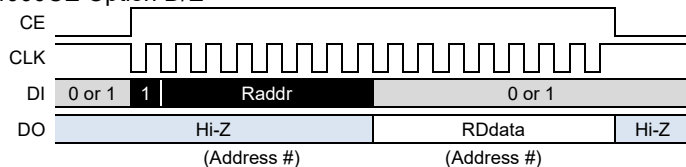
アドレスの上位3ビットを変更する場合は、CE信号によるスレーブセレクトを一旦解除し、再度アドレスデータの送信を行ってください。

### 1つのレジスタの読み出し

#### RA4000CE Option A/B/C

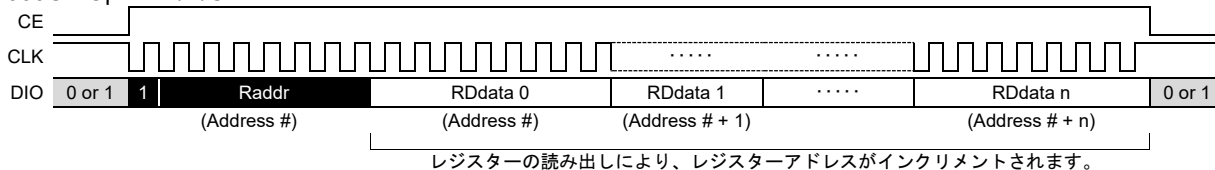


#### RA4000CE Option D/E

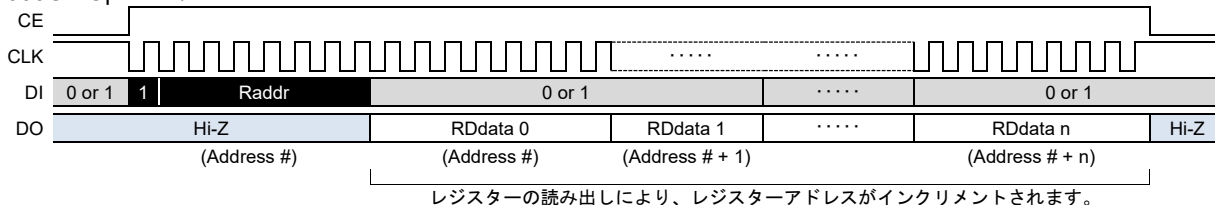


### 複数レジスタの連続読み出し

#### RA4000CE Option A/B/C



#### RA4000CE Option D/E



■ ホスト → RA4000CE □ RA4000CE → ホスト  
 Raddr: 最初にアクセスするレジスタアドレス  
 RDdata n: レジスタから読み出した8ビットデータ

図 3.6 SPIレジスタリード

### 3.1.2 RA8000CEレジスタへのアクセス (I<sup>2</sup>C-Bus)

RA8000CEのレジスタはI<sup>2</sup>C-Busを介してアクセスすることができます。RA8000CEのI<sup>2</sup>C-Busインターフェイス回路の仕様は以下のとおりです。

- スレーブデバイス
- 標準モード (最大100 kbit/s)、およびファースト・モード (最大400 kbit/s) に対応
- 7ビットスレーブアドレス 0x32

#### I<sup>2</sup>C-Busインターフェイス端子

RA8000CEには下表に示すI<sup>2</sup>C-Busインターフェイス端子が用意されています。

表 3.3 I<sup>2</sup>C-Busインターフェイス端子

端子名	入出力	初期状態	機能
SCL	I	Hi-Z	I <sup>2</sup> C-Busシリアルクロック入力端子
SDA	I/O	Hi-Z	I <sup>2</sup> C-Busシリアルデータ入出力端子 (N-chオープンドレイン)

#### ホストとの接続

図 3.7にホストとの接続例を示します。

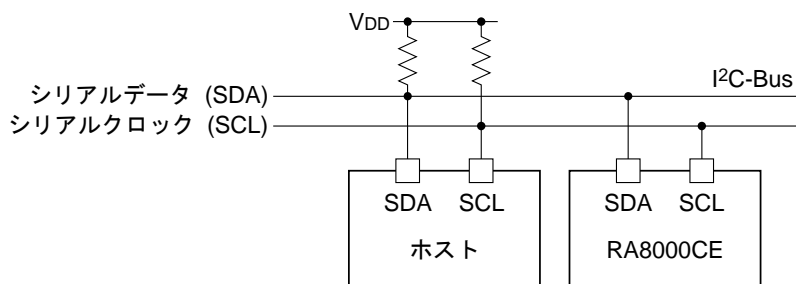


図 3.7 I<sup>2</sup>C-BusホストとRA8000CEの接続例

#### スレーブアドレス

RA8000CEには、下記のとおり7ビットのスレーブアドレスが定義されています。

← スレーブアドレス →							R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	1	1	0	0	1	0	*

\* 0: 書き込みモード, 1: 読み出しモード

図 3.8 RA8000CEのI<sup>2</sup>C-Busスレーブアドレス

#### レジスタライト

ホストがスタートコンディションと書き込みモード指定のスレーブアドレスをI<sup>2</sup>C-Busに出力することにより、通信を開始します。続いて、データを書き込む最初の8ビットレジスタアドレスを出力します。その後、8ビット単位の書き込みデータを必要数出力し、最後にストップコンディションを出力します。RA8000CEは8ビットの受信ごとにACKをホストに返し、続くデータの受信に備えます。RA8000CEレジスタへのデータライト動作を図 3.9に示します。レジスタへの8ビットデータの書き込みごとに、レジスタアドレスは下位4ビットのみ自動的にインクリメントされ、0xFに達するとロールオーバーして0x0に戻ります。

アドレスの上位4ビットを変更する場合はリピーテッドスタートコンディション、またはストップコンディションとスタートコンディションを生成し、再度アドレスデータの送信を行ってください。

誤動作防止のため、スレーブアドレス受信から1秒以上経過してもストップコンディションが入力されず、I<sup>2</sup>C-Busがビジー状態の場合、RA8000CEは自動的にI<sup>2</sup>C-Busインターフェイス回路を初期化してバスタイムアウトします。その結果、SDAはHi-Zになり、スタートコンディション待ち状態になるため、通信を再開するにはスタートコンディションから送信し直してください。

## 1つのレジスタへの書き込み



## 複数レジスタへの連続書き込み



レジスタへのデータ書き込みにより、レジスタアドレスがインクリメントされます。

■ ホストによる動作 □ RA8000CEによる動作  
 S: スタートコンディション, Sr: リピーテッドスタートコンディション,  
 P: ストップコンディション, A: ACK, N: NACK,  
 Saddr/W: スレーブアドレス + W (0), Raddr: 最初にアクセスするレジスタアドレス,  
 WRdata n: レジスタに書き込む8ビットデータ

図 3.9 I<sup>2</sup>C-Busを介したレジスタライト

## レジスタリード

ホストがスタートコンディションと書き込みモード指定のスレーブアドレスをI<sup>2</sup>C-Busに出力することにより、通信を開始します。続いて、データを読み出す最初の8ビットレジスタアドレスを出力します。その後、リピーテッドスタートコンディションと読み出しモード指定のスレーブアドレスを再度I<sup>2</sup>C-Busに出力します。このスレーブアドレスを受け取ったRA8000CEは8ビット単位の読み出しデータを、NACKを受信するまでホストに送信します。

ホストは各8ビットデータの受信後にACKをRA8000CEに返し、続くデータの送信を要求します。最後のデータを受信した場合、ホストはNACKを返し、ストップコンディションを生成して通信を終了します。

RA8000CEレジスタのデータリード動作を図 3.10に示します。8ビットデータの読み出しごとに、レジスタアドレスは下位4ビットのみ自動的にインクリメントされ、0xFに達するとロールオーバーして0x0に戻ります。

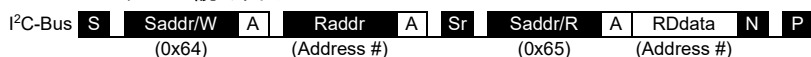
アドレスの上位4ビットを変更する場合は、リピーテッドスタートコンディション、またはストップコンディションとスタートコンディションを生成し、再度アドレスデータの送信を行ってください。

通信の最後に読み出されたアドレスはRA8000CEが保持しています。次の読み出しを、読み出しアドレスを指定せずに、読み出しモード指定のスレーブアドレスの送信から開始した場合、RA8000CEは前回に続くアドレスからデータを出力します。

誤動作防止のため、スレーブアドレス受信から1秒以上経過してもストップコンディションが入力されず、I<sup>2</sup>C-Busがビジー状態の場合、RA8000CEは自動的にI<sup>2</sup>C-Busインターフェイス回路を初期化してバスタイムアウトします。その結果、SDAはHi-Zになり、スタートコンディション待ち状態になります。この状態でデータリードを続けると、読み出しデータはすべて0xFFになります。

通信を再開するにはスタートコンディションから送信し直してください。

## 1つのレジスタの読み出し



## 複数レジスタへの連続読み出し



レジスタの読み出しにより、レジスタアドレスがインクリメントされます。

■ ホストによる動作 □ RA8000CEによる動作  
 S: スタートコンディション, Sr: リピーテッドスタートコンディション,  
 P: ストップコンディション, A: ACK, N: NACK, Saddr/W: スレーブアドレス + W (0),  
 Saddr/R: スレーブアドレス + R (1), Raddr: 最初にアクセスするレジスタアドレス,  
 RDdata n: レジスタから読み出した8ビットデータ

図 3.10 I<sup>2</sup>C-Busを介したレジスタリード

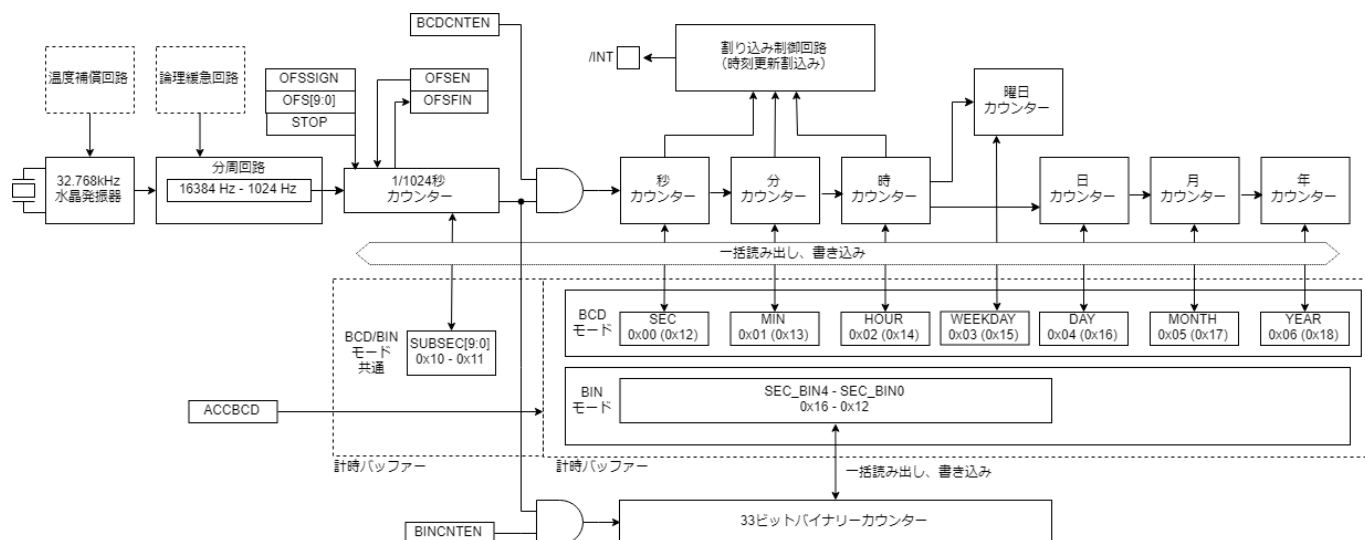
## 3.2 時計/カレンダー機能

### 3.2.1 概要

時計/カレンダー機能の特長を以下に示します。

- 秒、分、時、日、月、年をカウントするBCDカウンターと曜日カウンターを搭載しています。[BCDモード]
- UNIXタイム等のカウントが可能なバイナリーカウンターを搭載しています。[BINモード]
- うるう年の自動補正機能を搭載しています。(自動補正が有効な年は、01年～99年までの範囲です。) また、うるう秒補正操作が可能です。[BCDモード]
- 1/1024秒カウンター値の読み出し/書き込みが可能です。
- 計時バッファを有し、計時カウンター動作に関わらず、任意のタイミングでアクセスが可能です。

図 3.11にカウンターの構成を示します。



点線で囲まれた部分は計時バッファを指します。計時バッファは一括読み出し、書き込み可能です。

カッコ内の値はミラーレジスターのアドレスです。

図 3.11 時計/カレンダーカウンターの構成

- 水晶発振回路 デジタル温度補償型水晶発振回路 (DTCXO) で32.768 kHzクロックを発生します。
- 分周回路 32.768 kHzクロックを分周し、1024 Hz信号を生成します。
- 1/1024秒カウンター 1024 Hz信号をクロックとして0 ~ 1023/1024秒までをカウントするバイナリーカウンターです。このカウンターの計時開始時の初期値は、レジスターSECに秒カウンターの設定を書き込むことで0にクリアしたり、このカウンターに値を直接書き込むことで設定できます。また計時期間中は、調整したい時刻オフセットをレジスターOFS\_SUBSEC\_H, Lに指定することで、1/1024秒単位の時刻合わせが可能です。TSTP\_INTE.STOPビットに1を設定すると、このカウンターのカウント動作が停止します。
- 秒カウンター 1 Hz信号をクロックとして0 ~ 59秒までをカウントするBCDカウンターです。秒更新時に時刻更新割り込みを発生可能です。レジスターSECまたはSEC\_MIR (アドレス0x00または0x12) で設定および読み出しが可能です。
- 分カウンター 秒カウンターのオーバーフロー信号をクロックとして0 ~ 59分までをカウントするBCDカウンターです。分更新時に時刻更新割り込みを発生可能です。レジスターMINまたはMIN\_MIR (アドレス0x01または0x13) で設定および読み出しが可能です。

時カウンター 分カウンターのオーバーフロー信号をクロックとして0 ~ 23時までをカウントするBCDカウンターです (24時間制固定)。時更新時に時刻更新割り込みを発生可能です。レジスターHOURまたはHOUR\_MIR (アドレス0x02または0x14) で設定および読み出しが可能です。

日カウンター 時カウンターのオーバーフロー信号をクロックとして、月やうるう年に合わせ1 ~ 28/29/30/31までをカウントするBCDカウンターです。カウント値は1からとなり、0はスキップされます。レジスターDAYまたはDAY\_MIR (アドレス0x04または0x16) で設定および読み出しが可能です。

曜日カウンター 7ビットのカウンターで、日カウンターに連動してビットがシフトされます。ビット0 ~ ビット6が各曜日に個々に対応します。各ビットの曜日への割り付けは任意です。ただし、曜日の更新順序とビットシフトの方向を合わせて割り付けてください。レジスターWEEKDAYまたはWEEKDAY\_MIR (アドレス0x03または0x15) で設定および読み出しが可能です。

表 3.4 曜日の割り付け例

曜日	(Bit 7)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	16進数
日曜	-	0	0	0	0	0	0	1	0x01
月曜	-	0	0	0	0	0	1	0	0x02
火曜	-	0	0	0	0	1	0	0	0x04
水曜	-	0	0	0	1	0	0	0	0x08
木曜	-	0	0	1	0	0	0	0	0x10
金曜	-	0	1	0	0	0	0	0	0x20
土曜	-	1	0	0	0	0	0	0	0x40

月カウンター 日カウンターのオーバーフロー信号をクロックとして1月 ~ 12月までをカウントするBCDカウンターです。カウント値は1 ~ 12で、0はスキップされます。レジスターMONTHまたはMONTH\_MIR (アドレス0x05または0x17) で設定および読み出しが可能です。

年カウンター 月カウンターのオーバーフロー信号をクロックとして0年 ~ 99年までをカウントするBCDカウンターです。レジスターYEARまたはYEAR\_MIR (アドレス0x06または0x18) で設定および読み出しが可能です。

#### 33ビットバイナリーカウンター

1 Hz信号をクロックとして、UNIXタイムなど、秒数のカウントを行うバイナリーカウンターです。UNIXタイムのカウンターとして使用する場合、UNIXエポック (1970/01/01 0:00:00 UTC) を0として2242/03/16 12:56:31までカウント可能です。また、NTPタイムスタンプのカウンターとして使用する場合は、NTPエポック (1900/01/01 0:00:00 UTC) を0として2172/03/14 12:56:31までカウント可能です。

※ 温度補償回路、論理緩急回路、時刻更新割り込みについては、それぞれ、“3.3 温度補償機能”、“3.4 論理緩急機能”、“3.5 時刻更新割り込み機能”を参照してください。

## 3.2.2 動作

### BCDモードとBINモード

本RTCは、秒から年までの現在の日付と時刻を示すBCDカウンターと、1Hzクロックをカウントして、ある時点からの積算秒数を示すバイナリーカウンター (BINカウンター) を搭載しています。これらのカウンターは、どちらか一方または、両方が同時に動作可能です。ただし、計時バッファは両カウンターに共通のため、どちらのカウンターをリード/ライトするか指定する必要があります。CNTSEL.ACCBCDビット = 1 (デフォルト) の場合、BCDカウンターデータがリード/ライトされます。以降、この状態をBCDモードとして説明します。CNTSEL.ACCBCDビット = 0の場合はBINカウンターがリード/ライトされます。この状態をBINモードとします。

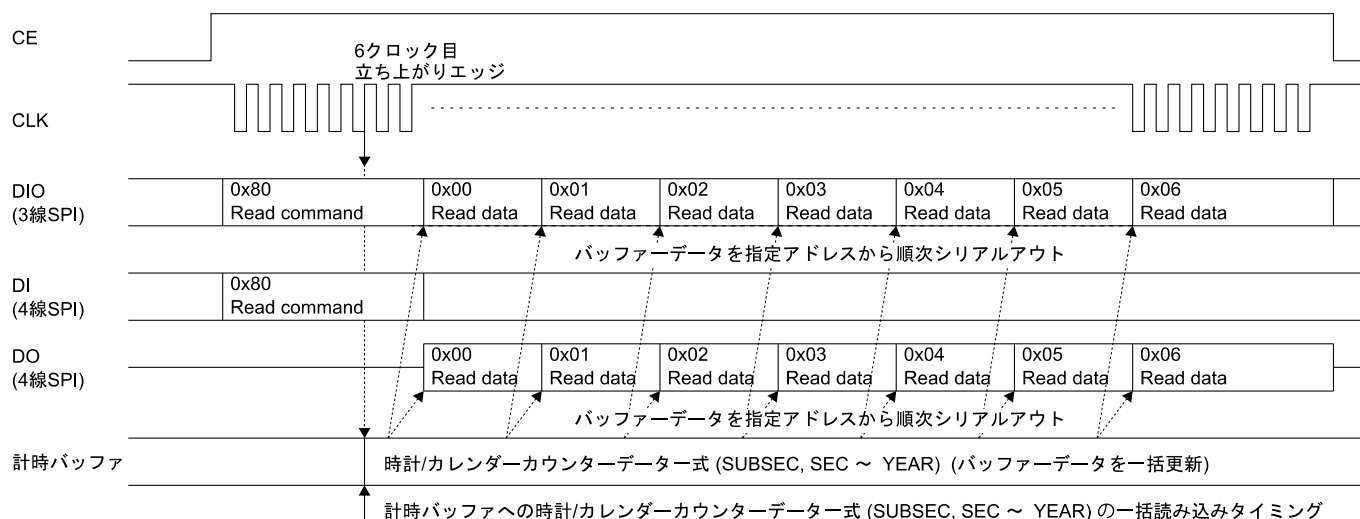
### 計時バッファを介した時計/カレンダーカウンターへのアクセス

時計/カレンダーカウンター (1/1024秒、秒、分、時、曜日、日、月、年カウンター) は、1秒単位の情報が読み書きできるレジスタSEC ~ YEAR (アドレス0x00 ~ 0x06) か、1/1024秒単位の情報が読み書きできるレジスタSUBSEC\_L ~ YEAR\_MIR (アドレス0x10 ~ 0x18) に割り当てられた計時バッファを介して、一括した書き込み、または読み出しをします。この計時バッファは、複数のアドレスにまたがる時計/カレンダーカウンターの情報を各カウンターに対して一括して一度にアクセスすることにより、正確な時刻情報の書き込み、または読み出しを行います。また、この計時バッファの動作と、内蔵32.768 kHzクロックに基づく時刻更新との競合は、自動的に調停されるため、ホストは任意のタイミングで計時バッファにアクセスできます。

計時バッファから時計/カレンダーカウンターへの書き込み、または読み出しのタイミングは、ホストインターフェイスの種類によって、以下のように決まります。

SPIインターフェイス搭載機種の場合、CE信号の立ち下げ時に、計時バッファに書き込まれた情報が、まとめて時計/カレンダーカウンターへ書き込まれます。また、CE信号の立ち上げ後、時計/カレンダーの読み出しコマンドの6クロック目の立ち上がりで、時計/カレンダーカウンターの値が、計時バッファへ同時に一括して読み出されます。

### SPI 時計/カレンダーカウンターリード時 (SEC ~ YEARレジスタを連続リードする場合)



SPI 時計/カレンダーカウンターライト時 (SEC ~ YEARレジスターを連続ライトする場合)

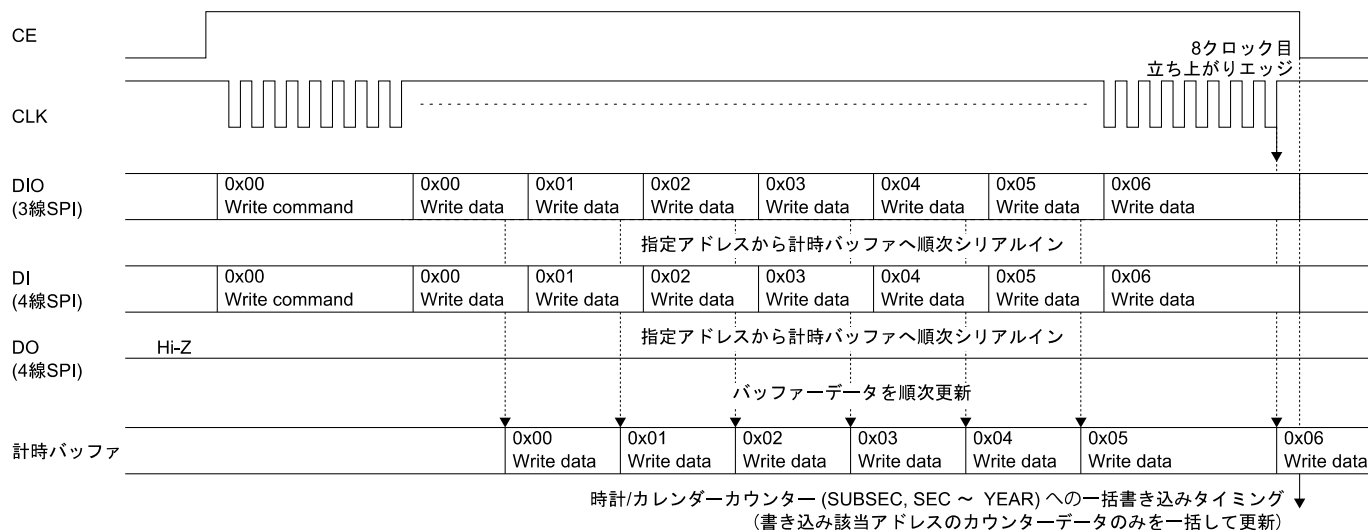
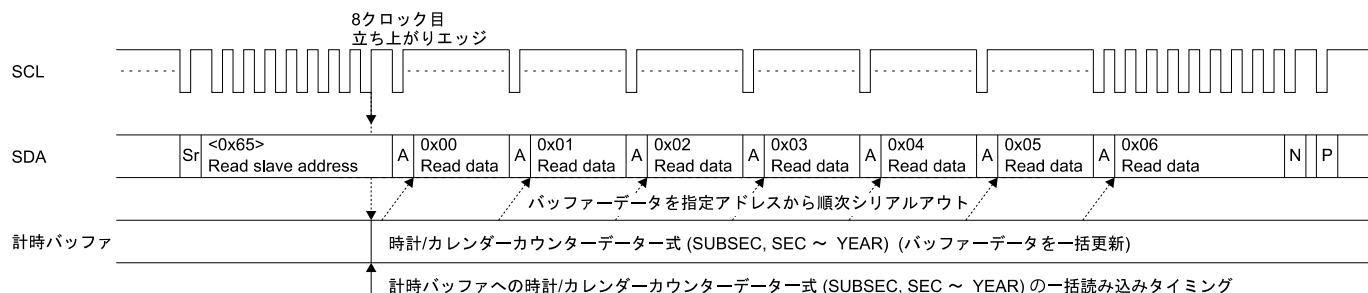


図 3.12 SPIインターフェイス 計時/カレンダーカウンターアクセスタイミング

I<sup>2</sup>C-Busインターフェイス搭載機種の場合、ストップコンディションまたはリピーテッドスタートコンディションを受信したときに、計時バッファに書き込まれた情報が、まとめて時計/カレンダーカウンターへ書き込まれます。また、7ビットのスレーブアドレスと、8ビット目のデータ転送の1(リード)を受信した後の、アクノリッジ送出中にSCLの立ち上がりを受信したとき、時計/カレンダーカウンターの値が、計時バッファへ同時に一括して読み出されます。

I<sup>2</sup>C-Bus 時計/カレンダーカウンターリード時 (SEC ~ YEARレジスターを連続リードする場合)



I<sup>2</sup>C-Bus 時計/カレンダーカウンターライト時 (SEC ~ YEARレジスターを連続ライトする場合)

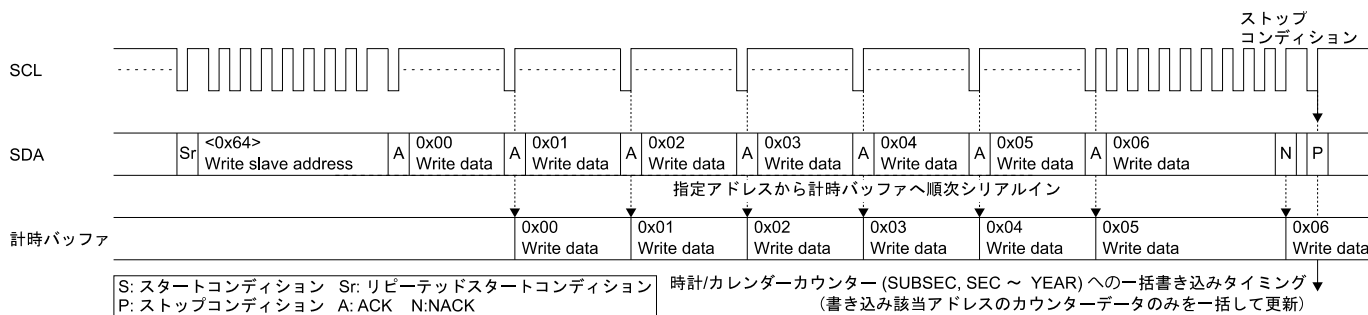


図 3.13 I<sup>2</sup>C-Busインターフェイス 計時/カレンダーカウンターアクセスタイミング

したがって、どちらのインターフェイス搭載機種でも、時計/カレンダーデータを書き込み、あるいは読み出すときは、アドレスのオートインクリメント機能を用いた複数バイトの連続アクセスを行ってください。なお、I<sup>2</sup>C-Busインターフェイスにはタイムアウト機能があるため、1回の複数バイト連続アクセスは1秒以内に完了させる必要があります。



## 時計/カレンダーの初期設定と計時の開始

時計/カレンダーの初期設定には、1秒単位で指定する方法と、1/1024秒単位で設定する方法があります。それぞれ、レジスターSEC (アドレス0x00) からレジスター YEAR (アドレス06) まで、またはレジスター SUBSEC\_L (アドレス 0x10)からYEAR\_MIR (アドレス 0x18) に時計/カレンダーの初期設定を書き込みます。

時計/カレンダーの計時の開始タイミングは、通信の終了をホストから送出する方法や、TSTP\_INTE.STOPビットの解除をホストから書き込む方法で指定します。どちらの方法でも時刻精度に差はありません。時刻を設定して時計/カレンダーカウンターをスタートさせる手順を以下に示します。以下の例は、BCDモード、またはBINモードのどちらか一方を選択して使用する場合の手順です。

例: BCDモードで使用する場合で、1秒単位で時計/カレンダーを初期設定し、計時の開始タイミングは通信の終了で指定

1. CNTSELレジスターの以下のビットを設定する。
  - CNTSEL.ACCBCDビットを1に設定する。 (BCDモードを選択)
  - CNTSEL.BINCNTENビットを0に設定する。 (BINカウンターディスエーブル)
  - CNTSEL.BCDCNTENビットを1に設定する。 (BCDカウンターイネーブル)
2. 以下のレジスターに時刻と日付を設定する。
  - レジスターSEC (秒)
  - レジスターMIN (分)
  - レジスターHOUR (時)
  - レジスターWEEKDAY (曜日)
  - レジスターDAY (日)
  - レジスターMONTH (月)
  - レジスターYEAR (年)
3. 2での連続書き込みの終了 (SPIインターフェイスではCE信号の立ち下がり、I<sup>2</sup>C-Busインターフェイスではストップコンディションカリピーテッドスタートコンディション) を受信したタイミングで計時がスタートする。
- 4a. <時刻更新割り込みを使用する場合>
  - TCTL.USEL0ビットとUPDISEL.USEL1ビットを設定する。 (時刻更新割り込み条件を設定)
  - INTF.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)
  - TSTP\_INTE.UIEビットに0を書き込む。 (/INT出力をクリア)
  - TSTP\_INTE.UIEビットに1を書き込む。 (時刻更新割り込み許可)
- 4b. <時刻更新割り込みを使用しない場合>
  - TCTL.USEL0ビットとUPDISEL.USEL1ビットを0に設定する。 (時刻更新割り込み条件ディスエーブル)
  - INTF.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)
  - TSTP\_INTE.UIEビットに0を書き込む。 (/INT出力をクリア/出力禁止)

例: BCDモードで使用する場合で、1秒単位で時計/カレンダーを初期設定し、計時の開始タイミングはTSTP\_INTE.STOPビットの解除にて指定

1. TSTP\_INTE.STOPビットに1を書き込む。 (時計/カレンダーカウンターストップ)
2. CNTSELレジスターの以下のビットを設定する。
  - CNTSEL.ACCBCDビットを1に設定する。 (BCDモードを選択)
  - CNTSEL.BINCNTENビットを0に設定する。 (BINカウンターディスエーブル)
  - CNTSEL.BCDCNTENビットを1に設定する。 (BCDカウンターイネーブル)
3. 以下のレジスターに時刻と日付を設定する。
  - レジスターSEC (秒)
  - レジスターMIN (分)
  - レジスターHOUR (時)
  - レジスターWEEKDAY (曜日)
  - レジスターDAY (日)
  - レジスターMONTH (月)
  - レジスターYEAR (年)

- 4a. <時刻更新割り込みを使用する場合>
- TCTL.USEL0ビットとUPDISSEL.USEL1ビットを設定する。(時刻更新割り込み条件を設定)
  - INTF.UFビットに0を書き込む。(時刻更新割り込みフラグをクリア)
  - TSTP\_INTE.UIEビットに0を書き込む。(INT出力をクリア)
  - TSTP\_INTE.UIEビットに1を書き込む。(時刻更新割り込み許可)
- 4b. <時刻更新割り込みを使用しない場合>
- TCTL.USEL0ビットとUPDISSEL.USEL1ビットを0に設定する。(時刻更新割り込み条件ディスエーブル)
  - INTF.UFビットに0を書き込む。(時刻更新割り込みフラグをクリア)
  - TSTP\_INTE.UIEビットに0を書き込む。(INT出力をクリア/出力禁止)
5. 設定時刻にTSTP\_INTE.STOPビットに0を書き込む。(時計/カレンダーカウンタースタート)
6. SPIインターフェイスではレジスターTSTP\_INTEのビット0 (STOPビット) が書き込まれるクロックの立ち上がり、I<sup>2</sup>C-BusインターフェイスではレジスターTSTP\_INTEのビット0 (STOPビット) を書き込んだ際のSCL立ち上がりのタイミングで計時がスタートする。

注: BCDモードでアドレス0x00のレジスターSECを書き換えると、秒以下のカウンター (1/1024秒カウンター) が0にクリアされます。たとえば、時刻を読み出して再び書き込むリードモデファイライトを行うと、このクリアに起因する誤差が累積して、時刻に大幅な遅れが生じる場合があります。

例: 9.9秒の時点で秒レジスターへのリードモデファイライトを行うとカウンターは9.0秒に戻されてしまいます。

アドレス0x12のレジスターSEC\_MIRの書き換え、またはBINモードでの書き換えでは、秒以下のカウンターは0にクリアされません。

例: BINモードで使用する場合で、1/1024秒単位で時計/カレンダーを初期設定し、計時の開始タイミングは通信の終了で指定

1. CNTSELレジスターの以下のビットを設定する。
  - CNTSEL.ACCBCDビットを0に設定する。(BINモードを選択)
  - CNTSEL.BINCNTENビットを1に設定する。(BINカウンターイネーブル)
  - CNTSEL.BCDCNTENビットを0に設定する。(BCDカウンターディスエーブル)
2. レジスターSUBSEC\_L, SUBSEC\_H, SEC\_BIN0 ~ SEC\_BIN4にエポックからの経過秒数を設定する。
  - \* アドレスのオートインクリメントを利用して連続的に書き込みます。
3. 2での連続書き込みの終了 (SPIインターフェイスではCE信号の立ち下がり、I<sup>2</sup>C-Busインターフェイスではストップコンディションからリピーテッドスタートコンディション) を受信したタイミングで計時がスタートする。
4. 時刻更新割り込みとアラーム割り込みを禁止する。
  - INTF.UFビットに0を書き込む。(時刻更新割り込みフラグをクリア)
  - ALM\_\*\*\*.ALM\_H/Lビットすべてを1に設定する。(無効アラーム日時を設定)
  - INTF.AFビットに0を書き込む。(アラーム割り込みフラグをクリア)
  - TCTL.USEL0ビットとUPDISSEL.USEL1ビットを0に設定する。(時刻更新割り込み条件ディスエーブル)
  - TSTP\_INTE.UIEビットに0を書き込む。(時刻更新割り込みディスエーブル)
  - TSTP\_INTE.AIEビットに0を書き込む。(アラーム割り込みディスエーブル)
  - \* BCDカウンター停止時に時刻更新割り込みとアラーム割り込みを使用することはできません。

例: BINモードで使用する場合で、1/1024秒単位で時計/カレンダーを初期設定し、計時の開始タイミングはTSTP\_INTE.STOPビットの解除にて指定

1. TSTP\_INTE.STOPビットに1を書き込む。(時計/カレンダーカウンターストップ)
2. CNTSELレジスターの以下のビットを設定する。
  - CNTSEL.ACCBCDビットを0に設定する。(BINモードを選択)
  - CNTSEL.BINCNTENビットを1に設定する。(BINカウンターイネーブル)
  - CNTSEL.BCDCNTENビットを0に設定する。(BCDカウンターディスエーブル)

3. レジスターSUBSEC\_L, SUBSEC\_H, SEC\_BIN0 ~ SEC\_BIN4にエポックからの経過秒数を設定する。  
\* アドレスのオートインクリメントを利用して連続的に書き込みます。
4. 時刻更新割り込みとアラーム割り込みを禁止する。
  - INTF.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)
  - ALM\_\*\*\*.\*ALM\_H/Lビットすべてを1に設定する。 (無効アラーム日時を設定)
  - INTF.AFビットに0を書き込む。 (アラーム割り込みフラグをクリア)
  - TCTL.USEL0ビットとUPDISEL.USEL1ビットを0に設定する。(時刻更新割り込み条件ディスエーブル)
  - TSTP\_INTE.UIEビットに0を書き込む。 (時刻更新割り込みディスエーブル)
  - TSTP\_INTE.AIEビットに0を書き込む。 (アラーム割り込みディスエーブル)
 \* BCDカウンター停止時に時刻更新割り込みとアラーム割り込みを使用することはできません。
5. TSTP\_INTE.STOPビットに0を書き込む。 (時計/カレンダーカウンタースタート)
6. SPIインターフェイスではレジスターTSTP\_INTEのビット0 (STOPビット) が書き込まれるクロックの立ち上がり、I<sup>2</sup>C-BusインターフェイスではレジスターTSTP\_INTEのビット0 (STOPビット) を書き込んだ際のSCL立ち上がりのタイミングで計時がスタートする。

### 時計/カレンダーデータの読み出し

時計/カレンダーの情報を、1秒単位で読み出す場合はレジスターSEC (アドレス0x00) からレジスターYEAR (アドレス0x06) まで、1/1024秒単位で読み出す場合はレジスターSUBSEC\_L (アドレス0x10)からYEAR\_MIR (アドレス0x18) を連続で読み出します。どちらの場合も、読み出しアドレスの範囲は計時データの必要範囲に応じて、一部分に限定して読み出すことも可能です。

また、BCDモードカウンター、BINモードカウンターの両方をイネーブル設定としている場合は、どちらか一方のカウンターを予め選択して計時データを読み出すことが可能です。

#### BCDモード時 (1秒単位での読み出し)

1. CNTSELレジスターの以下のビットを設定する。
  - CNTSEL.ACBCDビットを1に設定する。 (BCDモードを選択)
  - CNTSEL.BINCNTENビット、CNTSEL.BCDCNTENビットは、前状態を持続する。(計時を継続します。)
2. 必要範囲のレジスターを連続リード (下記の例は、全データ一式をリード)
  - レジスターSECまたはSEC\_MIR (アドレス0x00または0x12) (秒)
  - レジスターMINまたはMIN\_MIR (アドレス0x01または0x13) (分)
  - レジスターHOURまたはHOUR\_MIR (アドレス0x02または0x14) (時)
  - レジスターWEEKDAYまたはWEEKDAY\_MIR (アドレス0x03または0x15) (曜日)
  - レジスターDAYまたはDAY\_MIR (アドレス0x04または0x16) (日)
  - レジスターMONTHまたはMONTH\_MIR (アドレス0x05または0x17) (月)
  - レジスターYEARまたはYEAR\_MIR (アドレス0x06または0x18) (年)

#### BCDモード時 (1/1024秒単位での読み出し)

1. CNTSELレジスターの以下のビットを設定する。
  - CNTSEL.ACBCDビットを1に設定する。 (BCDモードを選択)
  - CNTSEL.BINCNTENビット、CNTSEL.BCDCNTENビットは、前状態を持続する。(計時を継続します。)
2. 必要範囲のレジスターを連続リード (下記の例は、全データ一式をリード)
  - レジスターSUB\_SEC\_L, SUB\_SEC\_H (アドレス0x10 ~ 0x11) (1/1024秒カウンターデータ)
  - レジスターSEC\_MIR (アドレス0x12) (秒)
  - レジスターMIN\_MIR (アドレス0x13) (分)
  - レジスターHOUR\_MIR (アドレス0x14) (時)
  - レジスターWEEKDAY\_MIR (アドレス0x15) (曜日)
  - レジスターDAY\_MIR (アドレス0x16) (日)
  - レジスターMONTH\_MIR (アドレス0x17) (月)
  - レジスターYEAR\_MIR (アドレス0x18) (年)

**BINモード時 (1秒単位での読み出し)**

- CNTSELレジスタの以下のビットを設定する。
  - CNTSEL.ACCBCDビットを0に設定する。 (BINモードを選択)
  - CNTSEL.BINCNTENビット、CNTSEL.BCDCNTENビットは、前状態を持続する。(計時を継続します。)
- 必要範囲のレジスタを連続リード (下記の例は、全データ一式をリード)
  - レジスタSEC\_BIN0 ~ SEC\_BIN4 (アドレス0x12 ~ 0x16) (エポックからの秒数  
バイナリ値[32:0])

**BINモード時 (1/1024秒単位での読み出し)**

- CNTSELレジスタの以下のビットを設定する。
  - CNTSEL.ACCBCDビットを0に設定する。 (BINモードを選択)
  - CNTSEL.BINCNTENビット、CNTSEL.BCDCNTENビットは、前状態を持続する。(計時を継続します。)
- 必要範囲のレジスタを連続リード (下記の例は、全データ一式をリード)
  - レジスタSUB\_SEC\_L, SUB\_SEC\_H (アドレス0x10 ~ 0x11)(エポックからの1/1024秒  
カウント数バイナリ値[9:0])
  - レジスタSEC\_BIN0 ~ SEC\_BIN4 (アドレス0x12 ~ 0x16)(エポックからの秒数  
バイナリ値[32:0])

SPIインターフェイス搭載機種の場合は、CE信号の立ち上げ後、時計/カレンダーの読み出しコマンドの6クロック目の立ち上がりで、その時点での時計/カレンダーカウンタ値が、計時バッファへ同時に一括して読み出されます。そして計時バッファに転送された時計/カレンダー情報を、レジスタSEC (アドレス0x00) からレジスタYEAR (アドレス0x06) まで、またはレジスタSUBSEC\_L (アドレス0x10) からYEAR\_MIR (アドレス0x18)までの範囲で、ホストが連続読み出しします。

I<sup>2</sup>C-Busインターフェイス搭載機種の場合は、まず、読み出し領域の先頭アドレスであるレジスタSEC (アドレス0x00) またはレジスタSUBSEC\_L (アドレス0x10) をホストが書き込みます。次に、7ビットのスレーブアドレスと、8ビット目のデータ転送の1 (リード) を受信した後の、アクノリッジ送出中のSCLの立ち上がりを受信したとき、時計/カレンダーカウンタの値が、計時バッファへ同時に一括して読み出されます。そして、計時バッファの情報をホストが連続読み出しします。

時計/カレンダーデータの読み出し時、TSTP\_INTE.STOPビットに1を書き込んで時計/カレンダーの各カウンタを停止しないようにしてください。各カウンタを停止させた場合は、計時誤差が増大してしまいます。

**1/1024秒のデータ読み出し/書き込み**

RA4000CE/RA8000CEでは、SUBSEC\_L.SUBSEC[1:0]ビットとSUBSEC\_H.SUBSEC[9:2]ビットで1/1024秒のカウンタ値の読み出しと書き込みが可能です。ビットとカウンタ値の関係は次のとおりです。

表 3.5 SUBSEC[9:0]ビット

ビット	SUBSEC9	SUBSEC8	SUBSEC7	SUBSEC6	SUBSEC5	SUBSEC4	SUBSEC3	SUBSEC2	SUBSEC1	SUBSEC0
カウンタ値 (1024Hz 周期)	512	256	128	64	32	16	8	4	2	1

このカウンタはアドレス0x10 (レジスタSUBSEC\_L) と0x11 (レジスタSUBSEC\_H) に割り付けられていますので、データを取得する場合はこの2つのアドレスを連続して読み出してください。カウンタ値を変更する場合も、2つのアドレスに連続して書き込んでください。これらのアドレスに続けてアドレス0x12 ~ 0x18をアクセスすることにより、時計/カレンダーカウンタデータの読み出し/書き込みも連続して行えます。

## 1/1024秒のオフセット時刻合わせ

1/1024秒バイナリーカウンターは、レジスターSUBSEC\_LとレジスターSUBSEC\_Hに、1023カウント～1カウントのデータを直接書き込むことにより設定可能です。ただし、これらのレジスターから読み出した秒以下のデータとホストデバイス内の計時データにはずれが生じる可能性があります。このずれを補正するため、RA4000CE/RA8000CEにはオフセット時刻合わせ機能（以降、オフセット処理）が設けられています。その使用方法を以下に示します。

- BCDカウンターまたはBINカウンターを1秒以下の誤差に時刻合わせしておく。
- ホストが管理するマスターの計時データと本RTCから読み出した秒以下のデータの差分を2の補数（データ長11ビット）に変換し、秒以下データのオフセット値（データに加減算されます）を求める。
- OFS\_SUBSEC\_L.OFSFINビット = 1（オフセット処理実行可能）を確認する。
- 2で取得した11ビット長のオフセット値のビット10をOFS\_SUBSEC\_H.OFS\_SUBSEC[10]ビットに、ビット9～ビット0をOFS\_SUBSEC\_H.OFS\_SUBSEC[9:5]ビットとOFS\_SUBSEC\_L.OFS\_SUBSEC[4:0]ビットに書き込む。
- OFS\_SUBSEC\_L.OFSENビットに1を書き込む。（オフセット処理を開始）

この書き込み直後の秒カウンター更新時に、オフセット値が1/1024秒カウンターに反映されます。この処理は1度のみ行われ、これ以降の秒カウンター更新時は行われません。

- OFS\_SUBSEC\_L.OFSFINビットが0 → 1（オフセット処理終了）になったことを確認する。

OFS\_SUBSEC\_L.OFSFINビットは、OFS\_SUBSEC\_L.OFSENビットに1が書き込まれるとクリアされ、オフセット処理が終了するとセットされます。

表 3.6 にオフセット値と時刻の補正量の関係を示します。

表 3.6 オフセット値と補正量

オフセット値 *	1/1024秒カウンター補正值	オフセット処理結果	
0x3FF	0b011 1111 1111	現在値 + 1023	1023/1024秒 進む
0x3FE	0b011 1111 1110	現在値 + 1022	1022/1024秒 進む
⋮	⋮	⋮	⋮
0x003	0b000 0000 0011	現在値 + 3	3/1024秒 進む
0x002	0b000 0000 0010	現在値 + 2	2/1024秒 進む
0x001	0b000 0000 0001	現在値 + 1	1/1024秒 進む
0x000	0b000 0000 0000	現在値 + 0	補正なし
0x7FF	0b111 1111 1111	現在値 - 1	1/1024秒 遅れる
0x7FE	0b111 1111 1110	現在値 - 2	2/1024秒 遅れる
0x7FD	0b111 1111 1101	現在値 - 3	3/1024秒 遅れる
⋮	⋮	⋮	⋮
0x402	0b100 0000 0010	現在値 - 1022	1022/1024秒 遅れる
0x401	0b100 0000 0001	現在値 - 1023	1023/1024秒 遅れる
0x400	0b100 0000 0000	設定不可（禁止）	—

\* オフセット値（11ビット）= {OFS\_SUBSEC[10], OFS\_SUBSEC[9:5], OFS\_SUBSEC[4:0]}

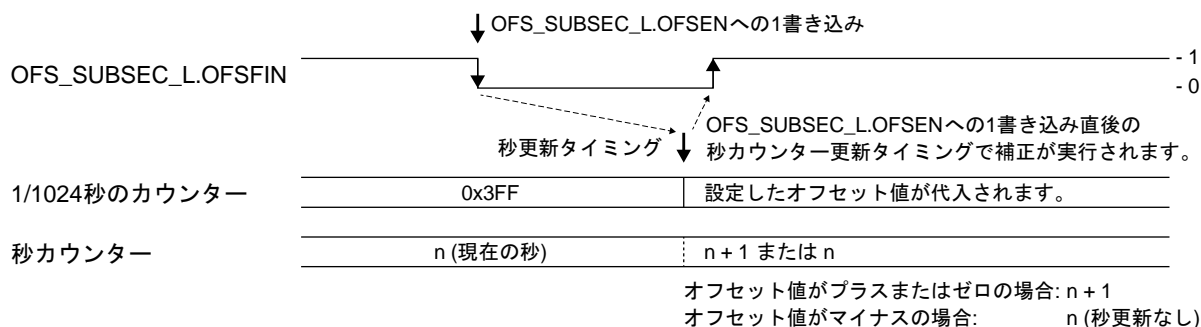


図 3.14 オフセット処理タイミング

## 時計/カレンダーストップ手順

時計/カレンダーカウンターを停止するには、TSTP\_INTE.STOPビットに1を書き込みます。  
 なお、TSTP\_INTE.STOPビットでは、1/1024秒カウンター、BCDカウンター（秒、分、時、曜日、日、月、年）、およびバイナリーカウンターが停止します。

## うるう年の判定

BCDモード時は4の倍数の年をうるう年として判定し、自動的に2月の日数を設定します。2001年～2099年まではソフトウェアで対応する必要はありません。  
 西暦2100年、2200年、2300年は、ソフトウェアで2月を平年の日数に変更する必要があります。

## うるう秒補正手順

BCDモードでは、レジスタSEC\_MIR（アドレス0x12）に0x60を書き込むことで、うるう秒が挿入されます。この操作は、うるう秒挿入時刻の00秒～01秒の間に行う必要があります。0x60の書き込み時点で秒カウンターは60秒になり、その後の秒更新タイミングで秒カウンターは60秒から00秒に更新されます。0x60の書き込みから秒カウンターが00秒に更新される間、レジスタSECまたはSEC\_MIR（アドレス0x00または0x12）からは60秒が読み出されます。  
 以降は通常どおり00秒から59秒までのカウント動作が行われます。

注：レジスタSEC（アドレス0x00）に0x60を書き込むと1/1024秒カウンターがリセットされてしまいますので、注意してください。うるう秒補正には、必ずアドレス0x12のレジスタSEC\_MIRを使用してください。00秒～01秒の間でない時刻でのレジスタSEC\_MIR（アドレス0x12）への0x60の書き込みは禁止です。



図 3.15 うるう秒挿入タイミング

### 3.3 温度補償機能

RA4000CE/RA8000CEは高精度な温度補償回路を内蔵しています。弊社出荷検査時に、内蔵温度センサーの値に合わせた発振回路の周波数補正值を単品ごとに内蔵メモリーに記録しています。温度補償回路はこの値を基に、温度変化に起因する発振周波数の変動を補償します。

#### 3.3.1 動作

##### 温度補償間隔の設定

温度補償回路は電源電圧が温度補償電圧 ( $V_{TMP}$ ) の範囲であれば常に動作します。消費電流を低減するため、温度センサーの測定動作は間欠的に行われるようになっており、この実行間隔をTSTP\_INTE.CSEL[1:0]ビットで下表のとおり設定可能です。

表 3.7 温度補償データの更新間隔

TSTP_INTE.CSEL[1:0]	更新間隔
0b00	0.5秒
0b01	2.0秒 (デフォルト)
0b10	10.0秒
0b11	30.0秒

温度補償回路はこの間隔でIC内蔵の温度センサーで動作温度を測定し、その温度を元に発振周波数の変動を補正します。

周囲温度変化が急峻な環境では温度補償データの更新間隔を短くして、温度の変化に素早く追従させることが可能です。

室内などの比較的周囲温度の変化が緩やかな環境下では、温度補償データの更新間隔を長くすることで消費電流を抑えることができます。

温度補償回路はレジスター操作により停止させることはできません。ただし、電源電圧が温度補償更新停止検出電圧 $V_{DET2}$ 以下に低下すると、最後の温度補償データを保持したまま更新を停止します。ここから電源電圧が温度補償電圧 $V_{TMP}$ 以上に復帰すると、温度補償更新動作が再開します。なお、この $V_{DET2}$ 電圧低下時にイベント割り込みを発生可能です (詳細は、“3.11 タイムスタンプ機能”参照)。

##### 温度補償動作フラグ VTMPFフラグ(0x0E)

VTMPF フラグは、 $V_{DD}$  電圧が温度補償更新停止検出電圧 ( $V_{DET2}$ ) 以下に低下した場合に 1 にセットされます。この場合、温度補償回路は停止し、停止した際の周波数補正条件で発振を継続します。VTMPF ビットは、 $V_{DD}$  が  $V_{TMP}$  以上に復帰した後に 0 を書き込むことによってクリアされます。

## 3.4 論理緩急機能

RA4000CE/RA8000CEは分周回路内で時刻の進み/遅れを補正する論理緩急機能を備えています。

- 補正周期: 32秒周期 (固定)
- 補正可能範囲: -243.186 ppm ~ +243.186 ppm
- 最小補正分解能: 0.954 ppm

### 3.4.1 動作

#### 論理緩急の動作

DIG\_TRIM\_L.DTRIMENビットを1に設定すると論理緩急機能は動作を開始し、32秒を1周期として指定された緩急量の補正を行います。32秒の補正期間には125 msごとに256回の補正実行ポイントが設けられており、DIG\_TRIM\_H.DTRIM[8:1]ビットとDIG\_TRIM\_L.DTRIM[0]ビットの9ビット（以降は簡易的に、DIG\_TRIM\_H/L.DTRIM[8:0]ビットと表記します）に設定されている補正值で決まる補正実行ポイントで、補正処理が実行されるようになっていきます。この補正処理とは、分周回路の16.384 kHzクロックを生成する分周段において、16.384 kHzクロックの1サイクル時間を32.768 kHzの1クロック分延長または短縮することです。

したがって、最小補正周期は、 $1/32.768 \text{ kHz} \div 32\text{s} \times 1\text{回} = 0.954 \text{ ppm}$ となります。

#### 補正量の設定

発振周波数偏差の補正值 (DIG\_TRIM\_H/L.DTRIM[8:0]ビットに設定する値) は以下に示す2つの方法で求められます。

##### (1) 実測した内蔵発振周波数から論理緩急補正量を求める方法

FOUT端子から32 kHzクロックを出力させ、外部のユニバーサルカウンターなどで実際の周波数を計測します。その値から補正值を以下のように算出します。

$$\text{DTRIM}[8:0] = \text{round}\left(-\frac{f - 32768}{32768 \times 0.954} \times 10^6\right) \quad (-255 \sim +255)$$

f: FOUT出力を計測して得られた内蔵発振回路の発振周波数 [Hz]

周波数のずれ量と最小補正分解能で算出された補正值は、表 3.8に示す2の補数表現の設定値に変換してDIG\_TRIM\_H/L.DTRIM[8:0]ビットの設定値にします。設定値の範囲は-255 ~ +255です。

##### (2) 1024秒間の累計カウント誤差をタイムスタンプデータ (TIMESTAMP\_SUBSEC\_H/L.SUBSEC[9:0]、0x3FF (1023カウント) ~ 0x000 (0カウント) の範囲) から求めて、論理緩急補正量を求める方法

外部よりEVIN<sub>n</sub>端子に基準となる1 Hzの矩形波 (GSNNの1PPSタイムパルスなど) を入力し、1024秒の間隔を置いて秒以下のタイムスタンプデータを2個取得します。その差分から補正值を以下のように算出します。

$$\text{DTRIM}[8:0] = 0x200 - \Delta \text{SubSecCnt}_{1024\text{s}}, \quad \Delta \text{SubSecCnt}_{1024\text{s}} = \text{B}(\text{SubSec}) - \text{A}(\text{SubSec})$$

A(SubSec): 1個目の1PPSパルスで取得したタイムスタンプデータ (Bank 6, SUBSEC[9:0]\*)

B(SubSec): 1025個目の1PPSパルスで取得したタイムスタンプデータ (Bank 7, SUBSEC[9:0]\*)

\* タイムスタンプデータの内容は図 3.33を、取得方法については“3.11 タイムスタンプ機能”を参照してください。

$\Delta \text{SubSecCnt}_{1024\text{s}}$ の範囲は、-255 ~ +255 です。

なお、この方法では、計測誤差として、最大1カウント分、 $\pm 0.954 \text{ ppm}$ が含まれます。



仮に1024秒間の計測時間を32秒間に短縮した場合は、得られた差分値 (0x200 -  $\Delta$  SubSecCnt\_1024s) を  $\times 32$ 倍することで、DTRIM[8:0]の設定値に用いることが可能になります。最小補正分解能が0.954 ppmの32倍で、約30.518 ppmと粗くなりますが、計測時間の短縮が行なえます。この短縮方法では、計測誤差が最大1カウント分、 $\pm 30.518$  ppmが含まれます。

DIG\_TRIM\_H/L.DTRIM[8:0]ビットの設定による補正量は、表 3.8のようになります。

表 3.8 DIG\_TRIM\_H/L.DTRIM[8:0]ビット設定値と補正量

DIG_TRIM_H/L.DTRIM[8:0]設定値 (1単位 = 0.954 ppm)	論理緩急結果 (32秒周期の緩急量)
0x0FF = +255	+243.186 ppm 時計を早くする
0x0FE = +254	+242.232 ppm 時計を早くする
:	:
0x003 = +3	+2.861 ppm 時計を早くする
0x002 = +2	+1.907 ppm 時計を早くする
0x001 = +1	+0.954 ppm 時計を早くする
0x000 = $\pm 0$	補正なし
0x1FF = -1	-0.954 ppm 時計を遅くする
0x1FE = -2	-1.907 ppm 時計を遅くする
0x1FD = -3	-2.861 ppm 時計を遅くする
:	:
0x102 = -254	-242.232 ppm 時計を遅くする
0x101 = -255	-243.186 ppm 時計を遅くする
0x100 (設定禁止)	-

### 論理緩急の開始

論理緩急動作は以下の手順で開始します。

1. DIG\_TRIM\_H/L.DTRIM[8:0]の9ビットに補正量を2の補数で設定する。
2. DIG\_TRIM\_L.DTRIMENビットを1に設定する。 (論理緩急イネーブル)

### 論理緩急の停止

DIG\_TRIM\_L.DTRIMENビットを0に設定すると、その時点で論理緩急動作が停止します。

## 3.4.2 論理緩急の他機能への影響

論理緩急機能は、32.768 kHzクロックには影響を与えませんが、16.384 kHz以下の分周クロックを使用する下記の機能に影響します。

### (1) FOUT機能

- 出力クロックに1024 Hzまたは1 Hzを選択した場合、クロック周期が最大 $\pm 0.954$  ppm変動します。ただし、出力クロックに1Hzを選択し、DIG\_TRIM\_H/L.DTRIM[8:0]ビットの設定値が32の倍数の場合、出力クロックの周期は変動しません。
- 出力クロックに32.768 kHzを選択した場合、出力クロックの周波数は変動しません。

### (2) ウェイクアップタイマー機能

- ソースクロックに1024 Hz、64 Hz、1Hzを選択した場合、クロック周期が最大 $\pm 0.954$  ppm変動します。

## 3.5 時刻更新割り込み機能

### 3.5.1 概要

RA4000CE/RA8000CEには時計カウンターの更新タイミングで割り込みを発生させる機能があります。その特長を以下に示します。

- 割り込みタイミングを毎秒更新、毎分更新、毎時更新から選択可能です。
- /INT端子のホストへの割り込み出力信号は一定時間経過後に自動解除されます。

図 3.16に時刻更新割り込み回路の構成を示します。

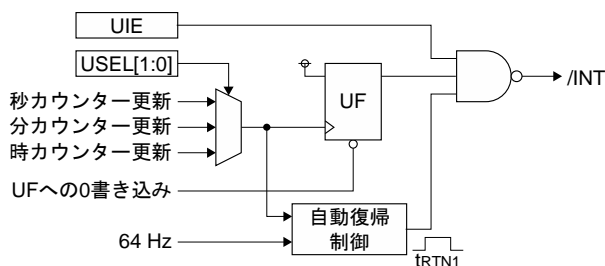


図 3.16 時刻更新割り込み回路の構成

注: 時計/カレンダーのBCDカウンターが停止していると本機能が正常に動作しません。

本機能を使用する場合は、BCDカウンターを必ず動作させてください (CNTSEL.BCDCNTENビット = 1)。

### 3.5.2 動作

#### 割り込み周期の選択

時刻更新割り込みは、TCTL.USEL0ビットとUPDISSEL.USEL1ビットで選択した秒、分、または時のいずれかのカウンター値が桁上げ更新されたタイミングで発生させることができます (1秒周期、1分周期、または1時間周期で割り込み発生、あるいは割り込みを発生させない)。/INT端子のホストへの割り込み出力信号は一定時間 ( $t_{RTN1}$ ) 経過後に自動解除されます。

表 3.9 時刻更新割り込みイベントの選択

UPDISSEL.USEL1	TCTL.USEL0	割り込みイベント	/INT 自動解除時間 $t_{RTN1}$
0	0	秒カウンター更新 (デフォルト)	7.812 ms
0	1	分カウンター更新	
1	0	時カウンター更新	
1	1	割り込みイベントなし	-

#### 割り込み許可/禁止手順

時刻更新割り込みは以下の手順で許可/禁止してください。

##### 時刻更新割り込みを許可

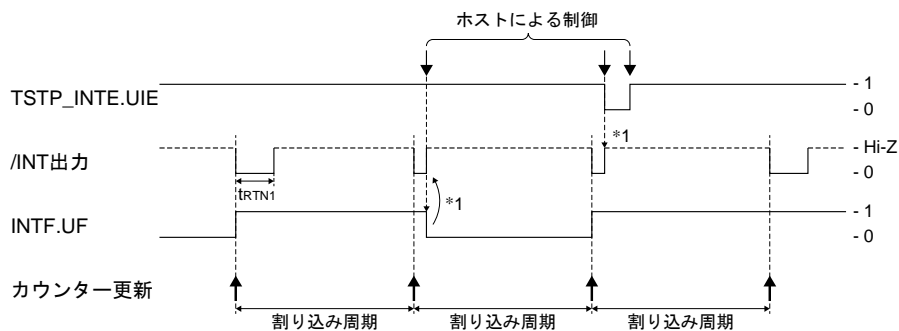
1. TSTP\_INTE.UIEビットに0を書き込む。 (/INT出力をクリア)
2. TCTL.USEL0ビットとUPDISSEL.USEL1ビットを設定する。 (時刻更新割り込みイベントを選択)
3. INTF.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)
4. TSTP\_INTE.UIEビットに1を書き込む。 (時刻更新割り込み許可)

##### 時刻更新割り込みを禁止

1. TSTP\_INTE.UIEビットに0を書き込む。 (/INT出力をクリア/出力禁止)
2. INTF.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)

## 割り込み動作

選択した割り込みのタイミングになると、INTF.UFビットが1にセットされます。このとき、TSTP\_INTE.UIEビット = 1 (割り込み許可) であれば/INT端子がLOWになり、ホストに割り込み要求を出力します。/INT端子は、TSTP\_INTE.UIEビットに0を書き込むか、/INT端子のLOW出力開始から $t_{RTN1}$  (7.812 ms) 後に自動的にHi-Zになります。INTF.UFビットは、割り込み要求発生から  $t_{RTN1}$ が経過して/INT端子がHi-Zになってもクリアされず、ホストから0を書き込むことによってはじめてクリアされます。



\*1 INTF.UFビットまたはTSTP\_INTE.UIEビットに0を書き込んでビットをクリアすると、 $t_{RTN1}$ を待たずに/INT端子が開放されます (Hi-Zになります)。

図 3.17 時刻更新割り込みタイミングチャート

## 3.6 アラーム機能

### 3.6.1 概要

アラーム機能の概要を以下に示します。

- 曜日または日、時、分、秒の組み合わせでアラーム時刻を設定可能です。
- それぞれの要素を任意に組み合わせてアラーム条件に設定できるため、毎週金/土曜日の朝10時、毎月25日の夜7時のようなアラーム設定が簡単に設定可能です。

図 3.18にアラーム回路の構成を示します。

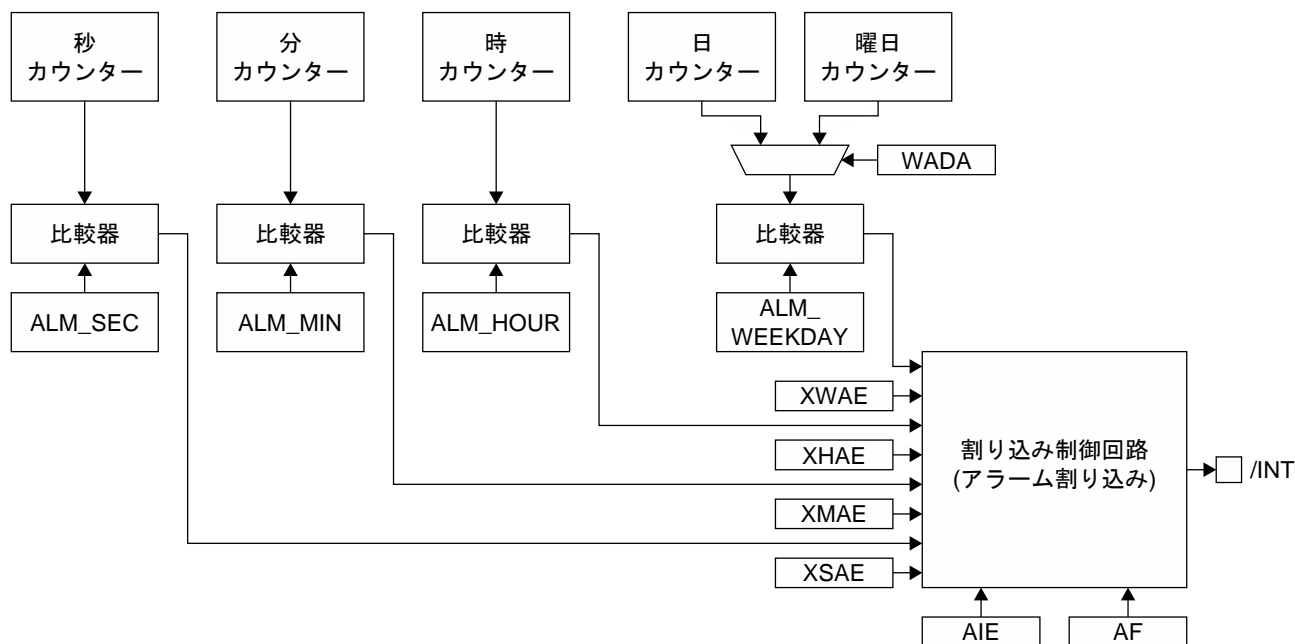


図 3.18 アラーム回路の構成

注: 本機能を使用する場合は、BCDカウンターを必ず動作させてください (CNTSEL.BCDCNTENビット = 1)。

### 3.6.2 動作

#### アラーム設定手順

アラームを設定して割り込みを発生させる手順を以下に示します。

1. TSTP\_INTE.AIEビットに0を書き込む。(アラーム割り込みディスエーブル)
2. レジスタALM\_SECでアラーム時刻の秒を設定する。
  - XSAEビット (秒アラーム指定イネーブル/ディスエーブル)
  - SALM\_H[2:0]ビット (10秒桁の指定)
  - SALM\_L[3:0]ビット (1秒桁の指定)
3. レジスタALM\_MIN (またはALM\_MIN\_MIR) でアラーム時刻の分を設定する。
  - XMAEビット (分アラーム指定イネーブル/ディスエーブル)
  - MALM\_H[2:0]ビット (10分桁の指定)
  - MALM\_L[3:0]ビット (1分桁の指定)
4. レジスタALM\_HOUR (またはALM\_HOUR\_MIR) でアラーム時刻の時を設定する。
  - XHAEビット (時アラーム指定イネーブル/ディスエーブル)
  - HALM\_H[1:0]ビット (10時桁の指定)
  - HALM\_L[3:0] (1時桁の指定)

5. レジスタALM\_WEEKDAY (またはALM\_WEEKDAY\_MIR) でアラーム時刻の曜日または日を設定する。
- XWAEビット (曜日/日アラーム指定イネーブル/ディスエーブル)
- 曜日を指定する場合 (TCTL.WADAビット = 0)
- WKALM[6:0]ビット (曜日の指定)
- 曜日は月曜 ~ 金曜のように複数の指定が可能です。
- 日を指定する場合 (TCTL.WADAビット = 1)
- DALM\_H[1:0]ビット (10日桁の指定)
  - DALM\_L[3:0]ビット (1日桁の指定)
6. TCTL.WADAビットを設定する。 (日/曜日アラームの選択)
7. INTF.AFビットに0を書き込む。 (アラーム割り込みフラグをクリア)
8. TSTP\_INTE.AIEビットに1を書き込む。 (アラーム割り込み許可)
- \* X\*AEビットを1に設定すると、そのレジスタの設定はアラーム条件から除外されます。たとえば、ALM\_WEEKDAY.XWAEビット = 1では、曜日/日の設定が無効になり、毎日指定時刻にアラームが発生します。ただし、すべてのX\*AEビットを1にした場合は、1秒ごとにアラームが発生します。

## アラーム設定例

曜日指定時のアラーム設定例 (TCTL.WADAビット = 0)

設定例1

ALM_WEEKDAY (曜日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	土	金	木	水	火	月	日			
0	0	1	1	1	1	1	0	0x07	0x00	XSAE = 1

毎週月曜 ~ 金曜、午前7時00分00秒 ~ 59秒の間、1秒ごとに繰り返しアラームが発生

設定例2

ALM_WEEKDAY (曜日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	土	金	木	水	火	月	日			
0	1	0	0	0	0	0	1	XHAE = 1	0x30	0x00

毎週土曜と日曜、毎時30分00秒にアラームが発生

設定例3

ALM_WEEKDAY (曜日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	土	金	木	水	火	月	日			
0	1	1	1	1	1	1	1	0x18	0x59	0x30
1	X	X	X	X	X	X	X			

毎日、午後6時59分30秒にアラームが発生

日指定時のアラーム設定例 (TCTL.WADAビット = 1)

設定例4

ALM_WEEKDAY (日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	*	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0	X	0	0	0	0	0	1	0x07	XMAE = 1	XSAE = 1

毎月1日、午前7時00分00秒 ~ 59秒の間、1秒ごとに繰り返しアラームが発生

設定例5

XWAE	*	ALM_WEEKDAY (日アラーム)						ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
		Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0	X	0	1	0	1	0	1	XHAE = 1	0x30	0x00

毎月15日、毎時30分00秒にアラームが発生

設定例6

XWAE	*	ALM_WEEKDAY (日アラーム)						ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
		Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
1	X	X	X	X	X	X	X	0x18	0x59	0x30

毎日、午後6時59分30秒にアラームが発生

X: 値は不問です。

アラーム割り込み

図 3.19にアラーム割り込み回路の構成を示します。

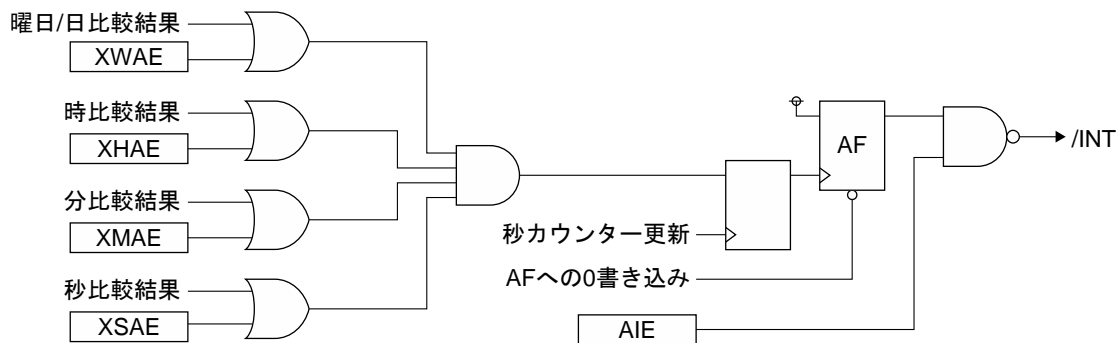
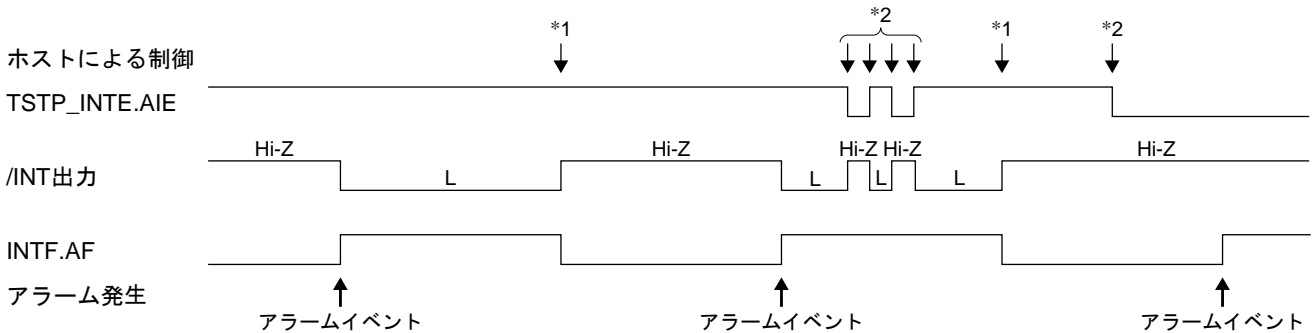


図 3.19 アラーム割り込み回路の構成

アラーム割り込みは、時刻/カレンダーカウンターがレジスターALM\_SEC、ALM\_MIN、ALM\_HOUR、ALM\_WEEKDAYで指定した日時に一致した時点で発生させることができます。指定した曜日/日の指定時刻になると、INTF.AFビットが1にセットされます。このとき、TSTP\_INTE.AIEビット = 1 (割り込み許可) であれば/INT端子がLOWになり、ホストに割り込み要求を出力します。1にセットされたINTF.AFビットは0を書き込むことによりクリアされます。同時に/INT端子がHi-Zになります。



\*1 INTF.AFビットに0を書き込んでこのビットをクリアすると、/INT端子がHi-Zに開放されます。  
\*2 TSTP\_INTE.AIEビットを0にすると、/INT端子はINTF.AFビットの状態に依らずHi-Zに開放されます。

図 3.20 アラーム割り込みタイミングチャート

## 3.7 ウェイクアップタイマー機能

### 3.7.1 概要

ウェイクアップタイマー機能の概要を以下に示します。

- 24ビットプリセッタブルアップ/ダウンカウンタで構成されます。
- ソースクロック: 1024 Hz、64 Hz、1 Hz、1/60 Hz、外部クロック (EVIN2入力) から選択可能です。
- 976  $\mu$ s ~ 32年までの任意の周期で割り込みを発生可能です。
- 割り込み出力をFOUT端子にも割り当て可能です。
- ウォッチドッグタイマーとして使用可能です。
- 動作時間の積算計としても利用可能です。

図 3.21にウェイクアップタイマーの構成を示します。

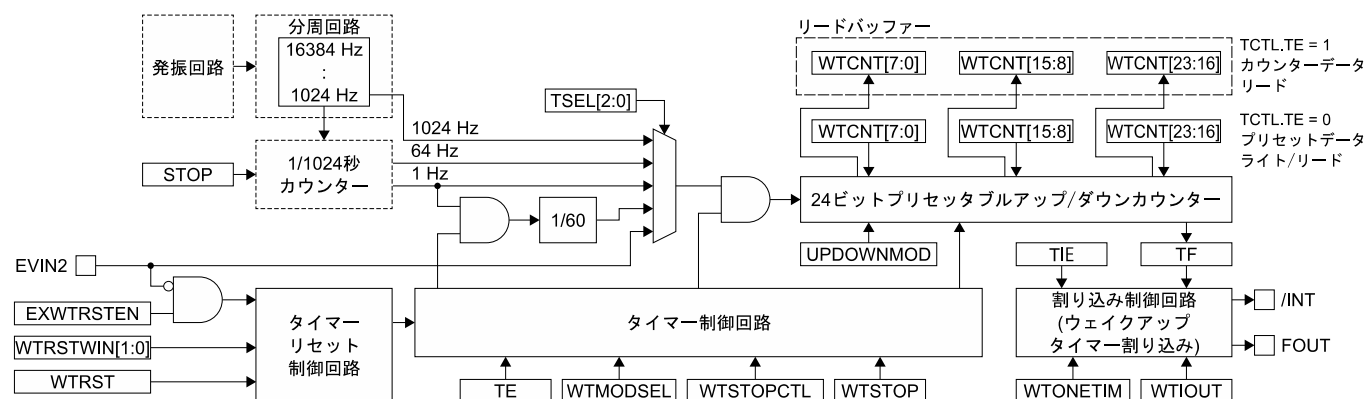


図 3.21 ウェイクアップタイマーの構成

### 3.7.2 動作

#### ソースクロック

ソースクロックはTCTL.TSEL[1:0]ビットおよびWTICFG.TSEL2ビットにより表 3.10に示す5種類から選択可能です。

表 3.10 ウェイクアップタイマーソースクロックの選択

WTICFG.TSEL2	TCTL.TSEL[1:0]	ソースクロック		/INT 自動復帰時間 ( $t_{RTN2}$ ) *
		周波数	周期	
0	0b00	1024 Hz	976 $\mu$ s	488 $\mu$ s
	0b01	64 Hz	15.625 ms	7.812 ms
	0b10	1 Hz	1秒	7.812 ms
	0b11	1/60 Hz	60秒	7.812 ms
1	—	EVIN2端子入力 (外部イベント)		自動復帰なし

\*  $t_{RTN2}$ は/INT端子がLOWになってから、自動的に開放される (Hi-Zになる) までの時間です。

ウェイクアップタイマーのソースクロックにEVIN2端子入力を選択した場合は、EVIN2からクロックを入力します。カウントクロックとして使用可能な最大クロック周波数は1024 Hzで、クロック波形のHパルス幅は488  $\mu$ s以上が必要です。

注: WTICFG.TSEL2ビット = 1の場合、EVIN2端子への入力信号がウェイクアップタイマーのソースクロックになります。その際は、EVIN2端子のプルアップ/プルダウン設定は有効ですが、ノイズフィルターと入力検出エッジの設定は無効になります。

## カウントアップ/ダウンモード

ウェイクアップタイマーのカウンターには、カウントアップとカウントダウンの2つのカウントモードがあり、WTICFG.UPDOWNMODビットによって使用するモードを選択します。

WTICFG.UPDOWNMODビット = 1: カウントアップモード

WTICFG.UPDOWNMODビット = 0: カウントダウンモード

## プリセットデータ (ウェイクアップタイマー割り込み周期)

プリセットデータはカウント上限値を指定する値で、ウェイクアップタイマー割り込み周期を決定します。ウェイクアップタイマー割り込みは、カウントアップモード時はカウンターが設定したプリセットデータを超えた時点で、カウントダウンモード時はカウンターが0になった時点で発生します。プリセットデータは、TCTL.TEビット = 0 (タイマーディスエーブル) の状態でレジスタWTCNT\_L、WTCNT\_M、WTCNT\_Hに書き込みます。

注: ・ タイマー動作中 (TCTL.TEビット = 1) にレジスタWTCNT\_L、WTCNT\_M、WTCNT\_HIにプリセットデータを書き込むことは禁止します。

- ・ プリセットデータとして0x000000を設定することはできません。レジスタWTCNT\_L、WTCNT\_M、WTCNT\_HIに0x000000を書き込んだ場合は、ウェイクアップタイマーはカウントアップ/ダウンせず、割り込み要求は発生しません。

表 3.11に、ソースクロックの選択とプリセットデータの組み合わせによる割り込み周期の例を示します。

表 3.11 ウェイクアップタイマー割り込み周期

プリセットデータ	ソースクロック			
	1024 Hz TCTL.TSEL[1:0] = 0b00 WTICFG.TSEL2 = 0b0	64 Hz TCTL.TSEL[1:0] = 0b01 WTICFG.TSEL2 = 0b0	1 Hz TCTL.TSEL[1:0] = 0b10 WTICFG.TSEL2 = 0b0	1/60 Hz TCTL.TSEL[1:0] = 0b11 WTICFG.TSEL2 = 0b0
0	—	—	—	—
1	976 μs	15.625 ms	1秒	60秒
:	:	:	:	:
410 (0x00019A)	400.39 ms	6.406秒	410秒	410分
:	:	:	:	:
3840 (0x000F00)	3.7500秒	60秒	3840秒	3840分
:	:	:	:	:
4096 (0x001000)	4秒	64秒	4096秒	4096分
:	:	:	:	:
16777215 (0xFFFFF)	4.55時間	72.81時間	4660時間	31.9年

## カウント動作条件 (/RST出力機能搭載機種のみ)

WTCTL.WTSTOPCTLビットを1に設定すると、WTCTL.WTMODESELビットの設定が有効になり、ウェイクアップタイマーのカウント動作をノーマルモード時 (リセット出力解除中) のみ、あるいはセーフモード時 (リセット出力中) のみに制限することができます。

表 3.12 ノーマルモード/セーフモードにおけるウェイクアップタイマーのカウンターの動作条件設定

WTCTL.WTSTOPCTL	WTCTL.WTMODESEL	動作条件
0	X	ノーマルモード/セーフモードの両モードでカウント可能
1	0	ノーマルモード時 (リセット出力解除中) のみカウント可能
	1	セーフモード時 (リセット出力中) のみカウント可能

たとえば、ノーマルモード時のみ動作するように設定した場合、セーフモードに切り替わるとカウント動作は停止しますが、その時点のカウント値は保持され、再びノーマルモードに戻った時点でカウント動作も保持していたカウント値から再開します。これにより、ノーマルモード動作時間の積算計として使用することもできます。



## ウェイクアップタイマー設定手順

ウェイクアップタイマーを設定して割り込みを発生させる手順を以下に示します。

1. TCTL.TEビットに0を書き込む。 (ウェイクアップタイマーディスエーブル)
2. TSTP\_INTE.TIEビットに0を書き込む。 (ウェイクアップタイマー割り込みディスエーブル)
3. TCTL.TSEL[1:0]ビットとWTICFG.TSEL2ビットを設定する。(ソースクロックの選択)
4. レジスタWTCNT\_L、WTCNT\_M、WTCNT\_Hを設定する。  
(ウェイクアップタイマー割り込み周期の設定)
5. レジスタWTICFGを設定する。 (割り込み出力の設定)
  - WTONETIMビット (INT自動解除の設定)
  - WTIOUTビット (割り込み出力端子の選択)
  - UPDOWNMODビット (カウントアップ/ダウンモードの選択)
6. レジスタWTCTLを設定する。 (タイマー動作条件の設定)
  - WTMODSELとWTSTOPCTLビット (ノーマル/セーフモードの動作条件を選択)
  - WTSTOPビットに0を書き込む。 (一時停止の解除)
7. INTF.TFビットに0を書き込む。 (ウェイクアップタイマー割り込みフラグをクリア)
8. TSTP\_INTE.TIEビットに1を書き込む。 (ウェイクアップタイマー割り込み許可)
9. TCTL.TEビットに1を書き込む。 (ウェイクアップタイマーイネーブル)  
カウントを開始します。

## カウントの開始

### カウントアップモード

TCTL.TEビットが1になると、ウェイクアップタイマーは初期値 (1) をカウンターにロードしてカウントアップを開始します。ただし、ソースクロックとは非同期にカウントを開始しますので、最初のカウントアップまで、最大ソースクロック1周期の遅延が生じます。

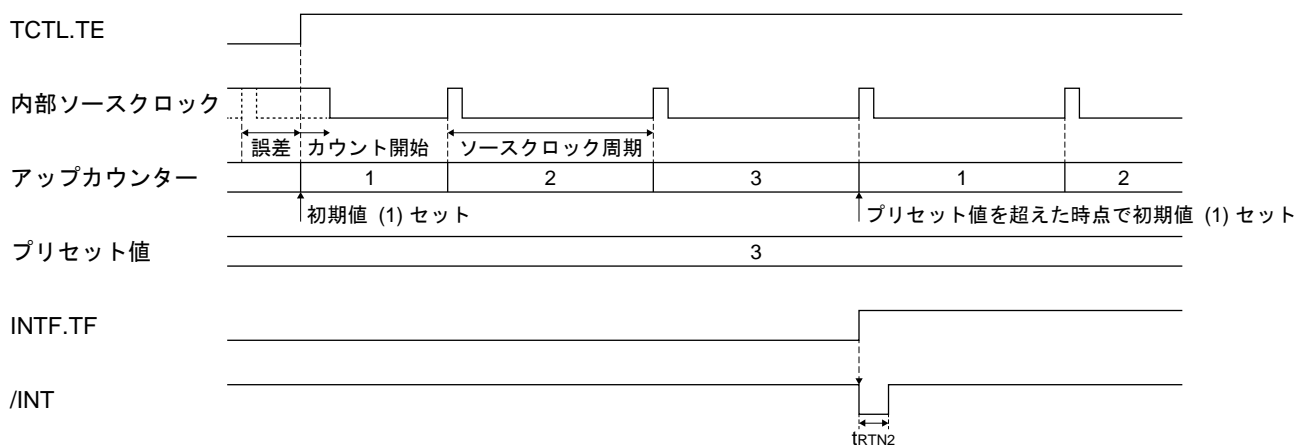


図 3.22 ウェイクアップタイマーカウントアップ動作

カウントアップによりカウンターがプリセット値を超えると、初期値 (1) がカウンターにロードされ、その値からカウントアップを継続します。

## カウントダウンモード

TCTL.TEビットが1になると、ウェイクアップタイマーはレジスターWTCNT\_L、WTCNT\_M、WTCNT\_Hの値をカウンターにプリセットして、カウントダウンを開始します。ただし、ソースクロックとは非同期にカウントを開始しますので、最初のカウントまで、最大ソースクロック1周期の遅延が生じます。

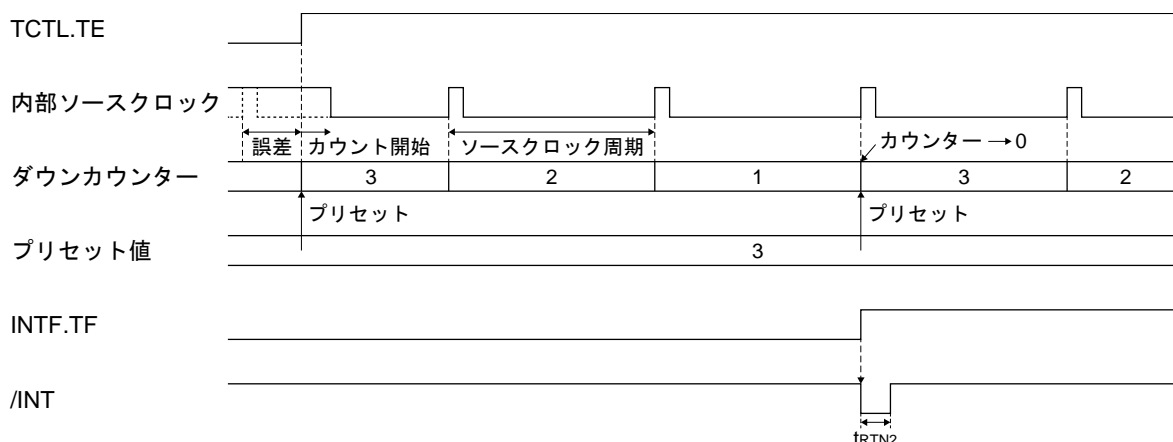


図 3.23 ウェイクアップタイマーカウントダウン動作

カウントダウンによりカウンターが0になると、レジスターWTCNT\_L、WTCNT\_M、WTCNT\_Hの値がカウンターにロードされ、その値からカウントダウンを継続します。

図 3.24にTCTL.TEビットへの1書き込み後のカウント開始タイミングを示します。

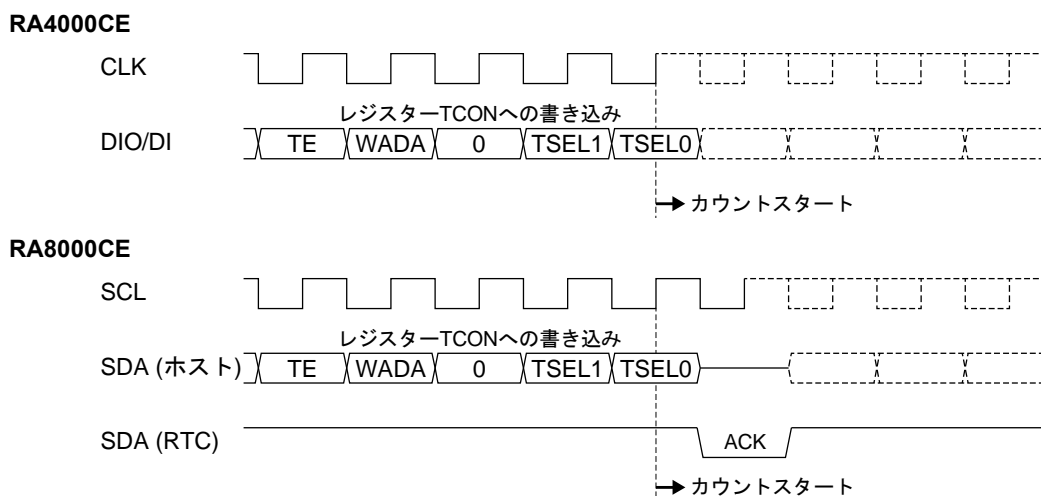


図 3.24 ウェイクアップタイマーカウント開始タイミング

## 一時停止

動作中のウェイクアップタイマーを一時停止するには、WTCTL.WTSTOPビットに1を書き込みます。ウェイクアップタイマーはその時点のカウンター値を保持した状態で停止します。WTCTL.WTSTOPビットに0を書き込むと、ウェイクアップタイマーは保持していたカウント値からカウントを再開します。この一時停止動作もソースクロックとは非同期に行われますので、開始時と同様に誤差が生じます。

なお、他の制御ビットの設定状態によっては、WTCTL.WTSTOPビットでカウンターは停止しません。関係する制御ビットによるウェイクアップタイマーの動作状態を表 3.13に示します。

表 3.13 ウェイクアップタイマーの動作制御

TCTL.TE	TSTP_INTE. STOP	WTCTL. WTSTOPCTL	WTCTL. WTSTOP	動作状態
1	0	0	0	カウント動作をします。
			1	カウント動作を一時停止します。
		1	X	WTCTL.WTSTOPビットの設定は無効となり、1に設定してもカウンターは停止しません。
	1	X	X	カウンターは停止します。 ただし、ソースクロック = 1024 Hzまたは外部クロックの場合は、TSTP_INTE.STOPビット = 0と同じ動作となります。
0	X	X	X	カウンターは停止しています。

## カウンターデータの読み出し

### TCTL.TEビット = 1のとき

レジスタWTCNT\_L、WTCNT\_M、WTCNT\_Hからカウント動作中のカウント値を読み出すことができます。

このカウンターには、時計/カレンダーデータの読み出しに用いる計時バッファと同様のリードバッファがありますので、カウンターが動作している期間中も、任意のタイミングで正確なカウンター値を読み出せます。

カウントデータのリードバッファへの取得タイミングは、SPIインターフェイス搭載機種の場合は、CE信号の立ち上げ後、ウェイクアップタイマーカウンターの読み出しコマンドの6クロック目の立ち上がりです。その時点でのウェイクアップタイマーカウンター値が、リードバッファへ同時に一括して読み出されます。そしてリードバッファに転送されたカウント値情報を、レジスタWTCNT\_L、WTCNT\_M、WTCNT\_H (アドレス0x0A ~ 0x0C) より、ホストが連続読み出しします。

I<sup>2</sup>C-Busインターフェイス搭載機種の場合は、まず、読み出し領域の先頭アドレスであるレジスタWTCNT\_L (アドレス0x0A) をホストが書き込みます。次に、7ビットのスレーブアドレスと、8ビット目のデータ転送の1(リード)を受信した後の、アクノリッジ送出中のSCLの立ち上がりを受信したとき、ウェイクアップタイマーカウンターの値が、リードバッファへ同時に一括して読み出されます。そして、リードバッファの情報をホストが連続読み出しします。

### TCTL.TEビット = 0のとき

レジスタWTCNT\_L、WTCNT\_M、WTCNT\_Hからは、ウェイクアップタイマーのプリセット値が読み出されます。

## カウンターのリセット

本ウェイクアップタイマーには、レジスタ操作、または外部信号入力により、動作中のカウンターをリセットする機能があります。このリセットが入力されると、ウェイクアップタイマーは初期値 (カウントアップモード時は1、カウントダウンモード時はプリセット値) をカウンターにロードしてカウント動作を継続します。ただしこのときは、ウェイクアップタイマー割り込みは発生しません。

この機能を利用してウェイクアップタイマーをウォッチドッグタイマーとして使用することも可能です。

### レジスタ操作によるリセット

WTCTL.WTRSTビットに1を書き込むことで、動作中のカウンターをリセットすることができます。

### 外部信号入力によるリセット

WTCTL.EXWTRSTENビットを1に設定することにより外部リセット入力が有効になります。リセット信号として、977 μs以上の幅を持つHIGHパルスをEVIN2端子から入力します。

WTCTL.EXWTRSTENビット = 0の場合、EVIN2端子からのパルス入力があってもカウンターのリセット動作は発生しません。

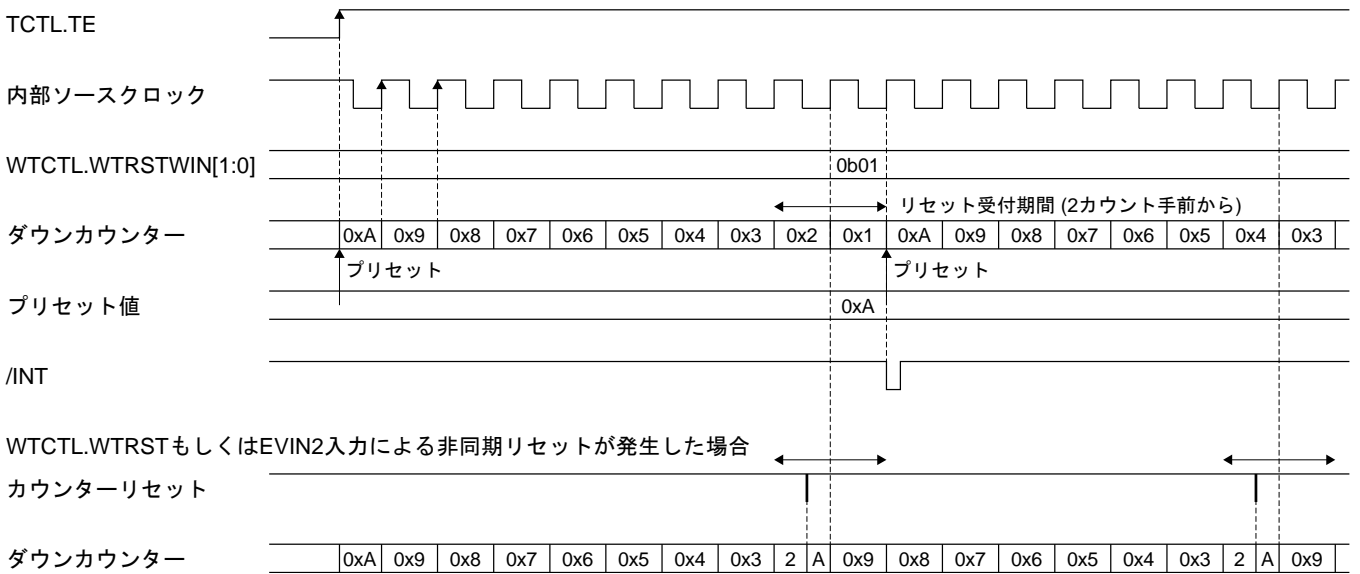
なお、WTCTL.EXWTRSTENビットの設定によらず、WTCTL.EWTRSTビットへの1書き込みによるレジスタ操作でのリセットは有効です。

### リセットウィンドウ

リセットウィンドウは、カウントダウンモードにおけるカウンターリセットの受付期間を、表 3.14に示されるように制限する機能です。受付期間はWTCTL.WTRSTWIN[1:0]ビットで指定します。このリセットウィンドウ設定は、レジスター操作および外部信号入力のどちらのリセット操作にも有効です。また、ダウンカウンターのプリセット値は、このリセット受付期間よりも大きい値に設定される必要があります。

表 3.14 リセットウィンドウの設定

WTCTL.WTRSTWIN[1:0]	リセット受付期間 (カウントダウンモード)
0b00	全期間 (デフォルト)
0b01	カウンター値 = 2 ~ 1
0b10	カウンター値 = 16 ~ 1
0b11	カウンター値 = 64 ~ 1



\* カウントダウンモード、プリセット値 = 0x00000Aに設定した場合

図 3.25 リセットウィンドウ設定時のタイマーリセットタイミング (非同期リセットタイミング)

### ウェイクアップタイマー割り込み

図 3.26にウェイクアップタイマー割り込み回路の構成を示します。

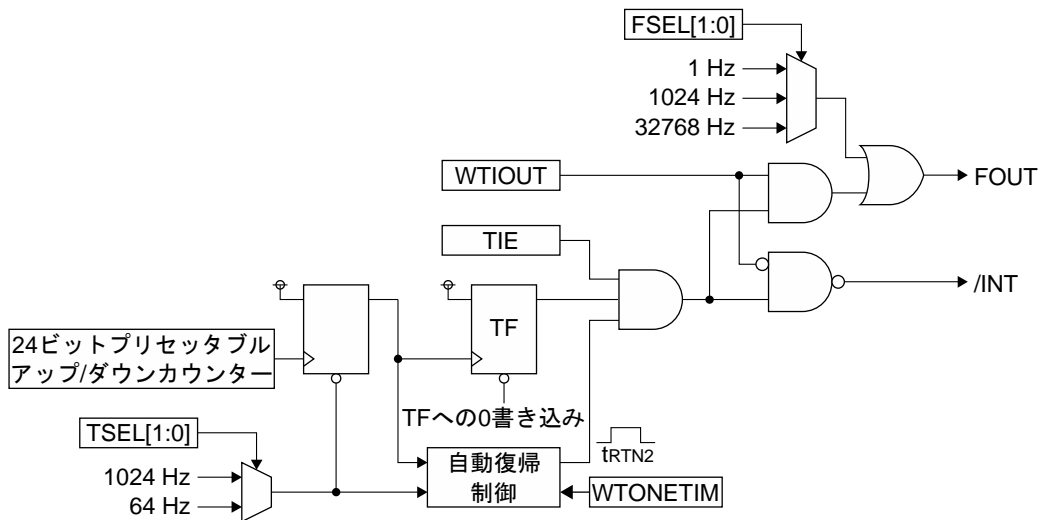
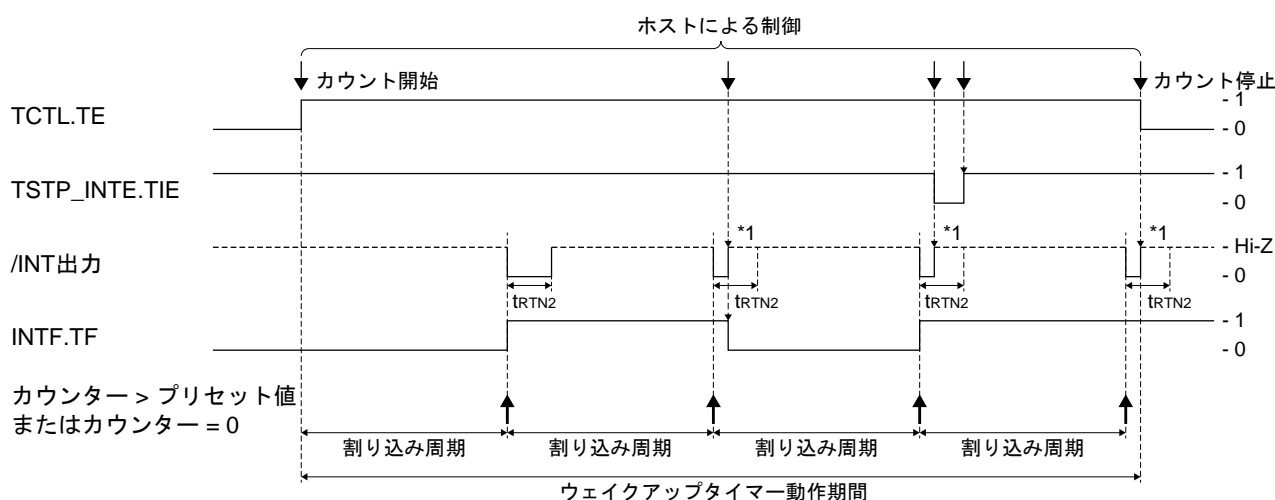


図 3.26 ウェイクアップタイマー割り込み回路の構成

ウェイクアップタイマー割り込みは、プリセットしたカウント周期で発生させることができます。カウントアップモードではカウントアップによりカウンター値がプリセット値を超えるタイミングで、カウントダウンモードではカウントダウンによりカウンターが0になる時点でウェイクアップタイマー割り込みが発生し、INTF.TFビットが1にセットされます。このとき、TSTP\_INTE.TIEビット = 1 (割り込み許可) であれば、/INT端子がLOWになってホストへ割り込み要求を出力します。そして、/INT自動復帰時間 ( $t_{RTN2}$ 、表 3.10参照) 経過後に、自動的にHi-Zに戻ります。なお、/INT信号の自動復帰機能は、WTICFG.WTONETIMビットを1に設定することで無効にできます。

/INT端子は自動的にHi-Zに復帰する一方、1がセットされたINTF.TFビットは、ホストから0を書き込まれるまで1を保持します。INTF.TFビット、またはTSTP\_INTE.TIEビットに0を書き込むと、/INT自動復帰時間が経過する前かどうにかかわらず、/INT端子はHi-Zに戻ります。なお、タイマーソースクロックにEVIN2端子入力を選択時は、WTICFG.WTONETIMビットの設定にかかわらず、/INT信号の自動復帰機能は無効です。



\*1 INTF.TFビット、TSTP\_INTE.TIEビット、またはTCTL.TEビットを0クリアすると、 $t_{RTN2}$ を待たずに/INT端子が開放されます(Hi-Zになります)。

図 3.27 ウェイクアップタイマー割り込みタイミングチャート

ウェイクアップタイマーの割り込み要求信号は、WTICFG.WTIOUTビット = 0の場合、他の割り込み要求信号とNORされて/INT端子から出力されます。

WTICFG.WTIOUTビット = 1の場合は、FOUT端子が有効な機種では、FOUT端子から出力します。

注: WTICFG.WTIOUTビット = 1の場合、FOUT信号とウェイクアップタイマー割り込み要求信号がNORされてFOUT端子から出力されます。ウェイクアップタイマー割り込み要求信号のみを出力するには、TCTL.FSEL[1:0]ビットを0b11に設定してFOUT信号の出力を停止してください。

## 3.8 FOUT出力機能

### 3.8.1 概要

FOUT出力機能の概要を以下に示します。

- RA4000CE/RA8000CEで生成したクロックを外部に出力可能です。
- 出力クロックを32.768 kHz、1024 Hz、1 Hzから選択可能です。
- レジスターまたは外部入力信号 (FOE) によりFOUT出力を制御可能です。

図 3.28にFOUT出力回路の構成を示します。

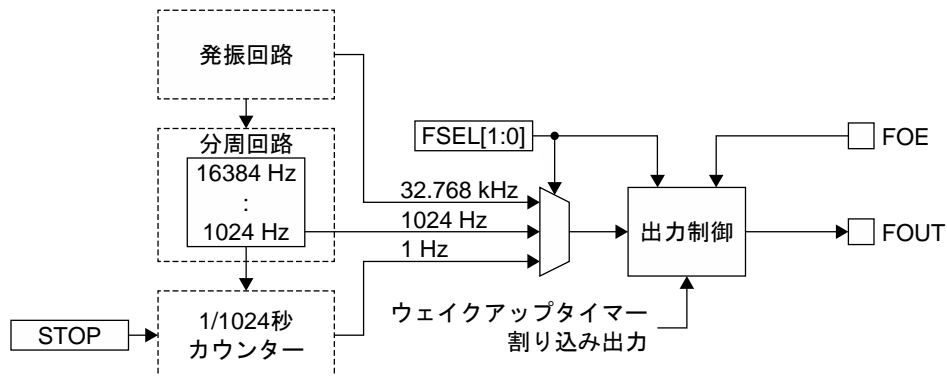


図 3.28 FOUT出力回路の構成

注: FOUT出力機能はFOUT端子を持つ機種でのみ有効です。また、外部信号によるFOUT出力制御機能は、FOE端子を持つ機種でのみ有効です。

### 3.8.2 動作

#### 初期設定

機種によっては、FOUT端子とFOE端子が他の機能と兼用されています。このため、レジスター制御によって端子機能をFOUT出力用に切り替える初期設定が必要になる場合があります。詳細は、4.1節の“0x38: WTICFG (Wakeup Timer Interrupt Configuration)”を参照してください。

#### FOUT出力の制御 (FOE端子を使用しない場合)

FOUT出力は、電源投入時はOFF (Hi-Z) です。FOUT出力の出力・停止 (Hi-Z) は、TCTL.FSEL[1:0]ビットで設定します。なお、1Hz出力設定のみ、TSTP\_INTE.STOPビットの設定も影響します。

表 3.15 FOUT出力の選択

TSTP_INTE.STOP	TCTL.FSEL[1:0]	出力クロック
0	0b00	32.768 kHz
	0b01	1024 Hz
	0b10	1 Hz
	0b11	OFF (Hi-Z)
1	0b00	32.768 kHz
	0b01	1024 Hz
	0b10	H or L 固定
	0b11	OFF (Hi-Z)

### FOUT出力の制御 (FOE端子を使用する場合)

FOE端子を持つ機種では、FOUT出力を、FOE入力信号で制御することができます。出力クロック周波数はTCTL.FSEL[1:0]ビット（表 3.15参照）で選択します。

FOE入力信号がHIGHレベルになっている間、TCTL.FSEL[1:0]ビットの設定によって選択された周波数のFOUT信号が、FOUT端子から出力されます。FOE入力信号がLOWレベルの場合、FOUT端子はHi-Zになります。

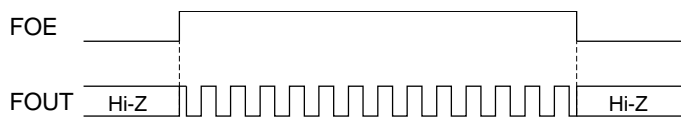


図 3.29 FOE制御によるFOUT出力

### FOUT端子からのウェイクアップタイマー割り込み信号出力

クロック出力が不要な場合、WTICFG.WTIOUTビットを1に設定することで、FOUT端子をウェイクアップタイマーの割り込み要求信号出力端子としても使用可能です。その際、TCTL.FSEL[1:0]ビットが0b11以外に設定されている場合、選択したクロックとウェイクアップタイマー割り込み要求信号がNORされて、FOUT端子から出力されます。

## 3.9 リセット出力機能

### 3.9.1 概要

RA4000CE/RA8000CEは、電源電圧の低下によるシステムの誤動作を防止するため、リセット出力機能を備えています。リセット出力機能は電源電圧 $V_{DD}$ の低下を検出し、電圧が復帰するまで、外部デバイスにリセット信号 (/RST) を出力します。

注: リセット出力機能は/RST端子を持つ機種でのみ有効です。

### 3.9.2 動作

#### リセット出力用 $V_{DD}$ 電圧検出動作

リセット出力は $V_{DD}$ 電圧検出結果によって制御されます。

ノーマルモード時 ( $V_{DD}$ 電圧正常時) は、この $V_{DD}$ 電圧低下検出機能が常時動作します。 $V_{DD}$ 電圧が $V_{DD}$ 立ち下がり時検出電圧 $-V_{DET1n}$ を下回ったことが検出されると、/RST端子からリセット信号 (アクティブLOW) が出力され、RA4000CE/RA8000CEはセーフモードになります。

セーフモード時は、 $V_{DD}$ 電圧検出機能は間欠動作し、消費電力を抑えます。 $V_{DD}$ 電圧が $V_{DD}$ 立ち上がり時検出電圧 $+V_{DET1n}$ 以上に復帰したことが検出されると、その60 ms後にリセット出力が解除され (/RST端子=L→Hi-Z)、RA4000CE/RA8000CEはノーマルモードに戻ります。

$V_{DD}$ 立ち下がり時/立ち上がり時検出電圧 ( $-V_{DET1n}$ ,  $+V_{DET1n}$ ) およびセーフモード時の間欠動作間隔については、それぞれ“5.7 リセット出力特性”および図 5.2を参照してください。

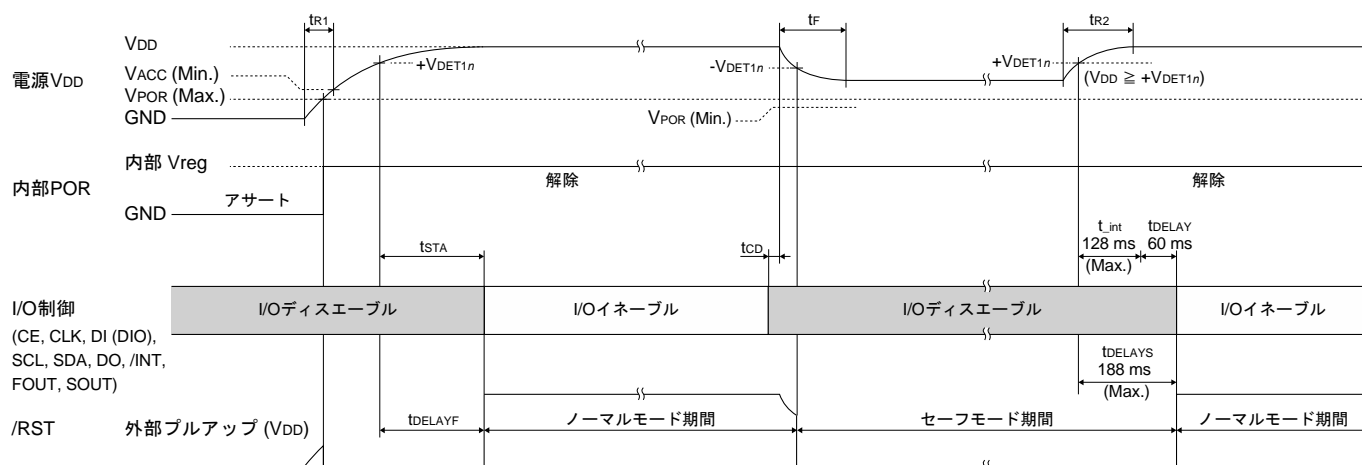


図 3.30 リセット出力タイミング

#### リセット出力フラグ

リセット出力開始時に、リセット出力フラグ (BUF\_INTF.RSTOFビット) が1にセットされます。このフラグはタイムスタンプを取得する内部イベントトリガーのひとつで、イベント検出割り込みを発生可能です。 $V_{DD}$ 電圧が $+V_{DET1n}$ 以上に復帰してセーフモードからノーマルモードに遷移し、リセット出力が解除された後に、リセット出力フラグビットに0を書き込んで、フラグをクリアする必要があります。なおセーフモード期間中では、リセット出力フラグは常に1にセットされるため、リセット出力フラグビットに0を書き込んでもフラグはクリアできません。

#### リセット出力中のI/O制御

セーフモードにおける/INT, FOUT, SOUT出力の有効・無効と、ホストインターフェイスの有効・無効を、独立に設定することができます。

セーフモードにおける/INT, FOUT, SOUT出力の有効・無効は、WTICFG.RSTOPT0ビットで設定します。このビットを0 (無効) にした場合、セーフモードにおける/INT, FOUT, SOUTはすべてHi-Zになります。

セーフモードにおけるホストインターフェイスの有効・無効は、WTICFG.RSTOPT1ビットで設定します。このビットを0 (無効) にした場合、セーフモードにおけるホストインターフェイスの入力/入出力信号 FOE, CE, CLK, DI, DIO, SDA, SCLは無効 (Hi-Zにすることが可能)、DO端子はHi-Zになります。

なお、EVIN $n$ 端子からの入力にはセーフモードでも有効です。



## 3.10 自己監視機能

### 3.10.1 概要

RA4000CE/RA8000CEは電源電圧や発振の状態を監視する機能を搭載しており、その結果をステータスフラグとして読み出すことができます。また、これらのフラグはタイムスタンプのトリガーや記録内容、イベント割り込み要因としても利用されます。監視対象は以下のとおりです。

- パワーオンリセットの実行 (PORFフラグ、VLFフラグ)
- 発振停止 (OSCSTPFフラグ、VLFフラグ)
- 電源電圧 ( $V_{DD}$ ) の温度補償更新停止電圧以下への低下 (VTMPLFフラグ)

また、/INT端子やSOUT端子を持つ機種では、PORFフラグとそれに伴うVLFフラグを除く、これらのステータスフラグの状態を外部デバイスに出力可能です。

### 3.10.2 自己監視フラグ

#### パワーオンリセット発生検出: PORFフラグ

PORFフラグ (INTF.PORFビット) は、電源投入後にパワーオンリセットが実行されたことを検出すると1にセットされます。その後パワーオンリセットが解除されても、このフラグは自動的に0に戻りません。INTF.PORFビット = 1のときは必要な初期設定等を行うと共に、INTF.PORFビットに0を書き込んで、フラグをクリアします。

#### 水晶発振停止検出: OSCSTPFフラグ

OSCSTPFフラグ (INTF.OSCSTPFビット) は、内蔵の水晶発振が10 ms以上停止したことを検出すると1にセットされます。1にセットされた後、発振が再開しても、このフラグは自動的に0に戻りません。INTF.OSCSTPFビット = 1のときは、必要な初期値設定等を行うと共に、INTF.OSCSTPFビットに0を書き込んで、フラグをクリアします。

このフラグは、タイムスタンプトリガーおよびイベント検出割り込みにも利用されます。詳細は“3.11.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

#### 日時データ無効警告: VLFフラグ

VLFフラグ (INTF.VLFビット) は上記のPORFフラグかOSCSTPFフラグがセットされた場合に1にセットされます。 $V_{DD}$ の電源投入後やセーフモードからの復帰後、このフラグであるINTF.VLFビットが1だった場合は、初期設定が必要です。INTF.VLFビットの操作を含むこの初期設定手順について、“2.2.3 初期設定”を参照してください。

#### 温度補償更新停止検出: VTMPLFフラグ

VTMPLFフラグ (INTF.VTMPLFビット) は、 $V_{DD}$ 電圧が温度補償更新停止検出電圧 ( $V_{DET2}$ ) 以下に低下した場合に1にセットされます。この場合、温度補償回路は停止し、停止した際の周波数補正条件で発振を継続します。INTF.VTMPLFビットは、 $V_{DD}$ が $V_{TMP}$ 以上に復帰した後に0を書き込むことによってクリアされます。

このフラグは、タイムスタンプトリガーおよびイベント検出割り込みにも利用されます。詳細は“3.11.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

### 3.10.3 自己監視フラグの端子出力機能

/INT端子からは、イベント検出割り込みとしてフラグ内容を出力可能です。/INT端子からの出力機能は、タイムスタンプ割り込み機能の一部であるイベント検出割り込み機能に含めて説明していますので“3.11.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

SOUT端子からは、ステータスフラグ設定状態の出力としてフラグ内容を出力可能です。SOUT端子からの出力機能の詳細は、“3.12 SOUT出力機能”を参照してください。

## 3.11 タイムスタンプ機能

### 3.11.1 概要

RA4000CE/RA8000CEには、EVIN<sub>n</sub>端子入力の信号変化で生じる外部イベントや、自己監視機能で得られた電源電圧の低下や発振停止などの内部イベントが発生した時点の、日時やイベント要因などの情報を記録するタイムスタンプ機能があります。主な機能と特長を以下に示します。

- タイムスタンプトリガー
  - 外部イベント入力:
    - 最大2チャンネル (EVIN1、EVIN2)
    - 内蔵プルアップ/ダウン抵抗を選択可能
    - トリガーエッジとして立ち上がりエッジ、立ち下がりエッジ、または両エッジを選択可能
    - ノイズフィルター (0 ~ 5000 ms、125 msステップ) を内蔵
    - イベントカウンターを内蔵 (各6ビット、外部イベント入力にのみ対応)
    - 入力端子の状態をモニター可能
  - 内部イベント:
    - リセット出力 (-V<sub>DET1n</sub>電圧低下検出)
    - V<sub>DET2</sub>電圧低下検出
    - 発振停止検出
  - コマンドトリガー:
    - 指定アドレスへの書き込みによりトリガーを発行
- タイムスタンプバッファ
  - 32バイトSRAMを内蔵
  - 選択した各イベントのタイムスタンプデータを2回分記録するダイレクトモードと、SRAMとして全領域を任意にリード/ライトアクセス可能なSRAMモードに対応
  - ダイレクトモードでは、バッファフル時に2回目のタイムスタンプバッファへの書き込みを許可するオーバーライトモードと、書き込みを禁止するオーバーライト禁止モードに対応
- 記録データ
  - 1/1024秒 ~ 1秒、BCD形式の時刻データ (秒、分、時、日 (曜日は除く)、月、年) またはバイナリーカウンターデータ、EVIN<sub>n</sub>端子の状態、電圧低下/発振の状態、タイムスタンプトリガー要因
- タイムスタンプはセーフモード時も取得可能
- 外部イベントおよび内部イベント発生時に割り込みを発生可能

図 3.31にタイムスタンプ回路の構成を示します。

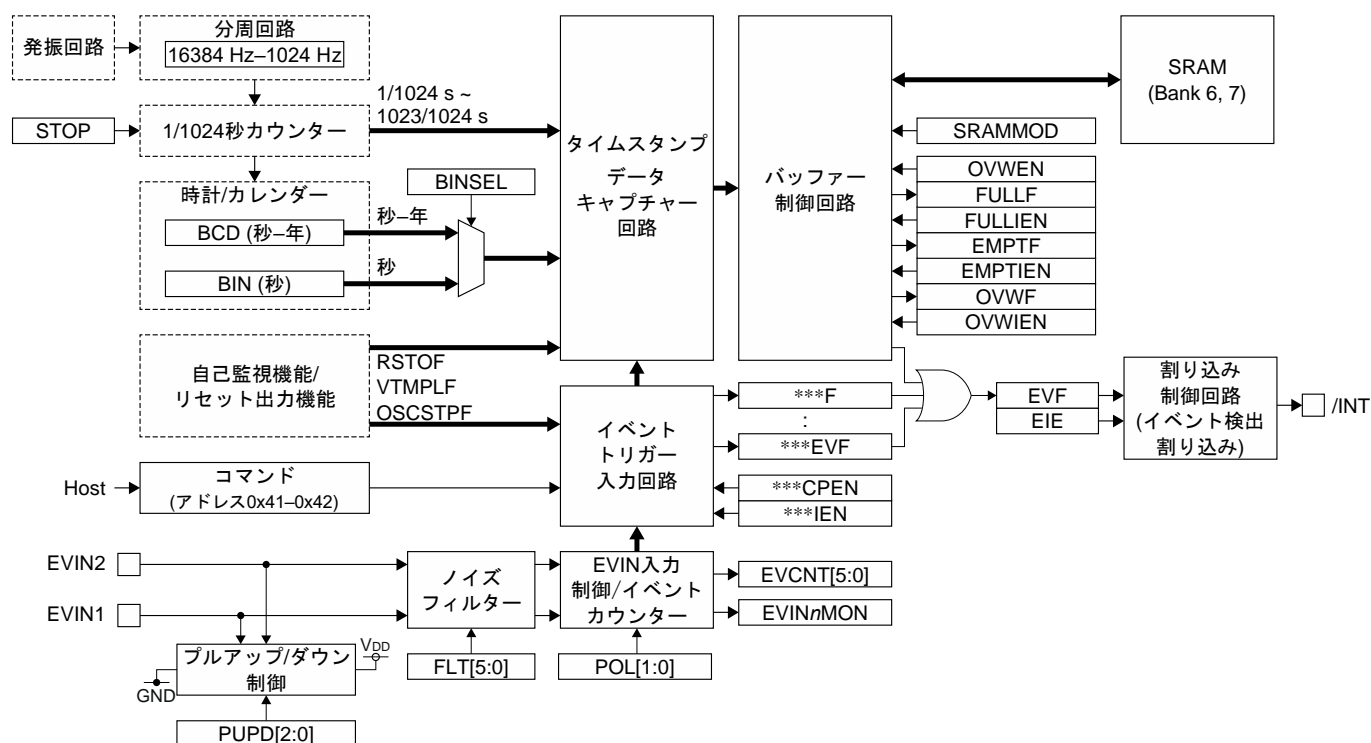


図 3.31 タイムスタンプ回路の構成

### 3.11.2 タイムスタンプトリガー

RA4000CE/RA8000CEは外部または内部イベントの発生、もしくは特定レジスタへの書き込みをトリガーとして、その時点のタイムスタンプデータを取得してバッファーに書き込みます。それぞれのタイムスタンプトリガーを、EVIN $n$ イベント入力トリガー、内部イベントトリガー、コマンドトリガーと言います。

#### 外部イベント入力 (EVIN $n$ 端子)トリガー

外部イベント入力トリガー信号はEVIN1およびEVIN2端子から入力されます。この外部イベントトリガー入力に関連する機能を以下に示します。

#### プルアップ/プルダウン抵抗

EVIN $n$ 端子にはプルアップ/プルダウン抵抗が内蔵されており、その構成を選択することができます。

表 3.16 EVIN $n$ 端子のプルアップ/ダウン

EVIN1_CFG.PUPD[2:0] EVIN2_CFG.PUPD[2:0]	プルアップ/ダウン抵抗
0b000	プルアップ/ダウンなし
0b001	プルアップ 500 k $\Omega$
0b010	プルアップ 1 M $\Omega$ (デフォルト)
0b011	プルアップ 10 M $\Omega$
0b100	プルダウン 500 k $\Omega$
その他	プルアップ/ダウンなし

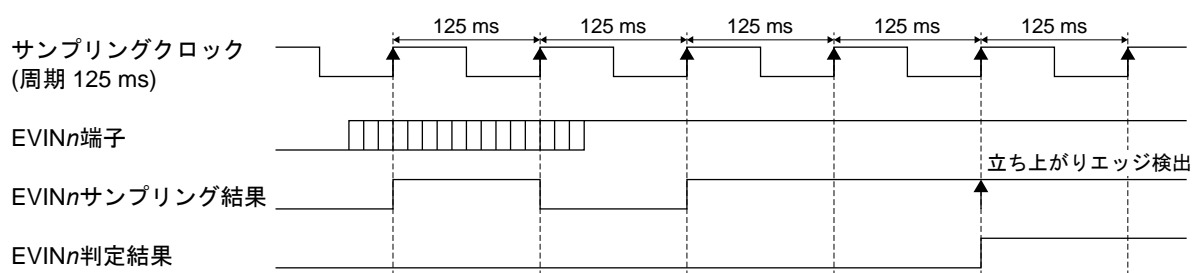
#### ノイズフィルター

EVIN $n$ 端子には入力信号のノイズを除去するノイズフィルター回路が設けられています。EVIN $n$ 端子への入力信号を125 ms周期でサンプリングし、その結果がEVIN $n$ \_FLT.FLT[5:0]の設定回数分、連続して一致したときに、その論理値が入力されたと判定します。

EVIN1ノイズフィルター: EVIN1\_FLT.FLT[5:0]ビット

EVIN2ノイズフィルター: EVIN2\_FLT.FLT[5:0]ビット (フィルター時間 [ms] = FLT[5:0] × 125)

以下の図は、FLT[5:0]=0x03に設定した例です。



(立ち上がりエッジ検出時, EVIN $n$ \_FLT.FLT[5:0]ビット = 0x03)

図 3.32 EVIN $n$ のノイズフィルター機能

注: • EVIN $n$ \_FLT.FLT[5:0]ビットを0x00に設定した場合でも、有効な入力信号としてEVIN $n$ 端子の入力信号1 ms以上のパルス幅が必要です。

• 入力信号は入力検出から5 ms後に取り込まれるため、タイムスタンプの取得まで5 msの遅延が生じます。

表 3.17 EVIN<sub>n</sub>入力有効パルス幅

EVIN <sub>n</sub> _FLT. FLT[5:0]	入力信号のエッジと125msごとのサンプリングタイミングとの前後関係によって、エッジ入力が出検される場合とされない場合が生じるEVIN <sub>n</sub> のパルス幅	常にエッジ入力が出検されるEVIN <sub>n</sub> のパルス幅
0x00	–	1 ms以上
0x01 (設定禁止)	–	–
0x02	125 ms以上、250 ms未満	250 ms以上
0x03	250 ms以上、375 ms未満	375 ms以上
⋮	⋮	⋮
0x27	4750 ms以上、4875 ms未満	4875 ms以上
0x28	4875 ms以上、5000 ms未満	5000 ms以上
0x29以上 (設定禁止)	–	–

## 入力検出

EVIN<sub>n</sub>端子に入力される信号の検出エッジを設定可能です。

表 3.18 EVIN<sub>n</sub>入力検出エッジ

EVIN1_CFG.POL[1:0] EVIN2_CFG.POL[1:0]	検出エッジ
0b00	立ち下がリエッジ (デフォルト)
0b01	立ち上がリエッジ
0b10	立ち下がりとおよび
0b11	立ち上がリエッジ

## イベントカウンター

各EVIN<sub>n</sub>入力には6ビットカウンターが設けられており、イベントトリガーの入力数を0から63の範囲でカウントすることができます。カウント値は以下のビットから読み出し可能です。

EVIN1イベントカウンター: EVIN1\_EVCNT.EVCNT[5:0]ビット

EVIN2イベントカウンター: EVIN2\_EVCNT.EVCNT[5:0]ビット

## モニター

EVIN<sub>n</sub>端子の現在の状態 (入力ロジックレベル) をモニターするビットが用意されています。

EVIN1モニター: EVINMON.EVIN1MONビット

EVIN2モニター: EVINMON.EVIN2MONビット (1: HIGHレベル入力、0: LOWレベル入力)

## 内部イベントトリガー

電源電圧の低下を検出した時点で、または発振の停止を検出した時点で内部イベントトリガーを発行することができます。

リセット出力 (V<sub>DD</sub> < -V<sub>DET1n</sub>検出時にタイムスタンプデータを取得)

V<sub>DET2</sub>電圧低下検出 (V<sub>DD</sub> ≤ V<sub>DET2</sub>検出時にタイムスタンプデータを取得)

発振停止検出 (タイムスタンプデータの取得は、発振が再開したタイミングで作動します。)

## コマンドトリガー

WRCMD\_CFG.COMDTRGENビットを1に設定した上でレジスターWRCMD\_TRGに任意の値を書き込むことで、コマンドトリガーを発行可能です。

### 3.11.3 タイムスタンプバッファ

RA4000CE/RA8000CEには32バイトSRAM(レジスタRAM)が搭載されており、取得したタイムスタンプデータを格納するタイムスタンプバッファとして使用されます。

#### タイムスタンプデータ

タイムスタンプバッファは、イベントが発生した日時、内部ステータス、トリガー要因で構成されるタイムスタンプデータを2回分格納可能です。記録する日時データは、BCDカウンターデータとBINカウンターデータのいずれかをBUF1\_CFG1.BINSELビットで選択します。

タイムスタンプバッファ内のデータ構成を図 3.33に示します。バッファがクリアされてから最初に取得したデータはBank 6 (アドレス0x60から0x69) から、2回目またはそれ以降の最新データはBank 7 (アドレス0x70から0x79) から読み出し可能です。バッファに取得するデータは、アドレス0x60から0x69まで、あるいは、0x70から0x79まで連続してアクセスすることにより読み出し可能です。

#### BCDカウンターデータ取得時 (BUF1\_CFG1.BINSELビット = 0)

Address	Captured data	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60 0x70	1/1024秒の分周カウンターデータ	SUBSEC1	SUBSEC0	-	-	-	-	-	-
		2	1						
0x61 0x71		SUBSEC9	SUBSEC8	SUBSEC7	SUBSEC6	SUBSEC5	SUBSEC4	SUBSEC3	SUBSEC2
		512	256	128	64	32	16	8	4
0x62 0x72	秒BCDデータ (0-59)	-	-	SEC_H[2:0] 10秒桁 (BCD)	-	-	SEC_L[3:0] 1秒桁 (BCD)	-	-
0x63 0x73	分BCDデータ (0-59)	-	-	MIN_H[2:0] 10分桁 (BCD)	-	-	MIN_L[3:0] 1分桁 (BCD)	-	-
0x64 0x74	時BCDデータ (0-23)	-	-	HOUR_H[1:0] 10時桁 (BCD)	-	-	HOUR_L[3:0] 1時桁 (BCD)	-	-
0x65 0x75	日BCDデータ (1-31)	-	-	DAY_H[1:0] 10日桁 (BCD)	-	-	DAY_L[3:0] 1日桁 (BCD)	-	-
0x66 0x76	月BCDデータ (1-12)	-	-	-	MONTH_H 10月桁 (BCD)	-	MONTH_L[3:0] 1月桁 (BCD)	-	-
0x67 0x77	年BCDデータ (0-99)	-	-	YEAR_H[3:0] 10年桁 (BCD)	-	-	YEAR_L[3:0] 1年桁 (BCD)	-	-
0x68 0x78	内部ステータス	-	EVIN2POL EVIN2入力 ステータス	EVIN1POL EVIN1入力 ステータス	-	RSTOSTAT リセット出力 ステータス	VTMPLSTAT V <sub>DET2</sub> 低下検出 ステータス	-	OSCSTP STAT 発振停止検出 ステータス
0x69 0x79	データを取得したトリガー要因	OVSFSTAT* オーバー ライト ステータス	EVIN2TRG トリガー発生	EVIN1TRG トリガー発生	WRCMDTRG コマンド トリガー発生	RSTOTRG リセット出力 トリガー発生	VTMPLTRG V <sub>DET2</sub> 低下検出 トリガー発生	-	OSCSTPTRG 発振停止検出 トリガー発生

\* OVSFSTATはアドレス0x79にのみ存在します (アドレス0x69にはありません)。

#### BINカウンターデータ取得時 (BUF1\_CFG1.BINSELビット = 1)

Address	Captured data	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60 0x70	1/1024秒の分周カウンターデータ	SUBSEC1	SUBSEC0	-	-	-	-	-	-
		2	1						
0x61 0x71		SUBSEC9	SUBSEC8	SUBSEC7	SUBSEC6	SUBSEC5	SUBSEC4	SUBSEC3	SUBSEC2
		512	256	128	64	32	16	8	4
0x62 0x72	秒バイナリーデータ0	SEC_BIN7 128 s	SEC_BIN6 64 s	SEC_BIN5 32 s	SEC_BIN4 16 s	SEC_BIN3 8 s	SEC_BIN2 4 s	SEC_BIN1 2 s	SEC_BIN0 1 s
0x63 0x73	秒バイナリーデータ1	SEC_BIN15 32768 s	SEC_BIN14 16384 s	SEC_BIN13 8192 s	SEC_BIN12 4096 s	SEC_BIN11 2048 s	SEC_BIN10 1024 s	SEC_BIN9 512 s	SEC_BIN8 256 s
0x64 0x74	秒バイナリーデータ2	SEC_BIN23 8388608 s	SEC_BIN22 4194304 s	SEC_BIN21 2097152 s	SEC_BIN20 1048576 s	SEC_BIN19 524288 s	SEC_BIN18 262144 s	SEC_BIN17 131072 s	SEC_BIN16 65536 s
0x65 0x75	秒バイナリーデータ3	SEC_BIN31 2147483648 s	SEC_BIN30 1073741824 s	SEC_BIN29 536870912 s	SEC_BIN28 268435456 s	SEC_BIN27 134217728 s	SEC_BIN26 67108864 s	SEC_BIN25 33554432 s	SEC_BIN24 16777216 s
0x66 0x76	秒バイナリーデータ4	-	-	-	-	-	-	-	SEC_BIN32 4294967296 s
0x67 0x77	-	-	-	-	-	-	-	-	-
0x68 0x78	内部ステータス	-	EVIN2POL EVIN2入力 ステータス	EVIN1POL EVIN1入力 ステータス	-	RSTOSTAT リセット出力 ステータス	VTMPLSTAT V <sub>DET2</sub> 低下検出 ステータス	-	OSCSTP STAT 発振停止検出 ステータス
0x69 0x79	データを取得したトリガー要因	OVSFSTAT* オーバー ライト ステータス	EVIN2TRG トリガー発生	EVIN1TRG トリガー発生	WRCMDTRG コマンド トリガー発生	RSTOTRG リセット出力 トリガー発生	VTMPLTRG V <sub>DET2</sub> 低下検出 トリガー発生	-	OSCSTPTRG 発振停止検出 トリガー発生

\* OVSFSTATはアドレス0x79にのみ存在します (アドレス0x69にはありません)。

図 3.33 タイムスタンプデータと読み出しアドレス

## タイムスタンプバッファの動作モード

タイムスタンプバッファにはダイレクトモード、SRAMモードの2種類の動作モードが用意されており、BUF1\_CFG2.SRAMMODビットで選択可能です。

### ダイレクトモード (BUF1\_CFG2.SRAMMODビット = 0)

タイムスタンプデータを読み出すためのモードで、ホストからバッファへの書き込みは行えません。図 3.33に示したとおり、Bank 6 (アドレス0x60から0x69) とBank 7 (アドレス0x70から0x79) からタイムスタンプデータを読み出すことができます。

### SRAMモード (BUF1\_CFG2.SRAMMODビット = 1)

このモードでは、Bank 6 (アドレス0x60から0x6F) とBank 7 (アドレス0x70から0x7F) を通してバッファを通常のSRAMと同様にリード/ライトアクセスすることが可能です。SRAMの物理アドレスとリード/ライトアドレスの関係は次のとおりです。

SRAMアドレス	SRAMデータR/Wアドレス
0x00	アドレス0x60
0x01	アドレス0x61
0x02	アドレス0x62
0x03	アドレス0x63
:	:
0x0D	アドレス0x6D
0x0E	アドレス0x6E
0x0F	アドレス0x6F
0x10	アドレス0x70
0x11	アドレス0x71
0x12	アドレス0x72
0x13	アドレス0x73
:	:
0x1D	アドレス0x7D
0x1E	アドレス0x7E
0x1F	アドレス0x7F

図 3.34 SRAMモード時のメモリアクセス

## タイムスタンプバッファの書き込みモード

タイムスタンプバッファがクリアされた状態から、バッファに2回分のタイムスタンプデータが記録されると、バッファフルの状態になります。これ以降の動作を指定する2種類の書き込みモードが用意されています。

### オーバーライトモード

BUF1\_CFG1.OVWENビットを1に設定すると、タイムスタンプバッファはオーバーライトモードになります。バッファフルの状態で、さらにタイムスタンプトリガーが発生すると、Bank 6に記録されたタイムスタンプはそのままに、Bank 7へ新しいタイムスタンプが上書きされます。オーバーライトが発生した場合はBUF1\_STAT.OVWFビットが1にセットされます。

### オーバーライト禁止モード

BUF1\_CFG1.OVWENビットを0に設定すると、タイムスタンプバッファはオーバーライト禁止モードになります。バッファフルの状態でタイムスタンプトリガーが発生すると、オーバーライトのフラグBUF1\_STAT.OVWFビットはセットされますが、キャプチャーされたデータは破棄され、Bank 6, Bank 7に記録されたタイムスタンプは保持されます。

### 3.11.4 動作

#### 初期設定

1. /INTからのイベント検出割り込み出力を禁止  
初期設定中に不要なイベント検出割り込みが発生することを防止するため、割り込みを禁止してください。
  - 1-1. TSTP\_INTE.EIEビットを0に設定する。 (タイムスタンプイベント検出割り込みディスエーブル)
2. EVIN<sub>n</sub>入力の設定
  - 2-1. EVIN1入力を使用する場合、レジスタEVIN1\_CFGとEVIN1\_FLTの以下のビットを設定する。
    - EVIN1\_CFG.PUPD[2:0]ビット (プルアップ/プルダウン抵抗の設定)
    - EVIN1\_CFG.POL[1:0]ビット (検出エッジを選択)
    - EVIN1\_FLT.FLT[5:0]ビット (入力フィルター時間を設定)
  - 2-2. EVIN2入力を使用する場合、レジスタEVIN2\_CFGとEVIN2\_FLTの以下のビットを設定する。
    - EVIN2\_CFG.PUPD[2:0]ビット (プルアップ/プルダウン抵抗の設定)
    - EVIN2\_CFG.POL[1:0]ビット (検出エッジを選択)
    - EVIN2\_FLT.FLT[5:0]ビット (入力フィルター時間を設定)
3. 割り込みの設定
  - 3-1. 外部イベント入力割り込みを許可する場合は、レジスタEVNT\_INTEの以下のビットを1 (禁止する場合は0) に設定する。
    - EVNT\_INTE.EVIN1IENビット\*1 (EVIN1イベント入力割り込みを許可/禁止)
    - EVNT\_INTE.EVIN2IENビット\*1 (EVIN2イベント入力割り込みを許可/禁止)
  - 3-2. 内部イベント割り込みを許可する場合は、レジスタEVNT\_INTEの以下のビットを1 (禁止する場合は0) に設定する。
    - EVNT\_INTE.RSTOENビット\*1 (リセット出力イベント割り込みを許可/禁止)
    - EVNT\_INTE.VTMPLIENビット\*1 (V<sub>DET2</sub>電圧低下検出イベント割り込みを許可/禁止)
    - EVNT\_INTE.OSCSTPIENビット\*1 (発振停止検出イベント割り込みを許可/禁止)

\*1 タイムスタンプデータの取得が許可されているか否かにかかわらず、これらのビットにより各イベントの発生による割り込みが許可/禁止されます。
  - 3-3. タイムスタンプトリガー入力割り込みを許可する場合は、レジスタBUF1\_CFG1の以下のビットを1 (禁止する場合は0) に設定する。
    - BUF1\_CFG1.FULLIENビット (バッファフル (2回目取得) 割り込みを許可/禁止)
    - BUF1\_CFG1.EMPTIENビット (バッファーエンプティ解消 (1回目取得) 割り込みを許可/禁止)
    - BUF1\_CFG1.OVWIENビット (バッファーオーバーライト (3回目以降取得) 割り込みを許可/禁止)
4. バッファの設定
  - 4-1. レジスタBUF1\_CFG1の以下のビットを設定する。
    - BUF1\_CFG1.BINSELビット (日時データ形式 (BCD/BIN) の選択)
    - BUF1\_CFG1.OVWENビット (オーバーライト/オーバーライト禁止モードの選択)
5. コマンドトリガーによるイベントカウンターとバッファのフラグのクリア
  - 5-1. 必要に応じて、SRAMモードに移行し、バッファ内データをALL\_1/0などにクリアする。  
SRAMモードに関しては、“3.11.6 SRAMモードでのリード/ライト”を参照してください。
  - 5-2. レジスタWRCMD\_CFGに0x90を書き込む。 (クリアコマンド)
  - 5-3. レジスタWRCMD\_TRGに任意の値を書き込む。 (コマンドトリガー発行)

6. /INTからのイベント検出割り込み出力を許可
  - 6-1. TSTP\_INTE.EIEビットを1に設定する。(タイムスタンプイベント検出割り込みイネーブル)
7. タイムスタンプを取得する外部イベントを設定
  - 7-1. EVIN $n$ 入力でタイムスタンプを取得する場合は、レジスターEVIN\_ENの以下のビットを1(禁止する場合は0)に設定する。
    - EVIN\_EN.EVIN1CPENビット (EVIN1入力によるタイムスタンプキャプチャーを許可/禁止)
    - EVIN\_EN.EVIN2CPENビット (EVIN2入力によるタイムスタンプキャプチャーを許可/禁止)
8. タイムスタンプを取得する内部イベントを設定
  - 8-1. 内部イベントの発生時にタイムスタンプを取得する場合は、レジスターCAP\_ENの以下のビットを1(禁止する場合は0)に設定する。
    - CAP\_EN.RSTOCPENビット (リセット出力イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
    - CAP\_EN.VTMPLCPENビット (V<sub>DET2</sub>電圧低下検出イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
    - CAP\_EN.OSCSTPCPENビット (発振停止検出イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
9. 外部イベントの入力受付許可
  - 9-1. EVIN $n$ 端子からの外部イベント入力を許可する場合は、レジスターEVIN\_ENの以下のビットを1(禁止する場合は0)に設定する。
    - EVIN\_EN.EVIN1ENビット\*2 (EVIN1からの外部イベント入力を許可/禁止)
    - EVIN\_EN.EVIN2ENビット\*2 (EVIN2からの外部イベント入力を許可/禁止)

\*2 EVIN\_EN.EVIN $n$ ENビットを0(EVIN $n$ 入力を禁止)に設定する場合は、EVIN\_EN.EVIN $n$ CPENビットも0に設定してください。



## タイムスタンプキャプチャー動作

タイムスタンプキャプチャーが許可されたイベント、またはコマンドトリガーによるトリガーが発生すると、RA4000CE/RA8000CEはタイムスタンプデータをカウンターおよびフラグより取得し、バッファに書き込みます。

バッファークリア後、最初に取得したタイムスタンプデータはBank 6のバッファに、2回目に取得したデータはBank 7のバッファに書き込まれます。その後の取得データはバッファがコマンドによりクリアされるまで、オーバーライトモード時はBank 7のバッファに上書きされ、オーバーライト禁止モード時は破棄されます。

図 3.35と図 3.36にデータのキャプチャーによるバッファおよびバッファステータスビットの状態を示します。

タイムスタンプ取得	初期状態	1回目	2回目	CLR *1	3回目	4回目	CLR *1	5回目	6回目	CLR *1	7回目	8回目
<b>バッファ</b>												
Bank 6	不定	1st data	1st data	1st data	3rd data	3rd data	3rd data	5th data	5th data	5th data	7th data	7th data
Bank 7	不定	不定	2nd data	2nd data	2nd data	4th data	4th data	4th data	6th data	6th data	6th data	8th data
Bank 6読み出し		↑			↑			↑			↑	
Bank 7読み出し			↑			↑			↑			↑
<b>フラグ割り込み</b>												
BUF1_STAT.EMPTF	1	0	0	1	0	0	1	0	0	1	0	0
バッファークリア割り込み		↑			↑			↑			↑	
BUF1_STAT.FULLF	0	0	1	0	0	1	0	0	1	0	0	1
バッファフル割り込み			↑			↑			↑			↑
BUF1_STAT.OVWF	0	0	0	0	0	0	0	0	0	0	0	0
バッファオーバーライト割り込み												
<b>イベントカウンター *2</b>												
EVIN $n$ _EVCNT.ECNT[5:0]	0x00	0x01	0x02	0x00	0x01	0x02	0x00	0x01	0x02	0x00	0x01	0x02
タイムスタンプ取得	9回目	10回目	11回目	...	69回目	70回目	71回目	CLR *1	72回目	73回目	74回目	75回目
<b>バッファ</b>												
Bank 6	7th data	7th data	7th data	7th data	7th data	7th data	7th data	7th data	72nd data	72nd data	72nd data	72nd data
Bank 7	8th data	8th data	8th data	8th data	8th data	8th data	8th data	8th data	8th data	73rd data	73rd data	73rd data
Bank 6読み出し												
Bank 7読み出し												
<b>フラグ割り込み</b>												
BUF1_STAT.EMPTF	0	0	0	0	0	0	0	1	0	0	0	0
バッファークリア割り込み									↑			
BUF1_STAT.FULLF	1	1	1	1	1	1	1	0	0	1	1	1
バッファフル割り込み										↑		
BUF1_STAT.OVWF	1	1	1	1	1	1	1	0	0	0	1	1
バッファオーバーライト割り込み	↑	↑	↑	↑	↑	↑	↑				↑	↑
<b>イベントカウンター *2</b>												
EVIN $n$ _EVCNT.ECNT[5:0]	0x03	0x04	0x05	...	0x3F	0x00	0x01	0x00	0x01	0x02	0x03	0x04

■ Bank 6への新データ書き込み    ■ Bank 7への新データ書き込み

\*1: CLR = レジスタWRCMD\_CFGを0x90に設定してコマンドトリガーを実行

\*2: イベントカウンターの内容はEVIN $n$ 入力以外のイベントトリガーが発生しなかった場合の値です。

図 3.35 タイムスタンプキャプチャー動作 (オーバーライト禁止モード)

タイムスタンプ取得	初期状態	1回目	2回目	CLR *1	3回目	4回目	CLR *1	5回目	6回目	CLR *1	7回目	8回目
バッファ												
Bank 6	不定	1st data	1st data	1st data	3rd data	3rd data	3rd data	5th data	5th data	5th data	7th data	7th data
Bank 7	不定	不定	2nd data	2nd data	2nd data	4th data	4th data	4th data	6th data	6th data	6th data	8th data
Bank 6読み出し		↑			↑			↑			↑	
Bank 7読み出し			↑			↑			↑			↑
フラグ割り込み												
BUF1_STAT.EMPTF	1	0	0	1	0	0	1	0	0	1	0	0
バッファエンプティ解消割り込み		↑			↑			↑			↑	
BUF1_STAT.FULLF	0	0	1	0	0	1	0	0	1	0	0	1
バッファフル割り込み			↑			↑			↑			↑
BUF1_STAT.OVWF	0	0	0	0	0	0	0	0	0	0	0	0
バッファオーバーライト割り込み												
イベントカウンタ *2												
EVIN $n$ _EVCNT.ECNT[5:0]	0x00	0x01	0x02	0x00	0x01	0x02	0x00	0x01	0x02	0x00	0x01	0x02
タイムスタンプ取得	9回目	10回目	11回目	...	63回目	64回目	65回目	CLR *1	66回目	67回目	68回目	69回目
バッファ												
Bank 6	7th data	7th data	7th data	7th data	7th data	7th data	7th data	7th data	66th data	66th data	66th data	66th data
Bank 7	9th data	10th data	11th data	...	63rd data	64th data	65th data	65th data	65th data	67th data	68th data	69th data
Bank 6読み出し												
Bank 7読み出し												
フラグ割り込み												
BUF1_STAT.EMPTF	0	0	0	0	0	0	0	1	0	0	0	0
バッファエンプティ解消割り込み									↑			
BUF1_STAT.FULLF	1	1	1	1	1	1	1	0	0	1	1	1
バッファフル割り込み										↑		
BUF1_STAT.OVWF	1	1	1	1	1	1	1	0	0	0	1	1
バッファオーバーライト割り込み	↑	↑	↑	↑	↑	↑	↑				↑	↑
イベントカウンタ *2												
EVIN $n$ _EVCNT.ECNT[5:0]	0x03	0x04	0x05	...	0x3F	0x00	0x01	0x00	0x01	0x02	0x03	0x04

■ Bank 6への新データ書き込み ■ Bank 7への新データ書き込み

\*1: CLR = レジスタWRCMD\_CFGを0x90に設定してコマンドトリガーを実行

\*2: イベントカウンタの内容はEVIN $n$ 入力以外のイベントトリガーが発生しなかった場合の値です。

図 3.36 タイムスタンプキャプチャー動作 (オーバーライトモード)

## バッファステータス

バッファの状態を示す以下のフラグが用意されています。

- バッファエンプティフラグ (BUF1\_STAT.EMPTFビット)
- バッファフルフラグ (BUF1\_STAT.FULLFビット)
- バッファオーバーライトフラグ (BUF1\_STAT.OVWFビット)

初期状態では、バッファはエンプティ状態 (バッファ内のデータは不定) となり、バッファステータスフラグは以下のように設定されます。

BUF1\_STAT.EMPTFビット = 1 (バッファエンプティ)

BUF1\_STAT.FULLFビット = 0 (バッファに空きあり)

BUF1\_STAT.OVWFビット = 0 (オーバーライトなし)

WRCMD\_CFG.BUF1FCLRENビットを1 (バッファーステータスフラグリセット) に設定してコマンドトリガーを発行 (レジスタWRCMD\_TRGに任意の値を書き込む) することによってもバッファはエンプティ状態となり、バッファーステータスフラグも上記のとおりリセットされます。ただし、バッファの内容は消去されずに残ります。バッファデータを消去する場合は、SRAMモードに移行して、バッファデータを書き換え可能です。SRAMモードに関しては、“3.11.6 SRAMモードでのリード/ライト”を参照ください。

### 1. 1回目のタイムスタンプデータを取得した場合

エンプティ状態から最初のタイムスタンプを取得すると、そのデータはBank 6のバッファに書き込まれ、バッファーステータスフラグは以下のように設定されます。

BUF1\_STAT.EMPTFビット = 0 (バッファにデータあり)  
 BUF1\_STAT.FULLFビット = 0 (バッファに空きあり)  
 BUF1\_STAT.OVWFビット = 0 (オーバーライトなし)

BUF1\_STAT.EMPTFビットが0になった時点でバッファエンプティ解消割り込みを発生可能です。この割り込みを利用してBank 6のタイムスタンプデータを読み出します。なお、この読み出しではBUF1\_STAT.EMPTFビットは1にリセットされません。

### 2. 2回目のタイムスタンプデータを取得した場合

1の後に2回目のタイムスタンプを取得すると、Bank 6が読み出されたか否かにかかわらず、そのデータはBank 7のバッファに書き込まれ、バッファーステータスフラグは以下のように設定されます。

BUF1\_STAT.EMPTFビット = 0 (バッファにデータあり)  
 BUF1\_STAT.FULLFビット = 1 (バッファフル)  
 BUF1\_STAT.OVWFビット = 0 (オーバーライトなし)

BUF1\_STAT.FULLFビット = 1になった時点でバッファフル割り込みを発生可能です。この割り込みを利用してBank 7のタイムスタンプデータを読み出します。なお、この読み出しではBUF1\_STAT.FULLFビットは0にクリアされません。

### 3. 3回目の (またはそれ以降の) タイムスタンプデータを取得した場合

#### オーバーライトモード時

バッファフルの状態で新たなタイムスタンプを取得すると、Bank 6とBank 7が読み出されたか否かにかかわらず、そのデータはBank 7のバッファに上書きされ、バッファーステータスフラグは以下のように設定されます。

BUF1\_STAT.EMPTFビット = 0 (バッファにデータあり)  
 BUF1\_STAT.FULLFビット = 1 (バッファフル)  
 BUF1\_STAT.OVWFビット = 1 (オーバーライトあり)

BUF1\_STAT.OVWFビット = 1になった時点でバッファオーバーライト割り込みを発生可能です。バッファーステータスフラグがこの状態になった場合、Bank 7の読み出し前のデータは上書きされたこととなります。これを防ぐには、Bank 6とBank 7の読み出し後にコマンドトリガー (バッファーステータスフラグリセット) を発行し、バッファをエンプティ状態に戻しておく必要があります。

#### オーバーライト禁止モード時

バッファフルの状態で新たなタイムスタンプが取得されると、そのデータはバッファには書き込まれず破棄されます。バッファーステータスフラグは以下のように設定されます。

BUF1\_STAT.EMPTFビット = 0 (バッファにデータあり)  
 BUF1\_STAT.FULLFビット = 1 (バッファフル)  
 BUF1\_STAT.OVWFビット = 1 (オーバーライトあり)

オーバーライト禁止モードの場合も、3回目以降のタイムスタンプデータ取得時にBUF1\_STAT.OVWFビットが1にセットされ、バッファオーバーライト割り込みを発生可能です。ただし、Bank 6とBank 7は初期状態またはバッファーステータスフラグリセットから2回目までのタイムスタンプデータを保持しています。

## コマンドトリガーの発行

RA4000CE/RA8000CEにはレジスターへの書き込みによりタイムスタンプトリガーを発生させる機能があります。その手順は以下のとおりです。

1. WRCMD\_CFG.CMDTRGENビットを1に設定する。 (コマンドトリガーを指定)
2. WRCMD\_TRG.WRTRG[7:0]ビットに任意の値を書き込む。 (コマンドトリガーの発行)
3. BUF\_INTF.BUF1IFビットが1にセットされたことを確認する。  
あるいは、BUF1\_CFG2.RDPAGE[3:0]ビットがインクリメントされたことを確認する。
4. WRCMD\_TRG.WRTRG[7:0]ビットが0x00に戻ったことを確認する。

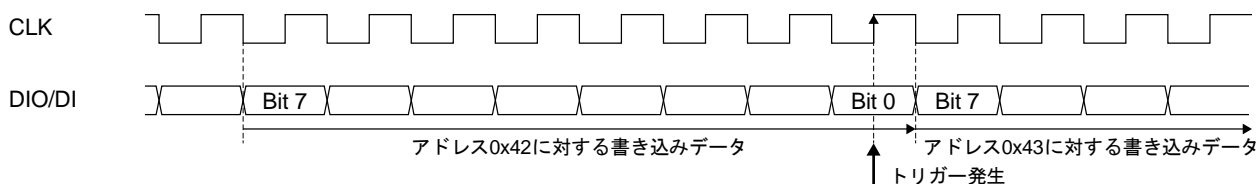
手順3はタイムスタンプトリガーが正常に受け付けられたことを確認する手順です。

手順4はコマンドトリガー発行直後にタイムスタンプデータを読み出す場合や、次のコマンドトリガーを発行する場合に必要です。

注: このタイムスタンプトリガーを連続して発行する場合は、それぞれのトリガーの間に5 ms以上のインターバルが必要です。

コマンドトリガーによるタイムスタンプトリガーのタイミングを図 3.37に示します。RA4000CE、RA8000CEともに、レジスターWRCMD\_TRGのデータのLSBのクロック立ち上がりエッジでコマンドトリガーが発行されます。

### RA4000CE



### RA8000CE

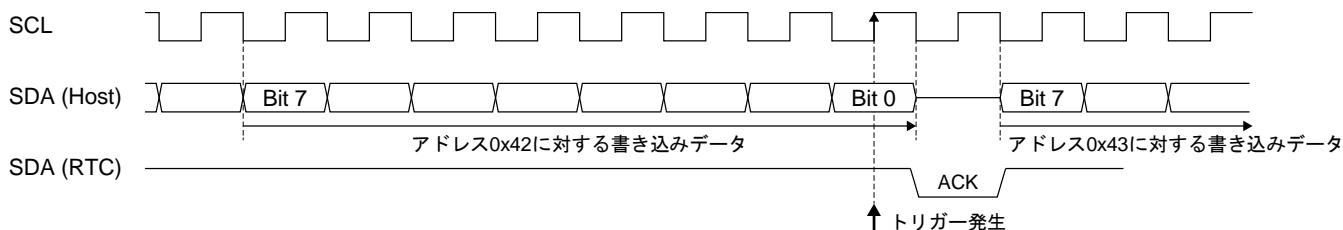


図 3.37 コマンドトリガータイミング

コマンドトリガーには上記のタイムスタンプトリガー以外に、以下の機能もあります。

WRCMD\_CFG.EVCNTCLRENビット: 1に設定してコマンドトリガーを発行することにより、イベントカウンター (レジスターEVIN<sub>n</sub>\_EVCNT) をクリアします。

WRCMD\_CFG.BUF1FCLRENビット: 1に設定してコマンドトリガーを発行することにより、以下のフラグをクリアします。

BUF1\_STAT.FULLFビット (バッファフルフラグ)

BUF1\_STAT.EMPTFビット (バッファエンプティフラグ)

BUF1\_STAT.OVWFビット (バッファオーバーライトフラグ)

## タイムスタンプデータの読み出し

タイムスタンプデータ読み出し手順の一例を以下に示します。

1. 割り込み発生 (INT=L) 後、レジスターINTF (またはレジスターINTF\_MIR) を読み出す。  
INTF.EVFBビット = 1の場合はタイムスタンプイベント検出割り込みが発生していますので、手順2以下を実行します。

それ以外の割り込みが発生した場合は、対応する割り込み処理を実行してください。

2. レジスターEVNT\_INTFとBUF\_INTF を読み出して、発生している割り込み要因を特定する。

<レジスターEVNT\_INTF内のフラグがセットされている場合>

EVIN<sub>n</sub>入力または内部イベントが発生したことを示します。表 3.19に各フラグのセット条件を示します。発生したイベントに従い、割り込み処理を実行してください。また、セットされているフラグは割り込み処理内で0を書き込んでクリアしてください。

注: EVNT\_INTF.RSTOEVFBビット = 1の場合、BUF\_INTF.RSTOFビットも同時にセットされています。この後、リセット出カイベントによりタイムスタンプデータを取得するためには、これら2つのフラグをクリアする必要があります。EVNT\_INTF.RSTOEVFBビットは0の書き込みで即時クリアされますが、BUF\_INTF.RSTOFビットはV<sub>DD</sub>電圧が+V<sub>DET1n</sub>以上に復帰するまでクリアできません。したがって、次のリセット出カイベントによるタイムスタンプデータの取得はV<sub>DD</sub>電圧が復帰した後に可能になります。BUF\_INTF.RSTOFビットの詳細は、“3.9 リセット出力機能”を参照してください。

<BUF\_INTF.BUFB1Fビット = 1の場合>

この割り込みは、キャプチャーを許可しているイベントの発生により、タイムスタンプデータがバッファーに書き込まれることで発生します。

以下の操作を行い、データを読み出してください。

3. 割り込みを一時的に禁止する場合は、TSTP\_INTE.EIEビットを0に設定する。  
(タイムスタンプイベント検出割り込みディスエーブル)
4. レジスターBUF1\_STATを読み出し、バッファーの状態を確認する。

<状態1>

BUF1\_STAT.EMPTFBビット = 0 (バッファーにデータあり)

BUF1\_STAT.FULLFBビット = 0 (バッファーに空きあり)

BUF1\_STAT.OVWFBビット = 0 (オーバーライトなし)

Bank 6に1回目のタイムスタンプデータが書き込まれています。

<状態2>

BUF1\_STAT.EMPTFBビット = 0 (バッファーにデータあり)

BUF1\_STAT.FULLFBビット = 1 (バッファーフル)

BUF1\_STAT.OVWFBビット = 0 (オーバーライトなし)

Bank 6に1回目のタイムスタンプデータ、Bank 7に2回目のタイムスタンプデータが書き込まれています。

<状態3>

BUF1\_STAT.EMPTFBビット = 0 (バッファーにデータあり)

BUF1\_STAT.FULLFBビット = 1 (バッファーフル)

BUF1\_STAT.OVWFBビット = 1 (オーバーライトあり)

オーバーライト禁止モードの場合、Bank 6とBank 7には<状態2>と同じデータが保持されています。その後取得されたデータは破棄されました。

オーバーライトモードの場合、Bank 6には1回目のタイムスタンプデータが保持されています。Bank 7の読み出し前のデータは、3回目以降の最新データで上書きされました。

5. バッファーの状態に応じてタイムスタンプデータを読み出す。  
Bank 6の読み出し時はアドレス0x60 ~ 0x69の10バイトを、Bank 7の読み出し時はアドレス0x70 ~ 0x79の10バイトを連続して読み出します。各アドレスの内容については図 3.33を参照してください。

以下の場合には、読み出し中にデータが更新される可能性がありますので、2回続けて読み出しを行い、内容が一致した場合にデータが有効と判断してください。

- BUF1\_STATEMPTFビット = 1 (バッファ EMPTY) のときにBank 6を読み出す場合
- BUF1\_STATFULLFビット = 0 (バッファに空きあり) のときにBank 7を読み出す場合
- オーバーライトモード時の<状態2>と<状態3>でBank 7を読み出す場合

<状態3>の場合は新たに取得したデータが破棄 (オーバーライト禁止モード時)、またはBank 7が上書き (オーバーライトモード時) されていますので、必要な処理を実行してください。

6. コマンドトリガーを発行してEVIN $n$ イベントカウンタとバッファのフラグをすべてクリアする。
  - レジスターWRCMD\_CFGに0x90を書き込む。 (クリアコマンド)
  - レジスターWRCMD\_TRGに任意の値を書き込む。 (コマンドトリガー発行)

7. レジスターWRCMD\_TRGが0x00に戻ったことを確認する。 (コマンド実行完了)  
手順6と7により、SRAMのデータ自体はクリアされませんが、バッファEMPTY状態になります。

バッファデータを消去する場合は、SRAMモードに移行して、バッファデータを書き換え可能です。SRAMモードに関しては、"3.11.6 SRAMモードでのリード/ライト"を参照ください。

8. TSTP\_INTE.EIEビットを1に設定する (手順3で0に設定した場合)。  
(タイムスタンプイベント検出割り込みイネーブル)

### 3.11.5 タイムスタンプ (イベント検出) 割り込み

図 3.38にタイムスタンプ割り込み回路の構成を示します。

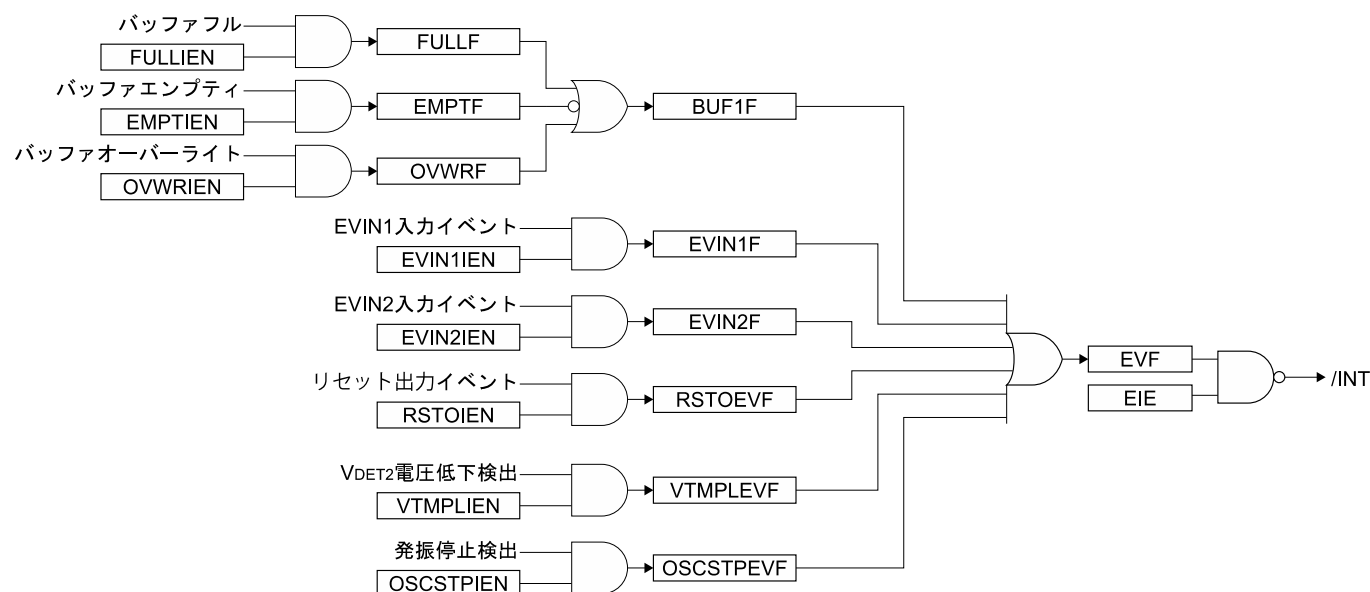


図 3.38 タイムスタンプ割り込み回路の構成

タイムスタンプ機能には以下のイベント検出割り込み要因があります。

表 3.19 イベント検出割り込み要因と制御ビット

割り込み要因フラグ	割り込み許可ビット	割り込み要因フラグのセット条件	クリア条件
BUF1_STAT.FULLF	BUF1_CFG1.FULLIEN	2回目に取得したタイムスタンプデータがBank 7バッファーに書き込まれると (バッファフル状態で) セット FULLIENビット = 0の場合はセットされない	コマンドトリガー (バッファステータスフラグリセット) 実行
BUF1_STAT.EMPTF	BUF1_CFG1.EMPTIEN	初期状態、コマンドトリガー (バッファステータスフラグリセット) 実行により (バッファエンプティ状態で) セット ただし、1回目に取得したタイムスタンプデータがBank 6バッファーに書き込まれ、本フラグがクリアされることにより (バッファにデータありで) 割り込み発生 EMPTIEN = 0の場合はクリアされない	* BUF1_STAT.EMPTF ビットは1にリセット
BUF1_STAT.OVWF	BUF1_CFG1.OVWIEN	3回目またはそれ以降のタイムスタンプデータ取得時にセット OVWIENビット = 0の場合はセットされない	
BUF_INTF.BUF1F	↑	FULLFビット = 1、EMPTFビット = 0、もしくはOVWFビット = 1によりセット FULLIENビット、EMPTIENビット、およびOVWIENビットがすべて0の場合はセットされない	
EVNT_INTF.EVIN1F	EVNT_INTE.EVIN1IEN	EVIN $n$ 端子からイベントトリガーが入力されると、バッファーに書き込まれたか否かにかかわらずセット EVIN $n$ IENビット = 0の場合はセットされない	0書き込みでクリア
EVNT_INTF.EVIN2F	EVNT_INTE.EVIN2IEN		
EVNT_INTF.RSTOEVF	EVNT_INTE.RSTOIEN	/RST端子からのリセット出力を開始するとセット RSTOIENビット = 0の場合はセットされない	
EVNT_INTF.VTMPLEVF	EVNT_INTE.VTMPLEIEN	V <sub>DET2</sub> 電圧低下が検出されるとセット VTMPLEIENビット = 0の場合はセットされない	
EVNT_INTF.OSCSTPEVF	EVNT_INTE.OSCSTPIEN	発振停止が検出されるとセット OSCSTPIENビット = 0の場合はセットされない	

これらの要因は、個別に割り込みの発生を許可/禁止できます。割り込みが許可されている要因が発生すると、割り込み要因フラグがセットされ、これによってINTF.EVFビットが1にセットされます。このとき、TSTP\_INTE.EIEビット = 1 (割り込み許可) であれば/INT端子がLOWになり、ホストに割り込み要求を出力します。1にセットされたINTF.EVFビットは、EVFビットへの0書き込みではクリアされません。INTF.EVFビットをクリアするためには、レジスタBUF\_INTFおよびEVNT\_INTFのフラグのすべてをクリアする必要があります。INTF.EVFビットがクリアされると、同時に/INT端子がHi-Zになります。

### 3.11.6 SRAMモードでのリード/ライト

Bank 6とBank 7は、BUF1\_CFG2.SRAMMODビットを1に設定することによってSRAMモードとなり、通常のレジスターと同様に全ビット、リード/ライトが可能になります。タイムスタンプデータの取得前に、前データをクリアする目的で使用することが可能です。

また、タイムスタンプデータを記録しない場合は、Bank 6とBank 7を汎用RAMとして使用することが可能です。

SRAMモードに設定する場合は、全イベントをタイムスタンプデータキャプチャー禁止に設定してください。



## 3.12 SOUT出力機能

SOUT端子には、ステータスフラグを出力するか、SOUTCTL.DCビットの論理値を出力する機能があります。この機能は、SOUTCTL.DCEビットで選択します。

### ステータス出力

SOUTCTL.DCEビット= 0の場合、SOUTCTL.SOUT[2:0]ビットで選択されている内部ステータスフラグ (割り込みフラグ) の状態がSOUT端子から外部に出力されます。表 3.20にSOUTCTL.SOUT[2:0]ビットで選択されるフラグを示します。

表 3.20 SOUT端子から出力される内部ステータスフラグ

SOUTCTL.SOUT[2:0]	ステータスフラグ
0b000	INTF.TFビット (ウェイクアップタイマー割り込みフラグ)
0b001	INTF.AFビット (アラーム割り込みフラグ)
0b010	INFF.UFビット (時刻更新割り込みフラグ)
0b011	INTF.EFビット (イベント検出割り込みフラグ)
0b100	INTF.VTMPLFビット (温度補償更新停止検出フラグ)
0b101	INTF.VLFビット (日時データ無効警告フラグ)
0b110-0b111	Reserved

SOUTの信号極性は、SOUTCTL.SIGINVビットで指定します。

### DC出力

SOUTCTL.DCEビット= 1の場合、SOUT端子はSOUTCTL.DCビットの論理値を出力します。SOUTCTL.DCビット = 0の場合はLレベルが、SOUTCTL.DCビット = 1の場合はHレベルが出力されます。

## 4 レジスター

### 4.1 レジスター一覧

#### 記号の意味

- ビット名 = -: 書き込み無効で、読み出し値は常に0です。  
 ビット名 = x: 書き込み無効で、読み出し値は不定です。  
 ビット名 = (GP): 汎用ビットで0と1の書き込み/読み出しが可能です。

注: • アドレス値は {バンク番号, バンク内アドレス} です (例: 0x0F = バンク0, アドレス0xF)。

- レジスターへのアクセスは8ビット単位で行います。
- レジスターテーブルに記載のアドレス以外には書き込み/読み出しを行わないでください。
- 電源投入時またはセーフモードからの復帰時にINTF.VLFビット = 1のときは、必ずすべてのレジスターを初期化してください。

#### Bank 0

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x00	SEC (Second Data)	BCD mode	-	SEC_H[2:0]		SEC_L[3:0]			
	Not used	BIN mode	-	-	-	-	-	-	-
0x01	MIN (Minute Data)	BCD mode	-	MIN_H[2:0]		MIN_L[3:0]			
	Not used	BIN mode	-	-	-	-	-	-	-
0x02	HOUR (Hour Data)	BCD mode	-	HOUR_H[1:0]		HOUR_L[3:0]			
	Not used	BIN mode	-	-	-	-	-	-	-
0x03	WEEKDAY (Day-of-Week Data)	BCD mode	-	WEEK[6:0]					
	Not used	BIN mode	-	-	-	-	-	-	-
0x04	DAY (Day Data)	BCD mode	-	DAY_H[1:0]		DAY_L[3:0]			
	Not used	BIN mode	-	-	-	-	-	-	-
0x05	MONTH (Month Data)	BCD mode	-	-	MONTH_H	MONTH_L[3:0]			
	Not used	BIN mode	-	-	-	-	-	-	-
0x06	YEAR (Year Data)	BCD mode	YEAR_H[3:0]			YEAR_L[3:0]			
	Not used	BIN mode	-	-	-	-	-	-	-
0x07	ALM_MIN (Minute Alarm)		XMAE	MALM_H[2:0]		MALM_L[3:0]			
	Not used	BIN mode	(GP)	(GP)	(GP)	(GP)	(GP)	(GP)	(GP)
0x08	ALM_HOUR (Hour Alarm)		XHAE	(GP)	HALM_H[1:0]	HALM_L[3:0]			
	Not used	BIN mode	(GP)	(GP)	(GP)	(GP)	(GP)	(GP)	(GP)
0x09	ALM_WEEKDAY (Day-of-Week Alarm / Day Alarm)		XWAE	WKALM[6:0]					
	Not used	BIN mode	(GP)	(GP)	(GP)	(GP)	(GP)	(GP)	(GP)
0x0A	WTCNT_L (Wakeup Timer Counter Low)	WTCNT[7:0]							
0x0B	WTCNT_M (Wakeup Timer Counter Middle)	WTCNT[15:8]							
0x0C	WTCNT_H (Wakeup Timer Counter High)	WTCNT[23:16]							
0x0D	TCTL (Timer Control)	FSEL[1:0]		USEL0	TE	WADA	-	TSEL[1:0]	
0x0E	INTF (Status Flag)	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMP LF
0x0F	TSTP_INTE (Timer Stop and Interrupt Enable)	CSEL[1:0]		UIE	TIE	AIE	EIE	-	STOP

## Bank 1

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x10	SUBSEC_L (Sub-Second Data Low)	SUBSEC[1:0]		-	-	-	-	-	-
0x11	SUBSEC_H (Sub-Second Data High)	SUBSEC[9:2]							
0x12	SEC_MIR (Mirrored Second Data, = 0x00)	-	SEC_H[2:0]			SEC_L[3:0]			
	SEC_BIN0 (Second Binary Data 0)	SEC_BIN[7:0]							
0x13	MIN_MIR (Mirrored Minute Data, = 0x01)	-	MIN_H[2:0]			MIN_L[3:0]			
	SEC_BIN1 (Second Binary Data 1)	SEC_BIN[15:8]							
0x14	HOUR_MIR (Mirrored Hour Data, = 0x02)	-	-	HOUR_H[1:0]		HOUR_L[3:0]			
	SEC_BIN2 (Second Binary Data 2)	SEC_BIN[23:16]							
0x15	WEEKDAY_MIR (Mirrored Day-of-Week Data, = 0x03)	-	WEEK[6:0]						
	SEC_BIN3 (Second Binary Data 3)	SEC_BIN[31:24]							
0x16	DAY_MIR (Mirrored Day Data, = 0x04)	-	-	DAY_H[1:0]		DAY_L[3:0]			
	SEC_BIN4 (Second Binary Data 4)	-	-	-	-	-	-	-	SEC_BIN[32]
0x17	MONTH_MIR (Mirrored Mont Data, = 0x05)	-	-	-	MONTH_H	MONTH_L[3:0]			
0x18	YEAR_MIR (Mirrored Year Data, = 0x06)	YEAR_H[3:0]				YEAR_L[3:0]			
0x19	OFS_SUBSEC_H (Offset Sub-Second Data High)	OFS_SUBSEC[10]	(GP)	(GP)	OFS_SUBSEC[9:5]				
0x1A	OFS_SUBSEC_L (Offset Sub-Second Data Low)	OFS_SUBSEC[4:0]					-	OFSFIN	OFSFN
0x1B	DIG_TRIM_H (Digital Trimming Data High)	DTRIM[8:1]							
0x1C	DIG_TRIM_L (Digital Trimming Data Low)	DTRIM[0]	-	-	-	-	-	-	DTRIMEN
0x1D	TCTL_MIR (Mirrored Timer Control, = 0x0D)	FSEL[1:0]		USEL0	TE	WADA	-	TSEL[1:0]	
0x1E	INTF_MIR (Mirrored Status Flag, = 0x0E)	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMP LF
0x1F	CNTSEL (Counter Select)	-	-	-	-	-	ACCB CD	BINCNTEN	BCDCNTEN

## Bank 2

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x20	EVIN_EN (Event Input Enable)	-	-	-	EVIN2CPEN	EVIN1CPEN	-	EVIN2EN	EVIN1EN
0x21	EVIN1_CFG (EVIN1 Configuration)	-	-	-	PUPD[2:0]			POL[1:0]	
0x22	EVIN1_FLT (EVIN1 Noise Filter)	-	-	FLT[5:0]					
0x23	EVIN2_CFG (EVIN2 Configuration)	-	-	-	PUPD[2:0]			POL[1:0]	
0x24	EVIN2_FLT (EVIN2 Noise Filter)	-	-	FLT[5:0]					
0x27	BUF1_CFG1 (BUF1 Configuration 1)	BINSEL	OVWEN	-	-	-	FULLIEN	EMPTIEN	OVWIEN
0x28	BUF1_STAT (BUF1 Status)	FULLF	EMPTF	-	-	-	-	-	OVWF
0x29	BUF1_CFG2 (BUF1 Configuration 2)	-	SRAMMOD	-	-	-	-	-	-

## Bank 3

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x30	ALM_SEC (Second Alarm)	XSAE	SALM_H[2:0]		SALM_L[3:0]				
0x31	ALM_MIN_MIR (Mirrored Minute Alarm, = 0x07)	XMAE	MALM_H[2:0]		MALM_L[3:0]				
0x32	ALM_HOUR_MIR (Mirrored our Alarm, = 0x08)	XHAE	(GP)	HALM_H[1:0]	HALM_L[3:0]				
0x33	ALM_WEEKDAY_MIR (Mirrored Day-of-Week Alarm / Day Alarm, = 0x09)	XWAE	WKALM[6:0]						
			(GP)	DALM_H[1:0]	DALM_L[3:0]				
0x34	UPDISEL (Time Update Interrupt Select)	-	-	-	-	-	-	USEL1	-
0x38	WTICFG (Wakeup Timer Interrupt Configuration)	PINMUX[1:0]		RSTOPT[1:0]		WTONETIM	TSEL2	WTIOUT	UPDOWN MOD
0x39	WTCTL (Wakeup Timer Control)	WTRST	EXWTRSTEN	WTRSTWIN[1:0]		WTMODSEL	WTSTOPCTL	-	WTSTOP
0x3A	WTCNT_L_MIR (Mirrored Wakeup Timer Counter Low, = 0x0A)	WTCNT[7:0]							
0x3B	WTCNT_M_MIR (Mirrored Wakeup Timer Counter Middle, = 0x0B)	WTCNT[15:8]							
0x3C	WTCNT_H_MIR (Mirrored Wakeup Timer Counter High, = 0x0C)	WTCNT[23:16]							
0x3D	TCTL_MIR (Mirrored Timer Control, = 0x0D)	FSEL[1:0]		USEL0	TE	WADA	-	TSEL[1:0]	
0x3E	INTF_MIR (Mirrored Status Flag, = 0x0E)	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMPLF
0x3F	TSTP_INTE_MIR (Mirrored Timer Stop and Interrupt Enable, = 0x0F)	CSEL[1:0]		UIE	TIE	AIE	EIE	-	STOP

## Bank 4

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x41	WRCMD_CFG (Write Command Configuration)	EVCNT CLREN	-	-	BUF1F CLREN	-	-	-	CMDTRGEN
0x42	WRCMD_TRG (Write Command Trigger)	WRTRG[7:0]							
0x43	EVNT_INTE (Event Interrupt Enable)	-	EVIN2IEN	EVIN1IEN	RSTOIEEN	-	VTMPLIEN	-	OSCSTPIEN
0x44	CAP_EN (Capture Enable)	-	-	-	RSTOCPEN	-	VTMPLCPEN	-	OSCSTP CPEN
0x45	INTF_MIR (Mirrored Status Flag, = 0x0E)	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMPLF
0x46	BUF_INTF (Buffer Interrupt Factor)	-	-	BUF1F	RSTOF	-	-	-	-
0x47	EVNT_INTF (Event Interrupt Factor)	-	EVIN2F	EVIN1F	RSTOEVF	-	VTMPLVF	-	OSCSTPEVF

## Bank 5

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x51	EVIN1_EVCNT (EVIN1 Event Counter)	-	-	EVCNT[5:0]					
0x52	EVIN2_EVCNT (EVIN2 Event Counter)	-	-	EVCNT[5:0]					
0x54	EVINMON (EVIN Monitor)	-	EVIN2MON	EVIN1MON	-	-	-	-	-
0x55	SOUTCTL (SOUT Control)	DCE	DC	-	-	SIGINV	SOUT[2:0]		

## Bank 6/7 (ダイレクトモードでのタイムスタンプデータ (BCD) 読み出し時)

タイムスタンプデータ取得時の設定: BUF1\_CFG1.BINSELビット = 0, CNTSEL.BCDCNTENビット = 1

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60 0x70	TIMESTAMP_SUBSEC_L (SUBSEC Time Stamp Data Low)	SUBSEC[1:0]		x	x	x	x	x	x
0x61 0x71	TIMESTAMP_SUBSEC_H (SUBSEC Time Stamp Data High)	SUBSEC[9:2]							
0x62 0x72	TIMESTAMP_SEC (SEC Time Stamp Data)	x	SEC_H[2:0]			SEC_L[3:0]			
0x63 0x73	TIMESTAMP_MIN (MIN Time Stamp Data)	x	MIN_H[2:0]			MIN_L[3:0]			
0x64 0x74	TIMESTAMP_HOUR (HOUR Time Stamp Data)	x	x	HOUR_H[1:0]		HOUR_L[3:0]			
0x65 0x75	TIMESTAMP_DAY (DAY Time Stamp Data)	x	x	DAY_H[1:0]		DAY_L[3:0]			
0x66 0x76	TIMESTAMP_MONTH (MONTH Time Stamp Data)	x	x	x	MONTH_H	MONTH_L[3:0]			
0x67 0x77	TIMESTAMP_YEAR (YEAR Time Stamp Data)	YEAR_H[3:0]				YEAR_L[3:0]			
0x68 0x78	TIMESTAMP_EVSTAT (Event Status Time Stamp Data)	x	EVIN2POL	EVIN1POL	x	RSTOSTAT	VTMPLSTAT	x	OSCSTP STAT
0x69 0x79	TIMESTAMP_TRG (Time Stamp Trigger Factor)	OVSFSTAT*	EVIN2TRG	EVIN1TRG	WRCMDTRG	RSTOTRG	VTMPLTRG	x	OSCSTPTRG

\* OVSFSTATはアドレス0x79にのみ存在します (アドレス0x69にはありません)。

## Bank 6/7 (ダイレクトモードでのタイムスタンプデータ (BIN) 読み出し時)

タイムスタンプデータ取得時の設定: BUF1\_CFG1.BINSELビット = 1, CNTSEL.BINCNTENビット = 1

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60 0x70	TIMESTAMP_SUBSEC_L (SUBSEC Time Stamp Data Low)	SUBSEC[1:0]		x	x	x	x	x	x
0x61 0x71	TIMESTAMP_SUBSEC_H (SUBSEC Time Stamp Data High)	SUBSEC[9:2]							
0x62 0x72	TIMESTAMP_SEC (SEC Time Stamp Data)	SEC_BIN[7:0]							
0x63 0x73	TIMESTAMP_MIN (MIN Time Stamp Data)	SEC_BIN[15:8]							
0x64 0x74	TIMESTAMP_HOUR (HOUR Time Stamp Data)	SEC_BIN[23:16]							
0x65 0x75	TIMESTAMP_DAY (DAY Time Stamp Data)	SEC_BIN[31:24]							
0x66 0x76	TIMESTAMP_MONTH (MONTH Time Stamp Data)	x	x	x	x	x	x	x	SEC_BIN32
0x67 0x77	TIMESTAMP_YEAR (YEAR Time Stamp Data)	x	x	x	x	x	x	x	x
0x68 0x78	TIMESTAMP_EVSTAT (Event Status Time Stamp Data)	x	EVIN2POL	EVIN1POL	x	RSTOSTAT	VTMPLSTAT	x	OSCSTP STAT
0x69 0x79	TIMESTAMP_TRG (Time Stamp Trigger Factor)	OVSFSTAT*	EVIN2TRG	EVIN1TRG	WRCMDTRG	RSTOTRG	VTMPLTRG	x	OSCSTPTRG

\* OVSFSTATはアドレス0x79にのみ存在します (アドレス0x69にはありません)。

## Bank 6/7 (SRAMモード)

SRAMアクセス時の設定: BUF1\_CFG2.SRAMMODビット = 1

Address	Function	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60	SRAM Address 0x00	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x61	SRAM Address 0x01								
0x62	SRAM Address 0x02								
0x63	SRAM Address 0x03								
0x64	SRAM Address 0x04								
0x65	SRAM Address 0x05								
0x66	SRAM Address 0x06								
0x67	SRAM Address 0x07								
0x68	SRAM Address 0x08								
0x69	SRAM Address 0x09								
0x6A	SRAM Address 0x0A								
0x6B	SRAM Address 0x0B								
0x6C	SRAM Address 0x0C								
0x6D	SRAM Address 0x0D								
0x6E	SRAM Address 0x0E								
0x6F	SRAM Address 0x0F								
0x70	SRAM Address 0x10	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x71	SRAM Address 0x11								
0x72	SRAM Address 0x12								
0x73	SRAM Address 0x13								
0x74	SRAM Address 0x14								
0x75	SRAM Address 0x15								
0x76	SRAM Address 0x16								
0x77	SRAM Address 0x17								
0x78	SRAM Address 0x18								
0x79	SRAM Address 0x19								
0x7A	SRAM Address 0x1A								
0x7B	SRAM Address 0x1B								
0x7C	SRAM Address 0x1C								
0x7D	SRAM Address 0x1D								
0x7E	SRAM Address 0x1E								
0x7F	SRAM Address 0x1F								

## 4.2 レジスタ詳細説明

※1 Initial valueの“x”は初期値が不定であることを示します。

※2 [BCDモード]は、BCDモード時 (CNTSEL.ACCBCDビット = 1, CNTSEL.BCDCNTENビット = 1)にのみ使用可能なレジスタを示します。

[BINモード]は、BINモード時 (CNTSEL.ACCBCDビット = 0, CNTSEL.BINCNTENビット = 0)にのみ使用可能なレジスタを示します。

### 0x00: SEC (Second Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	SEC_H[2:0]			SEC_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

Bits 6–4: SEC\_H[2:0]

Bits 3–0: SEC\_L[3:0]

秒カウンターの設定と読み出しを行います。

SEC\_H[2:0]ビットは10秒桁のBCDコード (0–5)、SEC\_L[3:0]ビットは1秒桁のBCDコード (0–9) です。このアドレスへの秒データの書き込みにより、1/1024秒カウンターがリセットされ、レジスタSUBSEC\_LおよびSUBSEC\_Hが0にクリアされます。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

### 0x01: MIN (Minute Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	MIN_H[2:0]			MIN_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

Bits 6–4: MIN\_H[2:0]

Bits 3–0: MIN\_L[3:0]

分カウンターの設定と読み出しを行います。

MIN\_H[2:0]ビットは10分桁のBCDコード (0–5)、MIN\_L[3:0]ビットは1分桁のBCDコード (0–9) です。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

### 0x02: HOUR (Hour Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	HOUR_H[1:0]		HOUR_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

Bits 5–4: HOUR\_H[1:0]

Bits 3–0: HOUR\_L[3:0]

時カウンターの設定と読み出しを行います。

HOUR\_H[1:0]ビットは10時桁のBCDコード (0–2)、HOUR\_L[3:0]ビットは1時桁のBCDコード (0–9) です。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

### 0x03: WEEKDAY (Day-of-Week Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	WEEK[6:0]						
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W						

## Bits 6–0: WEEK[6:0]

曜日カウンターの設定と読み出しを行います。

WEEK[6:0]ビットの各ビットは下記の例のように曜日に1対1に対応しますので、今日の曜日に対応する1ビットのみセットしておきます。日カウンターが更新されると同時に各ビットは左にシフトします (ビット6はビット0にシフトします)。

曜日設定例

WEEK6	WEEK5	WEEK4	WEEK3	WEEK2	WEEK1	WEEK0
土曜日 (0x40)	金曜日 (0x20)	木曜日 (0x10)	水曜日 (0x08)	火曜日 (0x04)	月曜日 (0x02)	日曜日 (0x01)

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

## 0x04: DAY (Day Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	DAY_H[1:0]		DAY_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

Bits 5–4: DAY\_H[1:0]

Bits 3–0: DAY\_L[3:0]

日カウンターの設定と読み出しを行います。

DAY\_H[1:0]ビットは10日桁のBCDコード (0–3)、DAY\_L[3:0]ビットは1日桁のBCDコード (0–9)です。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

\*2 うるう年の動作については、3.3節内の“うるう年の判定”を参照してください。

## 0x05: MONTH (Month Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	MONTH_H	MONTH_L[3:0]			
Initial value	0	0	0	x	x	x	x	x
R/W	R	R	R	R/W	R/W			

Bit 4: MONTH\_H

Bits 3–0: MONTH\_L[3:0]

月カウンターの設定と読み出しを行います。

MONTH\_Hビットは10月桁のBCDコード (0–1)、MONTH\_L[3:0]ビットは1月桁のBCDコード (0–9)です。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

## 0x06: YEAR (Year Data) [BCDモード]

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	YEAR_H[3:0]				YEAR_L[3:0]			
Initial value	x	x	x	x	x	x	x	x
R/W	R/W				R/W			

Bits 7–4: YEAR\_H[3:0]

Bits 3–0: YEAR\_L[3:0]

年カウンターの設定と読み出しを行います。

YEAR\_H[3:0]ビットは10年桁のBCDコード (0–9)、YEAR\_L[3:0]ビットは1年桁のBCDコード (0–9)です。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。



**0x07: ALM\_MIN (Minute Alarm) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>XMAE</b>	<b>MALM_H[2:0]</b>			<b>MALM_L[3:0]</b>			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W			R/W			

**Bit 7: XMAE**

このビットは分アラームの設定を有効/無効にします。

1 (R/W): 分アラーム無効

0 (R/W): 分アラーム有効

1に設定すると本レジスタの設定が無効となり、分カウンタの内容はアラームの発生に影響を与えません。0に設定すると本レジスタの設定が有効となり、分カウンタの値とMALM\_H[2:0]/MALM\_L[3:0]ビット設定値の一致がアラーム発生条件となります。

**Bits 6–4: MALM\_H[2:0]****Bits 3–0: MALM\_L[3:0]**

アラームの分条件をBCDコードで設定します。

MALM\_H[2:0]ビットでアラームの10分桁 (0–5)を、MALM\_L[3:0]ビットで1分桁 (0–9)を設定します。

- \*1 アラーム機能の詳細については、“3.6 アラーム機能”を参照してください。
- \*2 アラーム機能を使用しない場合、本レジスタをリード/ライト可能な汎用レジスタとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP\_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

**0x08: ALM\_HOUR (Hour Alarm) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>XHAE</b>	<b>(GP)</b>	<b>HALM_H[1:0]</b>		<b>HALM_L[3:0]</b>			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

**Bit 7: XHAE**

このビットは時アラームの設定を有効/無効にします。

1 (R/W): 時アラーム無効

0 (R/W): 時アラーム有効

1に設定すると本レジスタの設定が無効となり、時カウンタの内容はアラームの発生に影響を与えません。

0に設定すると本レジスタの設定が有効となり、時カウンタの値とHALM\_H[1:0]/HALM\_L[3:0]ビット設定値の一致がアラーム発生条件となります。

**Bits 5–4: HALM\_H[1:0]****Bits 3–0: HALM\_L[3:0]**

アラームの時条件をBCDコードで設定します。

HALM\_H[1:0]ビットでアラームの10時桁 (0–2) を、HALM\_L[3:0]ビットで1時桁 (0–9) を設定します。

- \*1 アラーム機能の詳細については、“3.6 アラーム機能”を参照してください。
- \*2 アラーム機能を使用しない場合、本レジスタをリード/ライト可能な汎用レジスタとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP\_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

**0x09: ALM\_WEEKDAY (Day-of-Week Alarm / Day Alarm) [BCDモード]****Day-of-Week Alarm**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>XWAE</b>	<b>WKALM[6:0]</b>						
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W						

**Day Alarm**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>XWAE</b>	<b>(GP)</b>	<b>DALM_H[1:0]</b>		<b>DALM_L[3:0]</b>			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

注: 本レジスターはTCTL.WADAビットの設定により、機能が切り替わります。

TCTL.WADAビット = 0: Day-of-Week Alarm

TCTL.WADAビット = 1: Day Alarm

**Bit 7: XWAE**

このビットは曜日/日アラームの設定を有効/無効にします。

1 (R/W): 曜日/日アラーム無効

0 (R/W): 曜日/日アラーム有効

1に設定すると本レジスターの設定が無効となり、曜日および日カウンタの内容はアラームの発生に影響を与えません。

0に設定すると本レジスターの設定が有効となり、次の条件でアラームが発生します。

TCTL.WADAビット = 0: 曜日カウンタとWKALM[6:0]の同一ビットが共にセット

TCTL.WADAビット = 1: 日カウンタの値とDALM\_H[1:0]/DALM\_L[3:0]ビット設定値の一致

**Bits 6–0: WKALM[6:0] (Day-of-Week Alarm)**

アラームの曜日条件を設定します。

複数のビットを1にセットして、複数の曜日を指定可能です。

**Bits 5–4: DALM\_H[1:0] (Day Alarm)****Bits 3–0: DALM\_L[3:0] (Day Alarm)**

アラームの日条件をBCDコードで設定します。

DALM\_H[1:0]ビットでアラームの10日桁 (0–3) を、DALM\_L[3:0]ビットで1日桁 (0–9) を設定します。

- \*1 アラーム機能の詳細については、“3.6 アラーム機能”を参照してください。
- \*2 アラーム機能を使用しない場合、本レジスターをリード/ライト可能な汎用レジスターとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP\_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

**0x0A: WTCNT\_L (Wakeup Timer Counter Low)****0x0B: WTCNT\_M (Wakeup Timer Counter Middle)****0x0C: WTCNT\_H (Wakeup Timer Counter High)****Wakeup Timer Counter Low**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[7:0]							
Initial value	0	0	0	0	0	0	0	1
R/W	R/W							

**Wakeup Timer Counter Middle**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[15:8]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

**Wakeup Timer Counter High**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[23:16]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

Bits 7–0: WTCNT[7:0] (Wakeup Timer Counter Low)  
 WTCNT[15:8] (Wakeup Timer Counter Middle)  
 WTCNT[23:16] (Wakeup Timer Counter High)

**書き込み時**

ウェイクアップタイマーカウンターのプリセット値を設定します。プリセット値は1 ~ 16777215の範囲で指定可能で、カウント周期を設定します。

カウントアップモードでは、カウントアップによりカウンターがプリセット値を超えると、初期値(1)がカウンターにロードされ、その値からアップカウントを継続します。

カウントダウンモードでは、カウント中にカウンターが0になると、プリセット値がカウンターにロードされ、その値からダウンカウントを継続します。

注: • プリセット値は、TCTL.TEビット = 0 (ウェイクアップタイマーディスエーブル) の状態で設定してください。

- プリセットデータとして0x000000を設定することはできません。レジスターWTCNT\_L、WTCNT\_M、WTCNT\_Hに0x000000を書き込んだ場合はウェイクアップタイマーはカウントアップ/ダウンせず、割り込み要求は発生しません。カウンターリード値はTCTL.TEビット = 1, 0にかかわらず、0x000001となります。

**読み出し時**

TCTL.TEビット = 1 (ウェイクアップタイマーイネーブル) の場合、現在のカウンター値が読み出されます。このカウンターにはリードバッファ機能がありますので、ウェイクアップタイマーが動作中でも、任意のタイミングで3つのレジスターを連続して読み出すことで、正しい値が得られます。TCTL.TEビット = 0 (ウェイクアップタイマーディスエーブル) の場合、現在設定されているプリセット値が読み出されます。

- \*1 ウェイクアップタイマー機能の詳細については、“3.7 ウェイクアップタイマー機能”を参照してください。
- \*2 ウェイクアップタイマー機能を使用しない場合 (TCTL.TEビットとTSTP\_INTE.TIEビットが共に0の場合)、これらのレジスターをリード/ライト可能な汎用レジスターとして使用することができます。

**0x0D: TCTL (Timer Control)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FSEL[1:0]		USEL0	TE	WADA	-	TSEL[1:0]	
Initial value	0	0	0	0	0	0	1	0
R/W	R/W		R/W	R/W	R/W	R	R/W	

Bits 7–6: FSEL[1:0]

これらのビットは、FOUT出力周波数を選択します。

表 4.1 FOUT出力の選択

TCTL.FSEL[1:0]	出カクロック
0b00	32.768 kHz (デフォルト)
0b01	1024 Hz
0b10	1 Hz
0b11	OFF

Bit 5: USEL0

このビットは、UPDISSEL.USEL1ビットと共に時刻更新割り込みイベントの種類を選択します。

表 4.2 時刻更新割り込みイベントの選択

UPDISSEL.USEL1	TCTL.USEL0	割り込みイベント
0	0	秒カウンター更新 (デフォルト)
0	1	分カウンター更新
1	0	時カウンター更新
1	1	割り込みイベントなし

Bit 4: TE

このビットは、ウェイクアップタイマーの動作を許可/禁止します。

1 (R/W): ウェイクアップタイマーイネーブル

0 (R/W): ウェイクアップタイマーディスエーブル

Bit 3: WADA

このビットは、アラーム発生条件の中で、曜日アラームと日アラームのどちらを使用するか選択します。

1 (R/W): 日アラーム

0 (R/W): 曜日アラーム

Bits 1–0: TSEL[1:0]

これらのビットは、ウェイクアップタイマーのソースクロックとして使用する内部クロックを選択します。

表 4.3 ウェイクアップタイマーソースクロックの選択

TCTL.TSEL[1:0]	ソースクロック
0b00	1024 Hz
0b01	64 Hz
0b10	1 Hz (デフォルト)
0b11	1/60 Hz

この設定はWTICFG.TSEL2ビット = 0の場合に有効です。WTICFG.TSEL2ビット = 1の場合、EVIN2端子から入力される外部クロックがソースクロックになります。

- \*1 FOUT出力機能の詳細については、“3.8 FOUT出力機能”を参照してください。
- \*2 時刻更新割り込みの詳細については、“3.5 時刻更新割り込み機能”を参照してください。
- \*3 ウェイクアップタイマー機能の詳細については、“3.7 ウェイクアップタイマー機能”を参照してください。
- \*4 アラーム機能の詳細については、“3.6 アラーム機能”を参照してください。

## 0x0E: INTF (Status Flag)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMPLF
Initial value	1	1	x	x	x	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## Bit 7: PORF

このビットは、電源投入後にパワーオンリセットが実行されたか否かを示す自己監視フラグです。

1 (R): パワーオンリセット検出

0 (R): パワーオンリセット未検出

1 (W): 無効

0 (W): フラグをクリア(パワーオンリセットの解除時のみ有効)

## Bit 6: OSCSTPF

このビットは、水晶発振器が発振を停止しているか否かを示す自己監視フラグです。

1 (R): 発振停止検出 (10 ms以上の発振停止検出によりセット)

0 (R): 発振停止未検出

1 (W): 無効

0 (W): フラグをクリア(発振停止の未検出時のみ有効)

## Bit 5: UF

## Bit 4: TF

## Bit 3: AF

## Bit 2: EVF

これらのビットは、RTC割り込みイベントが発生したことを示す割り込みフラグです。

1 (R): 割り込みイベント発生

0 (R): 割り込みイベント未発生

1 (W): 無効

0 (W): フラグをクリア (EVFを除く)

各ビットと割り込みイベントの対応は以下のとおりです。

UF: 時刻更新割り込み

TF: ウェイクアップタイマー割り込み

AF: アラーム割り込み

EVF: タイムスタンプイベント検出割り込み

ウェイクアップタイマー割り込み (TF)、時刻更新割り込み (UF)、およびアラーム割り込み (AF)では、0の書き込みによりフラグをクリアすると、/INT出力 (LOW) もインアクティブ (Hi-Z) になります。ウェイクアップタイマーおよび時刻更新による/INTのLOW出力は、割り込みイベント発生から規定時間後に自動的に解除されます。ただし、これらの割り込みフラグ (TF、UF) は自動クリアされません。

イベント検出およびタイムスタンプ機能には割り込みを発生させる各種のイベントが存在し、それぞれのイベントが発生した際にセットされる割り込みフラグがレジスターBUF\_INTFおよびEVNT\_INTFに割り付けられています。EVFビットは、これらの割り込みフラグの1つまたは複数でセットされると同時に1になります。また、EVFビットはレジスターBUF\_INTFおよびEVNT\_INTFのフラグがすべてクリアされることにより0になります (EVFビットへの0書き込みではクリアされません)。このクリア操作により、/INT出力もインアクティブになります。

## Bit 1: VLF

このビットは、RTCの異常を示す自己監視フラグです。

- 1 (R): 異常あり (PORFビット = 1またはOSCSTPFビット = 1)  
 0 (R): 異常なし  
 1 (W): 無効  
 0 (W): フラグをクリア (パワーオンリセットの解除時、かつ発振停止の未検出時のみ有効)

#### Bit 0: VTMP LF

このビットは、V<sub>DD</sub>電圧が温度補償更新停止電圧を下回った履歴 ( $\leq V_{DET2}$ ) を示す自己監視フラグです。

- 1 (R): 電圧低下検出 ( $V_{DD} \leq V_{DET2}$ 、温度補償更新停止)  
 0 (R): 電圧低下未検出  
 1 (W): 無効  
 0 (W): フラグをクリア (電圧正常時のみ有効)

- \*1 自己監視機能の詳細については、“3.10 自己監視機能”を参照してください。  
 \*2 各割り込みの詳細については、“3.5 時刻更新割り込み機能”、“3.7 ウェイクアップタイマー機能”、“3.6 アラーム機能”、あるいは“3.11 タイムスタンプ機能”を参照してください。

### 0x0F: TSTP\_INTE (Timer Stop and Interrupt Enable)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	CSEL[1:0]		UIE	TIE	AIE	EIE	-	STOP
Initial value	0	1	0	0	0	0	0	0
R/W	R/W		R/W	R/W	R/W	R/W	R	R/W

#### Bits 7–6: CSEL[1:0]

これらのビットは、温度センサー測定動作の実行間隔を設定します。

表 4.4 温度センサー測定動作の実行間隔

TSTP_INTE.CSEL[1:0]	実行間隔
0b00	0.5秒
0b01	2.0秒 (デフォルト)
0b10	10.0秒
0b11	30.0秒

- Bit 5: UIE  
 Bit 4: TIE  
 Bit 3: AIE  
 Bit 2: EIE

これらのビットはRTC割り込みを許可します。

- 1 (R/W): 割り込みを許可  
 0 (R/W): 割り込みを禁止 (割り込み信号を解除<sup>注</sup>)

各ビットと割り込みの対応は以下のとおりです。

- UIE: 時刻更新割り込み  
 TIE: ウェイクアップタイマー割り込み  
 AIE: アラーム割り込み  
 EIE: タイムスタンプイベント検出割り込み

#### Bit 0: STOP

カウンターの動作を制御します。

- 1 (W): カウンターの動作を停止します。  
 0 (W): カウンターの動作を開始します。

- 1 (R): カウンター停止中  
 0 (R): カウンター動作中

STOPビットで停止する動作は以下のとおりです。

- 1) 1/1024秒、秒、分、時、日、曜日、月、年カウンターならびに秒のバイナリーカウンターの更新動作  
 これに伴い、時刻更新割り込み、アラーム割り込みも発生しません。  
 タイムスタンプの時刻データは停止した時刻になります。
- 2) ウェイクアップタイマー割り込み  
 ウェイクアップタイマーは機能を停止し、割り込みは発生しません。
- 3) FOUT出力  
 1 Hz選択時は出力がHまたはLに固定されます。  
 32.768 kHzまたは1024 Hzを選択している場合は、STOPビット = 1でも出力を継続します。

注: 時刻/カレンダーデータ読み出し時にSTOPビットでタイマーを停止させると、計時誤差が増大します。時刻/カレンダーデータ読み出し時は、STOPビットでカウンターを停止させないでください。

- \*1 温度補償動作の詳細については、“3.3 温度補償機能”を参照してください。  
 \*2 各割り込みの詳細については、“3.5 時刻更新割り込み機能”、“3.7 ウェイクアップタイマー機能”、“3.6 アラーム機能”、あるいは“3.11 タイムスタンプ機能”を参照してください。

#### 0x10: SUBSEC\_L (Sub-Second Data Low) 0x11: SUBSEC\_H (Sub-Second Data High)

##### Sub-Second Data Low

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SUBSEC[1:0]		-	-	-	-	-	-
Initial value	x	x	0	0	0	0	0	0
R/W	R/W		R	R	R	R	R	R

##### Sub-Second Data High

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SUBSEC[9:2]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Bits 7–6: SUBSEC[1:0] (Sub-Second Data Low)

Bits 7–0: SUBSEC[9:2] (Sub-Second Data High)

1/1024秒カウンターの設定と読み出しを行います。このカウンターは10ビットのバイナリーカウンターです。

SUBSEC\_L.SUBSEC[1:0]ビットは1/1024秒カウンターの下位2ビット、SUBSEC\_H.SUBSEC[9:2]ビットは1/1024秒カウンターの上位8ビットです。

表 4.5 SUBSEC[9:0]ビット

ビット	SUBSEC9	SUBSEC8	SUBSEC7	SUBSEC6	SUBSEC5	SUBSEC4	SUBSEC3	SUBSEC2	SUBSEC1	SUBSEC0
カウント値 (1024Hz 周期)	512	256	128	64	32	16	8	4	2	1

データを取得する場合はこの2つのアドレスを連続して読み出してください。カウンター値を変更する場合も、2つのアドレスに連続して書き込んでください。これらのアドレスに続けてアドレス0x12～0x18をアクセスすることにより、時計/カレンダーカウンターデータの読み出し/書き込みも連続して行えます。

また、レジスターSEC (アドレス0x00、BCDモード) にデータを書き込むと、1/1024秒カウンターがリセットされ、レジスターSUBSEC\_LとSUBSEC\_Hは0になります。一方、レジスターSECのミラーアドレスであるレジスターSEC\_MIR (アドレス0x12)へのデータ書き込みでは、1/1024秒カウンターがリセットされません。

- \*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

**0x12: SEC\_MIR (Mirrored Second Data, = 0x00) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	SEC_H[2:0]			SEC_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

レジスターSECのミラーです。詳細は“0x00: SEC (Second Data)”を参照してください。ただし、このアドレスへの書き込みでは、1/1024秒カウンターはリセットされません。

**0x13: MIN\_MIR (Mirrored Minute Data, = 0x01) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	MIN_H[2:0]			MIN_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

レジスターMINのミラーです。詳細は“0x01: MIN (Minute Data)”を参照してください。



**0x14: HOUR\_MIR (Mirrored Hour Data, = 0x02) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	HOUR_H[1:0]		HOUR_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

レジスターHOURのミラーです。詳細は“0x02: HOUR (Hour Data)”を参照してください。

**0x15: WEEKDAY\_MIR (Mirrored Day-of-Week Data, = 0x03) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	WEEK[6:0]						
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W						

レジスターWEEKDAYのミラーです。詳細は“0x03: WEEKDAY (Day-of-Week Data)”を参照してください。

**0x16: DAY\_MIR (Mirrored Day Data, = 0x04) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	DAY_H[1:0]		DAY_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

レジスターDAYのミラーです。詳細は“0x04: DAY (Day Data)”を参照してください。

**0x17: MONTH\_MIR (Mirrored Month Data, = 0x05) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	MONTH_H	MONTH_L[3:0]			
Initial value	0	0	0	x	x	x	x	x
R/W	R	R	R	R/W	R/W			

レジスターMONTHのミラーです。詳細は“0x05: MONTH (Month Data)”を参照してください。

**0x18: YEAR\_MIR (Mirrored Year Data, = 0x06) [BCDモード]**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	YEAR_H[3:0]				YEAR_L[3:0]			
Initial value	x	x	x	x	x	x	x	x
R/W	R/W				R/W			

レジスターYEARのミラーです。詳細は“0x06: YEAR (Year Data)”を参照してください。

**0x12: SEC\_BIN0 (Second Binary Data 0) [BINモード]****0x13: SEC\_BIN1 (Second Binary Data 1) [BINモード]****0x14: SEC\_BIN2 (Second Binary Data 2) [BINモード]****0x15: SEC\_BIN3 (Second Binary Data 3) [BINモード]****0x16: SEC\_BIN4 (Second Binary Data 4) [BINモード]****Second Binary Data 0**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SEC_BIN[7:0]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

**Second Binary Data 1**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SEC_BIN[15:8]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

**Second Binary Data 2**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SEC_BIN[23:16]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

**Second Binary Data 3**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SEC_BIN[31:24]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

**Second Binary Data 4**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	–	–	–	–	SEC_BIN[32]
Initial value	0	0	0	0	0	0	0	x
R/W	R	R	R	R	R	R	R	R/W

Bits 7–0: SEC\_BIN[7:0] (Second Binary Data 0)  
 SEC\_BIN[15:8] (Second Binary Data 1)  
 SEC\_BIN[23:16] (Second Binary Data 2)  
 SEC\_BIN[31:24] (Second Binary Data 3)  
 Bit 0: SEC\_BIN[32] (Second Binary Data 4)

BINカウンターの設定と読み出しを行います。

これらのレジスターへの秒データの書き込みでは、レジスターSUBSEC\_LおよびSUBSEC\_Hは0クリアされません。

これらのレジスターはレジスターCNTSEL = 0x3もしくは0x2の場合にアクセス可能です。

\*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

**0x19: OFS\_SUBSEC\_H (Offset Sub-Second Data High)****0x1A: OFS\_SUBSEC\_L (Offset Sub-Second Data Low)****Offset Sub-Second Data High**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	OFS_SUBSEC[10]	(GP)	(GP)	OFS_SUBSEC[9:5]				
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W				

**Offset Sub-Second Data Low**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	OFS_SUBSEC[4:0]					–	OFSFIN	OFSSEN
Initial value	0	0	0	0	0	0	1	0
R/W	R/W					R	R	W

Bit 7: OFS\_SUBSEC[10] (Offset Sub-Second Data High)  
 Bits 4–0: OFS\_SUBSEC[9:5] (Offset Sub-Second Data High)  
 Bits 7–3: OFS\_SUBSEC[4:0] (Offset Sub-Second Data Low)

1/1024秒の時刻合わせのためのオフセット値をこれらのビットに設定します。オフセット値は秒以下の1/1024秒カウンターに直接加算されるため、データ長11ビットの2の補数で算出し、ビット10をOFS\_SUBSEC[10]ビットに、ビット9～0をOFS\_SUBSEC[9:0]ビットに設定します。

Bit 1 OFSFIN (Offset Sub-Second Data Low)

このビットは、1/1024秒のオフセット補正動作状態を示します。

1 (R): オフセット補正完了/オフセット補正可能  
 0 (R): オフセット補正動作中

Bit 0 OFSEN (Offset Sub-Second Data Low)

このビットは、1/1024秒のオフセット補正動作を開始します。

- 1 (W): オフセット補正開始  
 0 (W): 無効

この書き込み直後の秒カウンター更新時に、オフセット値が1/1024秒カウンターに反映されます。この処理は1度のみ行われ、これ以降の秒カウンター更新時は行われません。

- \*1 1/1024秒のオフセット補正手順については、3.2節内の“1/1024秒のオフセット時刻合わせ”を参照してください。

### 0x1B: DIG\_TRIM\_H (Digital Trimming Data High)

### 0x1C: DIG\_TRIM\_L (Digital Trimming Data Low)

#### Digital Trimming Data High

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	DTRIM[8:1]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

#### Digital Trimming Data Low

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	DTRIM[0]	–	–	–	–	–	–	DTRIMEN
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R/W

Bits 7–0: DTRIM[8:1] (Digital Trimming Data High)

Bit 7: DTRIM[0] (Digital Trimming Data Low)

論理緩急を行う場合に、補正量を2の補数でこれらのビットに設定します。

Bit 0 DTRIMEN (Digital Trimming Data Low)

このビットは、論理緩急機能の動作を許可/禁止します。

1 (R/W): 論理緩急機能イネーブル

0 (R/W): 論理緩急機能ディスエーブル

- \*1 論理緩急機能の詳細については、“3.4 論理緩急機能”を参照してください。

### 0x1D: TCTL\_MIR (Mirrored Timer Control, = 0x0D)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FSEL[1:0]		USEL0	TE	WADA	–	TSEL[1:0]	
Initial value	0	0	0	0	0	0	1	0
R/W	R/W		R/W	R/W	R/W	R	R/W	

レジスターTCTLのミラーです。詳細は“0x0D: TCTL (Timer Control)”を参照してください。

### 0x1E: INTF\_MIR (Mirrored Status Flag, = 0x0E)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMP LF
Initial value	1	1	x	x	x	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスターINTFのミラーです。詳細は“0x0E: INTF (Status Flag)”を参照してください。

### 0x1F: CNTSEL (Counter Select)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	–	–	ACCB CD	BINCNTEN	BCDCNTEN
Initial value	0	0	0	0	0	1	1	1
R/W	R	R	R	R	R	R/W	R/W	R/W

Bit 2: ACCBCD

このビットは、時計/カレンダーカウンターのアクセスモード (BCDカウンター[レジスターSEC~YEAR]とBINカウンター[レジスターSEC\_BIN $n$ ])のどちらにリード/ライトアクセスするか) を選択します。

1 (R/W): BCDモード (BCDカウンターをリード/ライト)

0 (R/W): BINモード (BINカウンターをリード/ライト)

Bit 1: BINCNTEN

このビットは、時計/カレンダーのBINカウンターの動作を許可/禁止します。

1 (R/W): BINカウンターイネーブル

0 (R/W): BINカウンターディスエーブル

Bit 0: BCDCNTEN

このビットは、時計/カレンダーのBCDカウンターの動作を許可/禁止します。

1 (R/W): BCDカウンターイネーブル

0 (R/W): BCDカウンターディスエーブル

\*1 カウンターのアクセスモードについては、“3.2 時計/カレンダー機能”を参照してください。

### 0x20: EVIN\_EN (Event Input Enable)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	-	-	EVIN2CPEN	EVIN1CPEN	-	EVIN2EN	EVIN1EN
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R	R/W	R/W

Bit 4 EVIN2CPEN

Bit 3 EVIN1CPEN

これらのビットは、EVIN $n$ 端子からの外部イベントトリガー入力によるタイムスタンプキャプチャー (バッファへのタイムスタンプデータの取得) を許可/禁止します。

1 (R/W): EVIN $n$ タイムスタンプキャプチャーイネーブル

0 (R/W): EVIN $n$ タイムスタンプキャプチャーディスエーブル

EVIN $n$ CPENビットの設定は、下記のEVIN $n$ ENビット = 1の場合に有効となります。

Bit 1 EVIN2EN

Bit 0 EVIN1EN

これらのビットは、EVIN $n$ 端子からの外部イベントトリガー入力を許可/禁止します。

1 (R/W): EVIN $n$ イベントトリガー入力イネーブル

0 (R/W): EVIN $n$ イベントトリガー入力ディスエーブル

\*1 タイムスタンプ機能の詳細については、“3.11 タイムスタンプ機能”を参照してください。

**0x21: EVIN1\_CFG (EVIN1 Configuration)****0x23: EVIN2\_CFG (EVIN2 Configuration)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	PUPD[2:0]			POL[1:0]	
Initial value	0	0	0	0	1	0	0	0
R/W	R	R	R	R/W			R/W	

**Bits 4–2: PUPD[2:0]**

これらのビットは、EVIN<sub>n</sub>端子のプルアップ/ダウン抵抗を選択します。

表 4.6 EVIN<sub>n</sub>端子のプルアップ/ダウン

EVIN <sub>n</sub> _CFG.PUPD[2:0]	プルアップ/ダウン抵抗
0b000	プルアップ/ダウンなし
0b001	プルアップ 500 kΩ
0b010	プルアップ 1 MΩ (デフォルト)
0b011	プルアップ 10 MΩ
0b100	プルダウン 500 kΩ
その他	プルアップ/ダウンなし

**Bits 1–0: POL[1:0]**

これらのビットは、タイムスタンプデータを取得するEVIN<sub>n</sub>入力信号を取り込むための検出エッジの極性を選択します。

表 4.7 EVIN<sub>n</sub>入力検出エッジ極性

EVIN <sub>n</sub> _CFG.POL[1:0]	検出エッジ極性
0b00	立ち下がリエッジ (デフォルト)
0b01	立ち上がりエッジ
0b10	立ち下がりおよび
0b11	立ち上がりエッジ

\*1 タイムスタンプ機能の詳細については、“3.11 タイムスタンプ機能”を参照してください。

**0x22: EVIN1\_FLT (EVIN1 Noise Filter)****0x24: EVIN2\_FLT (EVIN2 Noise Filter)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	FLT[5:0]					
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R/W					

**Bits 5–0: FLT[5:0]**

これらのビットは、EVIN<sub>n</sub>入力信号のノイズフィルター時間を設定します (FLT[5:0] × 125ms)。

表 4.8 EVIN<sub>n</sub>端子の入力有効パルス幅

EVIN <sub>n</sub> _FLT. FLT[5:0]	入力信号のエッジと125msごとのサンプリングタイミングとの前後関係によって、エッジ入力が出検される場合とされない場合が生じるEVIN <sub>n</sub> のパルス幅	常にエッジ入力が出検されるEVIN <sub>n</sub> のパルス幅
0x00	–	1 ms以上
0x01 (設定禁止)	–	–
0x02	125 ms以上、250 ms未満	250 ms以上
0x03	250 ms以上、375 ms未満	375 ms以上
:	:	:
0x27	4750 ms以上、4875 ms未満	4875 ms以上
0x28	4875 ms以上、5000 ms未満	5000 ms以上
0x29以上 (設定禁止)	–	–

\*1 タイムスタンプ機能の詳細については、“3.11 タイムスタンプ機能”を参照してください。

**0x27: BUF1\_CFG1 (BUF1 Configuration 1)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>BINSEL</b>	<b>OVWEN</b>	-	-	-	<b>FULLIEN</b>	<b>EMPTIEN</b>	<b>OVWIEN</b>
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W

**Bit 7: BINSEL**

このビットは、イベント発生時にバッファに記録する日時データとしてBCDカウンターとBINカウンターのどちらのデータを取得するか選択します。

1 (R/W): BINカウンターデータを取得

0 (R/W): BCDカウンターデータを取得

**Bit 6: OVWEN**

このビットは、バッファが満杯になった後 (Bank 7への書き込み後) の書き込みモードを設定します。

1 (R/W): オーバーライトモード (Bank 7を上書き)

0 (R/W): オーバーライト禁止モード (バッファフル時は記録を停止、取得データは破棄)

**Bit 2: FULLIEN**

これらのビットは、バッファフル割り込みを許可/禁止します。

1 (R/W): バッファフル割り込みイネーブル

0 (R/W): バッファフル割り込みディスエーブル

このビットが1の場合、バッファフル状態が発生すると割り込みフラグ (BUF1\_STAT.FULLFビット) が1にセットされます。

**Bit 1: EMPTIEN**

これらのビットは、バッファエンプティ解消割り込みを許可/禁止します。

1 (R/W): バッファエンプティ解消割り込みイネーブル

0 (R/W): バッファエンプティ解消割り込みディスエーブル

このビットが1の場合、エンプティ状態のバッファにデータが書き込まれると割り込みフラグ (BUF1\_STAT.EMPTFビット) が1にセットされます。

**Bit 0: OVWIEN**

これらのビットは、バッファオーバーライト割り込みを許可/禁止します。

1 (R/W): バッファオーバーライト割り込みイネーブル

0 (R/W): バッファオーバーライト割り込みディスエーブル

このビットが1の場合、バッファフル状態で新たなタイムスタンプが取得されると割り込みフラグ (BUF1\_STAT.OVWFビット) が1にセットされます。

\*1 タイムスタンプ機能の詳細については、“3.11 タイムスタンプ機能”を参照してください。

**0x28: BUF1\_STAT (BUF1 Status)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>FULLF</b>	<b>EMPTF</b>	-	-	-	-	-	<b>OVWF</b>
Initial value	0	1	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

**Bit 7: FULLF**

このフラグは、バッファがフル状態か否かを示します。

- 1 (R): バッファフル状態  
 0 (R): バッファに空きがある

このフラグは、Bank 6バッファにのみデータが書き込まれている状態で新たに取得されたタイムスタンプデータがBank 7バッファに書き込まれると1にセットされます。

**Bit 6: EMPTF**

このフラグは、バッファがエンプティ状態か否かを示します。

- 1 (R): バッファエンプティ状態  
 0 (R): バッファにデータがある

このフラグは初期状態で1にセットされ、最初に取得したタイムスタンプデータがBank 6に書き込まれると0にクリアされます。

**Bit 0: OVWF**

このフラグは、バッファフル状態で新たなタイムスタンプデータを取得したか否かを示します。

オーバーライト禁止モード

- 1 (R): バッファフル後のデータ取得あり (最新データは破棄)  
 0 (R): バッファフル後のデータ取得なし

オーバーライトモード

- 1 (R): オーバーライトあり (Bank 7は最新データで上書き)  
 0 (R): オーバーライトなし

このフラグは、バッファフル状態で新たなタイムスタンプデータを取得すると1にセットされます。

注: このレジスターのフラグはバッファの読み出しによってリセットすることはできません。リセットするには、WRCMD\_CFG. BUF1FCLRENビットを1に設定してコマンドトリガーを発行する (レジスターWRCMD\_TRGへの書き込みを行う) 必要があります。

\*1 タイムスタンプ機能の詳細については、“3.11 タイムスタンプ機能”を参照してください。

**0x29: BUF1\_CFG2 (BUF1 Configuration 2)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	<b>SRAMMOD</b>	-	-	-	-	-	-
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R	R	R	R

**Bit 6: SRAMMOD**

このビットは、SRAMモードでのバッファの読み出し/書き込みを許可/禁止します。

- 1 (R/W): SRAMモードイネーブル  
 0 (R/W): SRAMモードディスエーブル

\*1 タイムスタンプ機能の詳細、SRAM/バッファの読み出し/書き込み方法については、“3.11 タイムスタンプ機能”を参照してください。

**0x30: ALM\_SEC (Second Alarm)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XSAE	SALM_H[2:0]			SALM_L[3:0]			
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W			R/W			

**Bit 7: XSAE**

このビットは秒アラームの設定を有効/無効にします。

1 (R/W): 秒アラーム無効

0 (R/W): 秒アラーム有効

1に設定すると本レジスターの設定が無効となり、秒カウンターの内容はアラームの発生に影響を与えません。

0に設定すると本レジスターの設定が有効となり、秒カウンターの値とSALM\_H[2:0]/SALM\_L[3:0]ビット設定値の一致がアラーム発生条件となります。

**Bits 6–4: SALM\_H[2:0]****Bits 3–0: SALM\_L[3:0]**

アラームの秒条件をBCDコードで設定します。

SALM\_H[2:0]ビットでアラームの10秒桁 (0–5) を、SALM\_L[3:0]ビットで1秒桁 (0–9) を設定します。

- \*1 アラーム機能の詳細については、“3.6 アラーム機能”を参照してください。
- \*2 アラーム機能を使用しない場合、本レジスターをリード/ライト可能な汎用レジスターとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP\_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

**0x31: ALM\_MIN\_MIR (Mirrored Minute Alarm, = 0x07)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XMAE	MALM_H[2:0]			MALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W			R/W			

レジスターALM\_MINのミラーです。詳細は“0x07: ALM\_MIN (Minute Alarm)”を参照してください。

**0x32: ALM\_HOUR\_MIR (Mirrored Hour Alarm, = 0x08)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XHAE	(GP)	HALM_H[1:0]		HALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

レジスターALM\_HOURのミラーです。詳細は“0x08: ALM\_HOUR (Hour Alarm)”を参照してください。

**0x33: ALM\_WEEKDAY\_MIR (Mirrored Day-of-Week Alarm / Day Alarm, = 0x09)****Mirrored Day-of-Week Alarm Register**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XWAE	WKALM[6:0]						
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W						

**Mirrored Day Alarm Register**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XWAE	(GP)	DALM_H[1:0]		DALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

レジスターALM\_WEEKDAYのミラーです。詳細は“0x09: ALM\_WEEKDAY (Day-of-Week Alarm / Day Alarm)”を参照してください。



**0x34: UPDISEL (Time Update Interrupt Select)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	-	-	-	-	-	<b>USEL1</b>	-
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R

**Bit 1: USEL1**

このビットは、TCTL.USEL0ビットと共に時刻更新割り込みイベントの種類を選択します。(表 4.2 参照)

**0x38: WTICFG (Wakeup Timer Interrupt Configuration)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	<b>PINMUX[1:0]</b>		<b>RSTOPT[1:0]</b>		<b>WTONETIM</b>	<b>TSEL2</b>	<b>WTIOUT</b>	<b>UPDOWNMOD</b>
Initial value	0/1	0/1	0	0	0	0	0	0
R/W	R/W		R/W		R/W	R/W	R/W	R/W

**Bits 7–6: PINMUX[1:0]**

これらのビットの値を初期値から変更することを、禁止します。初期値と異なる値が設定された場合、意図しない端子機能割り当てになる可能性があります。

各機種オプションの初期値は、表 4.9のとおりです。

表 4.9 各製品のWTICFG.PINMUX[1:0]ビット初期値

製品名称	インターフェイス	WTICFG.PINMUX[1:0]初期値
RA4000CE Option A YB	3線SPI	0b01
RA4000CE Option B YB		0b01
RA4000CE Option C YB		0b00
RA4000CE Option D YB	4線SPI	0b00
RA4000CE Option E YB		0b00
RA8000CE Option A YB	I <sup>2</sup> C-Bus	0b01
RA8000CE Option B YB		0b01
RA8000CE Option C YB		0b00
RA8000CE Option D YB		0b10

## Bits 5–4: RSTOPT[1:0]

これらのビットは、リセット (/RST) 出力時に入出力を無効にするか否かを選択します。

入力端子が無効の時は、入力端子をHi-Zにすることが可能です。

出力端子が無効の時は、Hi-Z出力になります。

ディスエーブル: /RST = L (電源電圧低下検出時) に入力/出力を無効にする。

イネーブル: /RST = L (電源電圧低下検出時) に入力/出力を無効にしない。

本設定は、/RST端子機能が使用可能な機種のみ有効です。

表 4.10 リセット出力オプションの選択

WTICFG. RSTOPT[1:0]	FOE, CE, CLK, DI (DIO), SCL, SDA 端子入力 DO 端子出力	FOUT, /INT, SOUT 端子出力
0b00	ディスエーブル (デフォルト)	ディスエーブル (デフォルト)
0b01	ディスエーブル	イネーブル
0b10	イネーブル	ディスエーブル
0b11	イネーブル	イネーブル

## Bit 3: WTONETIM

このビットは、ウェイクアップタイマー割り込み発生時に/INT出力を自動解除するか否かを選択します。

1 (R/W): 自動解除しない (LOW出力)

0 (R/W): 自動解除する (7.812 ms幅のLOWパルス出力)

## Bit 2: TSEL2

このビットは、ウェイクアップタイマーのソースクロックとして外部クロックを選択します。

1 (R/W): EVIN2端子入力クロック

0 (R/W): TCTL.TSEL[1:0]ビットで選択された内部クロック

## Bit 1: WTIOU

このビットは、ウェイクアップタイマー割り込み信号の出力端子を選択します。

1 (R/W): FOUT端子から出力 (CMOSバッファ出力)

0 (R/W): /INT端子から出力 (N-chオープンドレイン出力)

注: ウェイクアップタイマー割り込み信号の出力端子にFOUT端子を選択した場合、FOUT端子からはウェイクアップタイマー割り込み信号とFOUT信号がNORされた信号が出力されます。したがって、FOUT端子からウェイクアップタイマー割り込み信号だけを出力させる場合は、TCTL.FSEL[1:0]ビットを0b11に設定して、FOUT信号の出力を停止してください。

## Bit 0: UPDOWNMOD

このビットは、ウェイクアップタイマーのカウントモードを設定します。

1 (R/W): カウントアップモード

0 (R/W): カウントダウンモード

\*1 ウェイクアップタイマーの詳細については、“3.7 ウェイクアップタイマー機能”を参照してください。

**0x39: WTCTL (Wakeup Timer Control)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTRST	EXWTRSTEN	WTRSTWIN[1:0]		WTMODSEL	WTSTOPCTL	-	WTSTOP
Initial value	0	0	0	0	0	0	0	0
R/W	W	R/W	R/W		R/W	R/W	R	R/W

**Bit 7: WTRST**

このビットは、ウェイクアップタイマーにプリセット値をリロードします。

1 (W): タイマープリセット

0 (W): 無効

本ビットへの1書き込みにより、ウェイクアップタイマーのカウンターにカウントダウンモード時はプリセット値が、カウントアップモード時は1がリロードされカウント動作を再スタートします。これにより、ウェイクアップタイマーをウォッチドッグタイマーのように使用することができます。本ビットからは、1書き込み後も常時0が読み出されます。

**Bit 6: EXWTRSTEN**

このビットは、外部入力信号によるウェイクアップタイマーのリセットを許可/禁止します。

1 (W): 外部入力リセットをイネーブル

0 (W): 外部入力リセットディスエーブル

EXWTRSTENビットを1にすると、EVIN2端子からの977  $\mu$ s以上の幅のHIGHパルス入力によって、ウェイクアップタイマーがリセットされます。この外部入力リセットは、WTRSTビットによるリセットと併用可能です。

**Bits 5–4: WTRSTWIN[1:0]**

これらのビットは、カウントダウンモードにおけるウェイクアップタイマーのリセット受付期間 (リセットウィンドウ) を指定します。このリセットウィンドウによるリセット受付期間の制限は、WTRSTビットによるリセット、および外部入力リセットの両方に適用されます。

表 4.11 リセットウィンドウの設定

WTCTL.WTRSTWIN[1:0]	リセット受付期間 (カウントダウンモード)
0b00	全期間 (デフォルト)
0b01	カウンター値 = 2 ~ 1
0b10	カウンター値 = 16 ~ 1
0b11	カウンター値 = 64 ~ 1

ウェイクアップタイマーのプリセット値は、リセット受付期間より大きい値に設定する必要があります。

**Bit 3: WTMODSEL**

このビットは、ウェイクアップタイマーの動作をノーマルモード (リセット出力解除中) またはセーフモード (リセット出力中) の一方のみに制限します。

1 (R/W): ノーマルモード時はカウンターを停止

0 (R/W): セーフモード時はカウンターを停止

**Bit 2: WTSTOPCTL**

このビットは、WTMODSELビット、WTSTOPビットの機能を有効/無効に設定します。

1 (R/W): WTMODSEL有効、WTSTOP無効

0 (R/W): WTMODSEL無効、WTSTOP有効

## Bit 0: WTSTOP

このビットは、ウェイクアップタイマーを一時停止します。

1 (R/W): ウェイクアップタイマーを一時停止

0 (R/W): ウェイクアップタイマーの一時停止を解除

\*1 ウェイクアップタイマーの詳細については、“3.7 ウェイクアップタイマー機能”を参照してください。

**0x3A: WTCNT\_L\_MIR (Mirrored Wakeup Timer Counter Low, = 0x0A)****0x3B: WTCNT\_M\_MIR (Mirrored Wakeup Timer Counter Middle, = 0x0B)****0x3C: WTCNT\_H\_MIR (Mirrored Wakeup Timer Counter High, = 0x0C)****Mirrored Wakeup Timer Counter Low**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[7:0]							
Initial value	0	0	0	0	0	0	0	1
R/W	R/W							

**Mirrored Wakeup Timer Counter Middle**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[15:8]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

**Mirrored Wakeup Timer Counter High**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[23:16]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

レジスターWTCNT\_L、WTCNT\_M、WTCNT\_Hのミラーです。詳細は“0x0A–0x0C: WTCNT\_L/WTCNT\_M/WTCNT\_H (Wakeup Timer Counter Low/Middle/High)”を参照してください。

**0x3D: TCTL\_MIR (Mirrored Timer Control, = 0x0D)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FSEL[1:0]		USEL0	TE	WADA	–	TSEL[1:0]	
Initial value	0	0	0	0	0	0	1	0
R/W	R/W		R/W	R/W	R/W	R	R/W	

レジスターTCTLのミラーです。詳細は“0x0D: TCTL (Timer Control)”を参照してください。

**0x3E: INTF\_MIR (Mirrored Status Flag, = 0x0E)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMPLF
Initial value	1	1	x	x	x	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

レジスターINTFのミラーです。詳細は“0x0E: INTF (Status Flag)”を参照してください。

**0x3F: TSTP\_INTE\_MIR (Mirrored Timer Stop and Interrupt Enable, = 0x0F)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	CSEL[1:0]		UIE	TIE	AIE	EIE	–	STOP
Initial value	0	1	0	0	0	0	0	0
R/W	R/W		R/W	R/W	R/W	R/W	R	R/W

レジスターTSTP\_INTEのミラーです。詳細は“0x0F: TSTP\_INTE (Timer Stop and Interrupt Enable)”を参照してください。

**0x41: WRCMD\_CFG (Write Command Configuration)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	EVCNTCLREN	–	–	BUF1FCLREN	–	–	–	CMDTRGEN
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R	R	R	R/W

注: 本レジスターはレジスターWRCMD\_TRG (アドレス0x42) への書き込み時に実行される機能を指定します。

**Bit 7: EVCNTCLREN**

このビットは、コマンドトリガー実行時 (レジスターWRCMD\_TRGへの書き込み時) にイベントカウンタを初期化するか否かを指定します。

- 1 (R/W): イベントカウンタを初期化  
0 (R/W): イベントカウンタを初期化しない

このビットを1に設定してコマンドトリガーを実行すると、以下のEVIN1 ~ 2のイベント入力回数カウンタがすべて初期化されて0になります。

EVIN1\_EVCNT.EVCNT[5:0]ビット (EVIN1イベントカウンタ)  
EVIN2\_EVCNT.EVCNT[5:0]ビット (EVIN2イベントカウンタ)

**Bit 4: BUF1FCLREN**

このビットは、コマンドトリガー実行時にバッファーステータスフラグを初期化するか否かを指定します。

- 1 (R/W): バッファーステータスフラグを初期化  
0 (R/W): バッファーステータスフラグを初期化しない

このビットを1に設定してコマンドトリガーを実行すると、以下のバッファーステータスフラグがすべて初期化され、バッファはエンプティ状態になります。

BUF1\_STAT.FULLFビット (バッファフルフラグ)  
BUF1\_STAT.EMPTFビット (バッファエンプティフラグ)  
BUF1\_STAT.OVWFビット (バッファオーバーライトフラグ)

**Bit 0: CMDTRGEN**

このビットは、コマンドトリガー実行時にタイムスタンプトリガーを発行するか否かを指定します。

- 1 (R/W): タイムスタンプトリガーが発行される  
0 (R/W): タイムスタンプトリガーが発行されない

このビットを1に設定してコマンドトリガーを実行すると、タイムスタンプトリガーが発行されます。このタイムスタンプトリガーを連続して発行する場合は、トリガーの間に5 ms以上のインターバルが必要です。タイムスタンプトリガーが受け付けられたかは、BUF\_INTF.BUF1Fビットが1にセットされたことで確認できます。

**0x42: WRCMD\_TRG (Write Command Trigger)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WRTRG[7:0]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

**Bits 7–0: WRTRG[7:0]**

このアドレスに任意の値を書き込むことにより、コマンドトリガーが発行されるとともに、レジスターWRCMD\_CFG (アドレス0x41) に設定された動作が行われます (レジスターライトのタイミングで発行されます。タイミングの詳細は、3.11節内の“コマンドトリガーの発行”を参照してください)。

コマンドトリガー発行から、次のコマンドトリガー発行やタイムスタンプデータを読み込み可能になるまでの間は、本レジスターは0x00以外の値を保持します。タイムスタンプトリガー発行直後にスタンプデータを読み出す場合や、次のコマンドトリガーを発行する場合は、その前に本レジスターを読み出し、0x00に戻っていることを確認してください。

**0x43: EVNT\_INTE (Event Interrupt Enable)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	EVIN2IEN	EVIN1IEN	RSTOEN	-	VTMPLIEN	-	OSCSTPIEN
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R	R/W

Bit 6: EVIN2IEN

Bit 5: EVIN1IEN

これらのビットは、EVIN $n$ イベント入力による割り込みの発生を許可/禁止します。

1 (R/W): EVIN $n$ イベント入力割り込みイネーブル

0 (R/W): EVIN $n$ イベント入力割り込みディスエーブル

Bit 4: RSTOEN

このビットは、リセット出力 ( $V_{DD}$ 電圧が $V_{DD}$ 低下検出電圧を下回ったことを検出) によるイベントトリガーの発生を許可/禁止します。このビットは、/RST端子を持つ機種のみ有効です。

1 (R/W): リセット出力イベントトリガーイネーブル

0 (R/W): リセット出力イベントトリガーディスエーブル

このビットが1の場合、リセット出力を開始 ( $V_{DD}$ 電圧が $V_{DD}$ 低下検出電圧 ( $-V_{DET1n}$ ) まで低下したことを検出) すると、イベントフラグ (EVNT\_INTF.RSTOEVFビット) が1にセットされます。

Bit 2: VTMPLIEN

このビットは、 $V_{DET2}$ 電圧低下検出 ( $V_{DD}$ 電圧が発振回路の温度調整動作下限電圧を下回ったことを検出) によるイベントトリガーの発生を許可/禁止します。

1 (R/W):  $V_{DET2}$ 電圧低下検出イベントトリガーイネーブル

0 (R/W):  $V_{DET2}$ 電圧低下検出イベントトリガーディスエーブル

このビットが1の場合、 $V_{DET2}$ 電圧低下を検出するとイベントフラグ (EVNT\_INTF.VTMPLEVFビット) が1にセットされます。

Bit 0: OSCSTPIEN

このビットは、発振停止検出によるイベントトリガーの発生を許可/禁止します。

1 (R/W): 発振停止検出イベントトリガーイネーブル

0 (R/W): 発振停止検出イベントトリガーディスエーブル

このビットが1の場合、発振停止を検出するとイベントフラグ (EVNT\_INTF.OSCSTPEVFビット) が1にセットされます。

**0x44: CAP\_EN (Capture Enable)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	-	-	RSTOCPEN	-	VTMPLCPEN	-	OSCSTPCPEN
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R	R/W	R	R/W

Bit 4: RSTOCPEN

このビットは、リセット出力 ( $V_{DD}$ 電圧が $V_{DD}$ 低下検出電圧を下回ったことを検出) のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W): リセット出力タイムスタンプキャプチャーイネーブル

0 (R/W): リセット出力タイムスタンプキャプチャーディスエーブル

## Bit 2: VTMP LPCPEN

このビットは、 $V_{DET2}$ 電圧低下検出 ( $V_{DD}$ 電圧が発振回路の温度調整動作下限電圧を下回ったことを検出) のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W):  $V_{DET2}$ 電圧低下検出タイムスタンプキャプチャーイネーブル

0 (R/W):  $V_{DET2}$ 電圧低下検出タイムスタンプキャプチャーディスエーブル

## Bit 0: OSCSTPCPEN

このビットは、発振停止検出のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W): 発振停止検出タイムスタンプキャプチャーイネーブル

0 (R/W): 発振停止検出タイムスタンプキャプチャーディスエーブル

注: 実際に各イベントトリガーでタイムスタンプキャプチャーを実行させるためには、レジスターEVNT\_INTE内の対応する\*\*\*IENビットを1に設定してレジスターEVNT\_INTFのイベントフラグ (\*\*EVFビット) がセットされるようにしておく必要があります。

## 0x45: INTF\_MIR (Mirrored Status Flag, = 0x0E)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMP LF
Initial value	1	1	x	x	x	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

レジスターINTFのミラーです。詳細は“0x0E: INTF (Status Flag)”を参照してください。

## 0x46: BUF\_INTF (Buffer Interrupt Factor)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	-	BUF1F	RSTOF	-	-	-	-
Initial value	0	0	0	1	0	0	0	0
R/W	R	R	R	R/W	R	R	R	R

## Bit 5: BUF1F

このフラグは、タイムスタンプバッファにイベントトリガー入力割り込み要因が発生したことを示します。

1 (R): イベントトリガー入力発生

0 (R): イベントトリガー入力なし

このフラグは、バッファフル (BUF1\_STAT.FULLFビット = 1)、バッファエンプティ解消 (BUF1\_STAT.EMPTFビット = 0)、またはバッファオーバーライト (BUF1\_STAT.OVWFビット = 1) が発生した時点で1にセットされます。

コマンドトリガーによってこれらのフラグをリセット (BUF1\_STAT.FULLFビット = 0、BUF1\_STAT.EMPTFビット = 1、BUF1\_STAT.OVWFビット = 0) すると、BUF1Fビットは0にクリアされます。

次のイベント発生を受け付けて割り込みを出力するには、フラグがクリアされている必要があります。

## Bit 4: RSTOF

このフラグは、リセット出力を開始 ( $V_{DD}$ 電圧が $V_{DD}$ 低下検出電圧を下回ったことを検出) した場合にセットされます。

1 (R): リセット出力開始 ( $V_{DD}$ 電圧が $-V_{DET1n}$ を下回ったことを検出)

0 (R): リセット出力なし ( $V_{DD}$ 電圧低下検出なし)

1 (W): 無効

0 (W): フラグをクリア ( $V_{DD}$ 電圧復帰後)

$V_{DD}$ 電圧低下の状態が継続している場合、0書き込みによってフラグをクリアすることはできません。次のイベント発生を受け付けて割り込みを出力するには、フラグがクリアされている必要があります。

### 0x47: EVNT\_INTF (Event Interrupt Factor)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	EVIN2F	EVIN1F	RSTOEVF	–	VTMPLEVF	–	OSCSTPEVF
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R/W	R	R/W

Bit 6: EVIN2F

Bit 5: EVIN1F

これらのフラグは、EVIN $n$ にイベント入力が発生したことを示します。

1 (R): EVIN $n$ イベント入力発生

0 (R): EVIN $n$ イベント入力なし

1 (W): 無効

0 (W): フラグをクリア

Bit 4: RSTOEVF

このフラグは、リセット出力 ( $V_{DD}$ 電圧が $V_{DD}$ 低下検出電圧を下回ったことを検出) イベントが発生したことを示します。

1 (R): リセット出力イベント発生

0 (R): リセット出力イベント入力なし

1 (W): 無効

0 (W): フラグをクリア

Bit 2: VTMPLEVF

このフラグは、 $V_{DET2}$ 電圧低下検出 ( $V_{DD}$ 電圧が発振回路の温度調整動作下限電圧を下回ったことを検出) イベントが発生したことを示します。

1 (R):  $V_{DET2}$ 電圧低下検出イベント発生

0 (R):  $V_{DET2}$ 電圧低下検出イベント入力なし

1 (W): 無効

0 (W): フラグをクリア

Bit 0: OSCSTPEVF

このフラグは、発振停止検出イベントが発生したことを示します。

1 (R): 発振停止検出イベント発生

0 (R): 発振停止検出イベント入力なし

1 (W): 無効

0 (W): フラグをクリア

発振停止検出イベントトリガーが発生した場合、発振再開後にタイムスタンプを取得します。

注: 本レジスターのフラグは、レジスターEVNT\_INTEの対応する\*\*\*\*IENビットが0の場合はイベントが発生してもセットされません。



**0x51: EVIN1\_EVCNT (EVIN1 Event Counter)****0x52: EVIN2\_EVCNT (EVIN2 Event Counter)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	EVCNT[5:0]					
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R					

**Bits 5–0: EVCNT[5:0]**

これらのビットは、EVIN<sub>n</sub>端子からのイベント入力回数 (0 ~ 63回) を示します。

入力回数が63回を超えた場合は、0に戻りカウントを継続します。

なお、EVIN\_EN.EVIN<sub>n</sub>ENビット = 0の場合、EVIN<sub>n</sub>イベント入力回数はカウントされません。

**0x54: EVINMON (EVIN Monitor)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	EVIN2MON	EVIN1MON	–	–	–	–	–
Initial value	0	x	x	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

Bit 6: EVIN2MON

Bit 5: EVIN1MON

これらのビットは、現在のEVIN<sub>n</sub>端子入力レベルを示します。

1 (R): HIGHレベル

0 (R): LOWレベル

**0x55: SOUTCTL (SOUT Control)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	DCE	DC	–	–	SIGINV	SOUT[2:0]		
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W		

Bit 7: DCE

このビットは、SOUT端子からのDC出力をON/OFFします。

1 (R/W): DC出力ON

0 (R/W): DC出力OFF (ステータスフラグ出力またはHi-Z状態)

Bit 6: DC

このビットは、DCEビット = 1の場合にSOUT端子から出力するDCレベルを設定します。

1 (R/W): Highレベル

0 (R/W): Lowレベル

DCEとDCの2ビットの組み合わせにより、下表のとおりSOUT出力状態を選択可能です。

表 4.12 SOUT出力の選択

SOUTCTL.DCE	SOUTCTL.DC	SOUT端子の出力状態
0b0	0b0	Hi-Z
0b0	0b1	SIGINVとSOUT[2:0]ビットの設定に従う
0b1	0b0	LOW出力
0b1	0b1	HIGH出力

## Bit 3: SIGINV

このビットは、SOUT端子からステータスフラグを出力する場合に出力レベルを反転するか否か選択します。

1 (R/W): 反転出力 (フラグ = 1の場合: Lowレベル出力、フラグ = 0の場合: Highレベル出力)

0 (R/W): 非反転出力 (フラグ = 1の場合: Highレベル出力、フラグ = 0の場合: Lowレベル出力)

DCEビット = 1の場合、本ビットによる反転の設定は無効です。

## Bits 2–0: SOUT[2:0]

これらのビットは、SOUT端子から出力するステータスフラグを選択します。DCEビット = 0の場合に有効です。

表 4.13 SOUT出力可能な内部ステータスフラグ

SOUTCTL.SOUT[2:0]	ステータスフラグ
0b000	INTF.TFビット (ウェイクアップタイマー割り込みフラグ)
0b001	INTF.AFビット (アラーム割り込みフラグ)
0b010	INFF.UFビット (時刻更新割り込みフラグ)
0b011	INTF.EFビット (イベント検出割り込みフラグ)
0b100	INTF.VTMPLFビット (温度補償動作停止検出フラグ)
0b101	INTF.VLFビット (日時データ無効警告フラグ)
0b110–0b111	Reserved

## 5 電気的特性

### 5.1 絶対最大定格

表 5.1 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	$V_{DD}$	—	-0.3 ~ +6.5	V
入力電圧	$V_{IN}$	FOE, CE, SCL, CLK, SDA, DIO, DI, EVIN1, EVIN2	-0.3 ~ +6.5	V
出力電圧	$V_{OUT}$	/INT, /RST, SDA, FOUT, SOUT, DIO, DO	-0.3 ~ +6.5	V
保存温度	$T_{STG}$	梱包状態を除く、単品での保存	-55 ~ +125	°C

GND = 0 V

(注) ・電圧はすべて  $V_{SS} = 0$  V を基準とした値です。

- ・上記、絶対最大定格を超えて使用した場合、永久破壊となることがあります。また、通常動作では推奨動作条件の範囲内で使用することが望ましく、この条件を越えると誤動作の原因になるとともに、信頼性に悪影響を及ぼすことがあります。
- ・電圧は常に  $V_{DD} \geq V_{SS}$  の条件を保持してください。
- ・動作は電気的特性の範囲内で保証されます。

### 5.2 推奨動作条件

表 5.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧 <sup>*1</sup>	$V_{DD}$	主電源 $V_{DD}$ 端子	1.6	3.0	5.5	V
インターフェイス電源電圧	$V_{ACC}$	$V_{DD}$ 端子電圧 (I <sup>2</sup> C-Bus IF, SPI IF 3wire/4wire)	1.6	3.0	5.5	V
温度補償電圧	$V_{TMP}$	温度補償動作が継続する $V_{DD}$ 電源電圧	1.6 <sup>*2</sup>	3.0	5.5	V
計時電源電圧	$V_{CLK}$	計時動作が継続する $V_{DD}$ 電源電圧	$V_{VLF}$ <sup>*3</sup>	3.0	5.5	V
動作温度範囲	$T_a$	結露無きこと	-40	+25	+125	°C

GND = 0 V

\*1 電源端子近傍にノイズ対策用のバイパスコンデンサを必ず挿入してください。

\*2 温度補償電圧のMin.値未満では、温度に対応した周波数補正値更新機能が停止します。

\*3  $V_{VLF}$ は、 $V_{DD} \geq V_{ACC}(\text{Min.})$ で初期設定後の計時保持下限値です。

### 5.3 周波数特性

表 5.3 周波数特性

特記無き場合: GND = 0 V,  $V_{DD} = 3.0$  V,  $T_a = -40$  °C ~ +125 °C

項目	記号	条件	Min.	Typ.	Max.	単位
出力周波数	$f_o$	$T_a = +25$ °C		32.768		kHz
周波数安定度	$\Delta f/f$	YB $T_a = 0$ °C ~ +50 °C	—	—	$\pm 3.8$ <sup>*1</sup>	$\times 10^{-6}$
		$T_a = -40$ °C ~ +85 °C	—	—	$\pm 5.0$ <sup>*2</sup>	
		$T_a = +85$ °C ~ +105 °C	—	—	$\pm 8.0$ <sup>*3</sup>	
		$T_a = +105$ °C ~ +125 °C			$\pm 50.0$ <sup>*4</sup>	
周波数電圧特性	$f/V$	$T_a = +25$ °C, $V_{DD} = 1.6$ V ~ 5.5 V	—	—	$\pm 1$	$\times 10^{-6}/V$
FOUT デューティ	Duty	$V_{th} = 50\% V_{DD}$ , $T_a = -40$ °C ~ +125 °C, $V_{DD} = 1.6$ V ~ 5.5 V	40	—	60	%
水晶発振開始時間	$t_{STA}$	$T_a = +25$ °C, $V_{DD} = 1.6$ V ~ 5.5 V	—	0.5	1.0	s
		$T_a = -40$ °C ~ +125 °C, $V_{DD} = 1.6$ V ~ 5.5 V	—	—	3.0	
エージング	$f_a$	$T_a = +25$ °C, 電源電圧 = 3.0 V, 初年度	—	—	$\pm 3$	$\times 10^{-6}/\text{year}$
リフロー	$\Delta f_{ref}$	リフロー処理: 260 °C Max., 2回	—	—	$\pm 3$ <sup>*5</sup>	$\times 10^{-6}$

\*1 月差10秒以内 \*2 月差13.2秒以内 \*3 月差21秒以内 \*4 月差132秒以内

\*5 リフロー実装前後の周波数変化率で、常温放置24時間経過後に常温環境で測定した値

## 5.4 DC特性

## DC特性

表 5.4 DC特性

特記無き場合: GND = 0 V, V<sub>DD</sub> = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +125 °C

項目	記号	条件	Min.	Typ.	Max.	単位	
V <sub>POR</sub> 電圧	V <sub>POR</sub>	POR アサート電圧	1.00	1.20	1.30	V	
温度補償更新停止検出電圧	V <sub>DET2</sub>	検出電源系 = V <sub>DD</sub>	1.51	1.55	1.59	V	
VLF 検出電圧	V <sub>VLF</sub>	V <sub>DD</sub> 電源低下検出電圧	1.00	1.20	1.30	V	
消費電流1	I <sub>DD1</sub>	/INT = Hi-Z, FOUT: 出力OFF (Hi-Z)	V <sub>DD</sub> = 5 V	-	0.35	1.8	μA
消費電流2	I <sub>DD2</sub>	温度補償間隔 2.0 s /RST端子なし, SCL, SDA = H, CE = L	V <sub>DD</sub> = 3 V	-	0.30	1.7	
消費電流3	I <sub>DD3</sub>	/INT = Hi-Z FOUT: 32 kHz出力, C <sub>L</sub> = 0 pF	V <sub>DD</sub> = 5 V	-	1.20	3.1	μA
消費電流4	I <sub>DD4</sub>	温度補償間隔 2.0 s /RST端子なし, SCL, SDA = H, CE = L	V <sub>DD</sub> = 3 V	-	0.80	3.0	
消費電流5	I <sub>DD5</sub>	/INT = Hi-Z FOUT: 32 kHz出力, C <sub>L</sub> = 30 pF	V <sub>DD</sub> = 5 V	-	6.10	8.1	μA
消費電流6	I <sub>DD6</sub>	温度補償間隔 2.0 s /RST端子なし, SCL, SDA = H, CE = L	V <sub>DD</sub> = 3 V	-	4.00	6.0	
消費電流7	I <sub>DD7</sub>	/INT = Hi-Z FOUT: 出力OFF (Hi-Z)	V <sub>DD</sub> = 5 V	-	0.33	1.75	μA
消費電流8	I <sub>DD8</sub>	温度補償回路非動作時 /RST端子なし, SCL, SDA = H, CE = L	V <sub>DD</sub> = 3 V	-	0.28	1.65	
消費電流9	I <sub>DD9</sub>	/INT = Hi-Z FOUT: 出力OFF (Hi-Z)	V <sub>DD</sub> = 5 V	-	60	100	μA
消費電流10	I <sub>DD10</sub>	温度補償回路動作ピーク時 /RST端子なし, SCL, SDA = H, CE = L	V <sub>DD</sub> = 3 V	-	55	95	
消費電流11	I <sub>DD11</sub>	/INT = Hi-Z, FOUT: 出力OFF (Hi-Z) 温度補償間隔 2.0 s /RST端子あり, 出力解除時 (Hi-Z) SCL, SDA = H, CE = L	V <sub>DD</sub> = 5 V	-	1.50	3.7	μA
消費電流12	I <sub>DD12</sub>	/INT = Hi-Z, FOUT: 出力OFF (Hi-Z) 温度補償間隔 2.0 s /RST端子あり, 出力時 (Low) SCL, SDA = H, CE = L	V <sub>DD</sub> = 2 V	-	0.60	2.25	
消費電流13	I <sub>DD13</sub>	/INT = Hi-Z, FOUT: 出力OFF (Hi-Z) 温度補償間隔 2.0 s	V <sub>DD</sub> = 5 V	-	12	20	μA
消費電流14	I <sub>DD14</sub>	/RST端子あり, V <sub>DD</sub> 電圧検出動作ピーク時 SCL, SDA = H, CE = L	V <sub>DD</sub> = 3 V	-	11	19	
“H”入力電圧	V <sub>IH</sub>	SCL, SDA, CE, CLK, DIO, DI, EVIN <sub>n</sub> , FOE	0.8 x V <sub>DD</sub>	-	5.5	V	
“L”入力電圧	V <sub>IL</sub>	SCL, SDA, CE, CLK, DIO, DI, EVIN <sub>n</sub> , FOE	GND - 0.3	-	0.2 x V <sub>DD</sub>	V	
“H”出力電圧	V <sub>OH1</sub>	DIO, DO, V <sub>DD</sub> = 5.0 V, I <sub>OH</sub> = -1 mA	4.5	-	5.0	V	
	V <sub>OH2</sub>	FOUT, SOUT V <sub>DD</sub> = 3.0 V, I <sub>OH</sub> = -1 mA	2.2	-	3.0		
	V <sub>OH3</sub>	V <sub>DD</sub> = 3.0 V, I <sub>OH</sub> = -100 μA	2.9	-	3.0		
“L”出力電圧	V <sub>OL1</sub>	FOUT, SOUT V <sub>DD</sub> = 5.0 V, I <sub>OL</sub> = 1 mA	GND	-	GND + 0.5	V	
	V <sub>OL2</sub>	V <sub>DD</sub> = 3.0 V, I <sub>OL</sub> = 1 mA	GND	-	GND + 0.8		
	V <sub>OL3</sub>	V <sub>DD</sub> = 3.0 V, I <sub>OL</sub> = 100 μA	GND	-	GND + 0.1		
	V <sub>OL4</sub>	DIO, DO, V <sub>DD</sub> = 5.0 V, I <sub>OL</sub> = 1 mA	GND	-	GND + 0.25	V	
	V <sub>OL5</sub>	/INT, /RST V <sub>DD</sub> = 3.0 V, I <sub>OL</sub> = 1 mA	GND	-	GND + 0.4		
	V <sub>OL6</sub>	SDA V <sub>DD</sub> ≥ 2.0 V, I <sub>OL</sub> = 3 mA	GND	-	GND + 0.4	V	
入力リーク電流	I <sub>LK</sub>	入力端子, 入力電圧 = V <sub>DD</sub> or GND	-0.5	-	0.5	μA	
出力リーク電流	I <sub>OZ</sub>	出力端子, 出力電圧 = V <sub>DD</sub> or GND	-0.5	-	0.5	μA	
オープンドレイン出力端子 ブルアップ電圧	V <sub>PUP1</sub>	/INT	-	-	5.5	V	
	V <sub>PUP2</sub>	/RST, SDA	V <sub>DD</sub>	-	5.5	V	
EVIN <sub>n</sub> 入力ブルアップ抵抗	R <sub>UP1</sub>	EVIN1/EVIN2端子, V <sub>DD</sub> = 3 V, 500 kΩ設定	100	500	2000	kΩ	
	R <sub>UP2</sub>	EVIN1/EVIN2端子, V <sub>DD</sub> = 3 V, 1 MΩ設定	0.20	1.00	4.00	MΩ	
	R <sub>UP3</sub>	EVIN1/EVIN2端子, V <sub>DD</sub> = 3 V, 10 MΩ設定	2.00	10.00	40.00	MΩ	
EVIN <sub>n</sub> 入力ブルダウン抵抗	R <sub>DWN3</sub>	EVIN1/EVIN2端子, V <sub>DD</sub> = 3 V, 500 kΩ設定	100	500	2000	kΩ	
CE入力ブルダウン抵抗	R <sub>DWN1</sub>	CE端子, N.C.端子 (Option C), V <sub>DD</sub> = 5 V	75	150	300	kΩ	
Option CにおけるN.C.端子 ブルダウン抵抗 (Pin 1, 5, 6)	R <sub>DWN2</sub>	CE端子, N.C.端子 (Option C), V <sub>DD</sub> = 3 V	150	300	600	kΩ	

## 温度補償回路動作と消費電流

本機種は温度補償間隔ごとに温度センサーを動作させ、温度補償値の更新を行っているため、その期間は消費電流が増加します。 $I_{DD1}$ 、 $I_{DD2}$ は、温度センサー測定動作の実行間隔2.0 s時の平均消費電流となります。

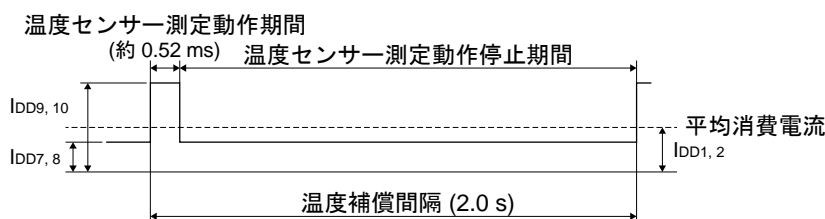


図 5.1 温度補償回路動作と消費電流

## /RST出力端子ありの場合の消費電流

/RST出力端子を持つ製品では、 $V_{DD}$ 電圧低下検出回路の消費電流が図 5.2のように周期的に変化します。 $I_{DD11}$ 、 $I_{DD12}$ は平均消費電流値です。

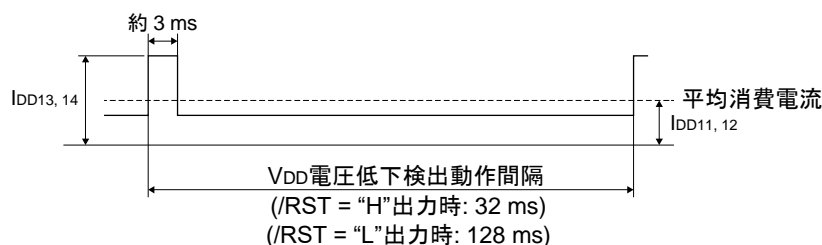


図 5.2 /RST出力端子ありの場合の消費電流

## 状態遷移と自己監視機能の検出電圧

RA4000CE/RA8000CEの動作状態/モード (2.3節) の状態遷移、リセット出力機能 (3.9節) および自己監視機能 (3.10節) のフラグのセットを判定する電圧値を図 5.3に示します。

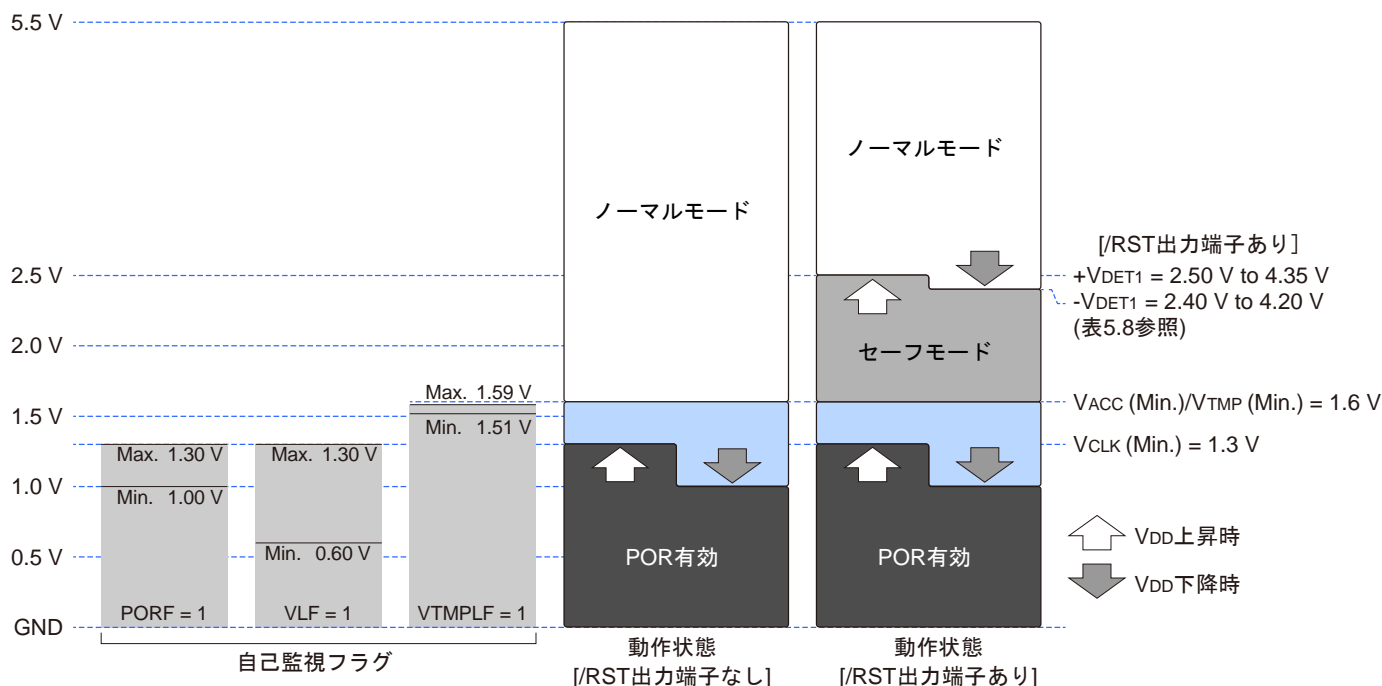


図 5.3 自己監視電圧-フラグ・状態相関図

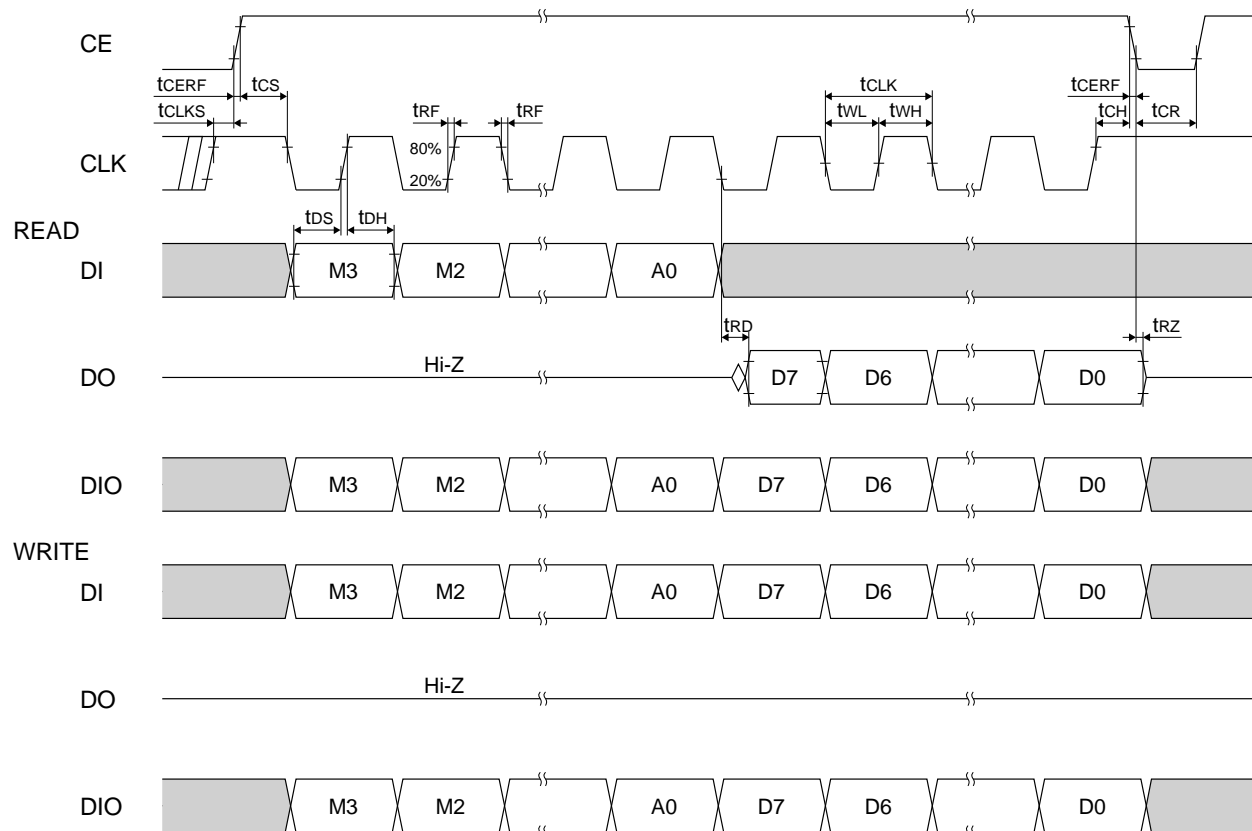
## 5.5 AC特性

## RA4000CE AC特性

表 5.5 RA4000CE AC特性

特記無き場合: GND = 0 V,  $V_{DD} = 1.6 \text{ V} \sim 5.5 \text{ V}$ ,  $T_a = -40 \text{ }^\circ\text{C} \sim +125 \text{ }^\circ\text{C}$ 

項目	記号	条件	$V_{DD} = 1.8 \text{ V} \pm 0.2 \text{ V}$		$V_{DD} = 3.0 \text{ V} \pm 10 \%$		$V_{DD} = 5.0 \text{ V} \pm 10 \%$		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
CLKクロック周期	$t_{CLK}$		500	–	332	–	250	–	ns
CLK “H”パルス幅	$t_{WH}$		250	–	166	–	125	–	ns
CLK “L”パルス幅	$t_{WL}$		250	–	166	–	125	–	ns
CLK立ち上がり・立ち下り時間	$t_{RF}$		–	100	–	50	–	40	ns
CLKセットアップ時間	$t_{CLKS}$		50	–	30	–	30	–	ns
CEセットアップ時間	$t_{CS}$		200	–	150	–	130	–	ns
CE保持時間	$t_{CH}$		200	–	150	–	130	–	ns
CEリカバリー時間	$t_{CR}$		300	–	200	–	150	–	ns
CE立ち上がり・立ち下り時間	$t_{CERF}$		–	100	–	50	–	40	ns
書き込みデータセットアップ時間	$t_{DS}$		100	–	50	–	40	–	ns
書き込みデータ保持時間	$t_{DH}$		100	–	50	–	40	–	ns
読み出しデータ遅延時間	$t_{RD}$	$C_L = 50 \text{ pF}$	–	200	–	150	–	150	ns
DO (DIO) 出力カディセーブル時間	$t_{RZ}$	$C_L = 50 \text{ pF}, R_L = 10 \text{ k}\Omega$	–	200	–	120	–	110	ns

\*1  $V_{DD} = 2.0 \text{ V} \sim 2.7 \text{ V}$ までは $V_{DD} = 1.8 \text{ V} \pm 0.2 \text{ V}$ 規格を、 $V_{DD} = 3.3 \text{ V} \sim 4.5 \text{ V}$ までは $V_{DD} = 3.0 \text{ V} \pm 10\%$ 規格を使用してください。

\* CLKおよびDI、DIOは、ノーマルモードでは、フローティング状態にならないようにしてください。

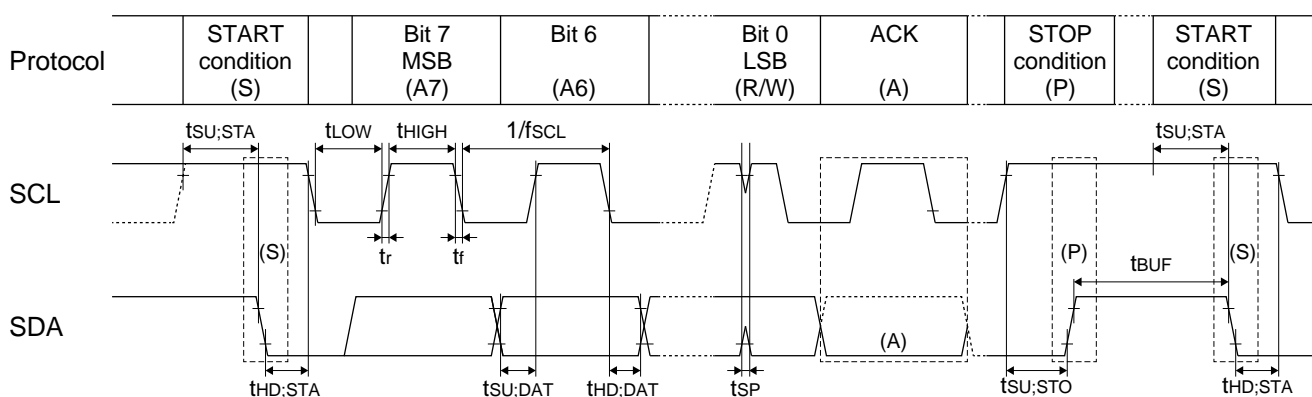
図 5.4 RA4000CE AC特性 (SPIタイミングチャート)

## RA8000CE AC特性

表 5.6 RA8000CE AC特性

特記無き場合: GND = 0 V, V<sub>DD</sub> = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +125 °C

項目	記号	100 kHz アクセス (Standard mode)		400 kHz アクセス (Fast mode)		単位
		Min.	Max.	Min.	Max.	
SCLクロック周波数	f <sub>SCL</sub>	–	100	–	400	kHz
スタートコンディションセットアップ時間	t <sub>SU;STA</sub>	4.7	–	0.6	–	μs
スタートコンディションホールド時間	t <sub>HD;STA</sub>	4.0	–	0.6	–	μs
データセットアップ時間	t <sub>SU;DAT</sub>	250	–	100	–	ns
データホールド時間	t <sub>HD;DAT</sub>	0	–	0	–	ns
ストップコンディションセットアップ時間	t <sub>SU;STO</sub>	4.0	–	0.6	–	μs
ストップ-スタートコンディション間のバスフリー時間	t <sub>BUF</sub>	4.7	–	1.3	–	μs
SCL “L”時間	t <sub>LOW</sub>	4.7	–	1.3	–	μs
SCL “H”時間	t <sub>HIGH</sub>	4.0	–	0.6	–	μs
SCL,SDA立ち上がり時間	t <sub>r</sub>	–	1.0	–	0.3	μs
SCL,SDA立ち下がり時間	t <sub>f</sub>	–	0.3	–	0.3	μs
バス上の許容スパイク時間	t <sub>SP</sub>	–	50	–	50	ns

図 5.5 RA8000CE AC特性 (I<sup>2</sup>C-Busタイミングチャート)

- \*1 スレーブアドレス確定後、内部1 Hzクロック2カウントでI<sup>2</sup>C-BusインターフェイスがリセットされてSDAがHi-Zになります。このため、I<sup>2</sup>C-Bus通信はスレーブアドレス送信からストップコンディションの生成までを1秒以内に完了してください。
- \*2 データ書き込み時は8ビットデータ送信後のACKビットのSCL立ち上りで8ビットデータを取り込みます。8ビットデータ取込み前に通信が遮断された場合、8ビット未達のデータは書き込まれません。

## 5.6 電源投入特性

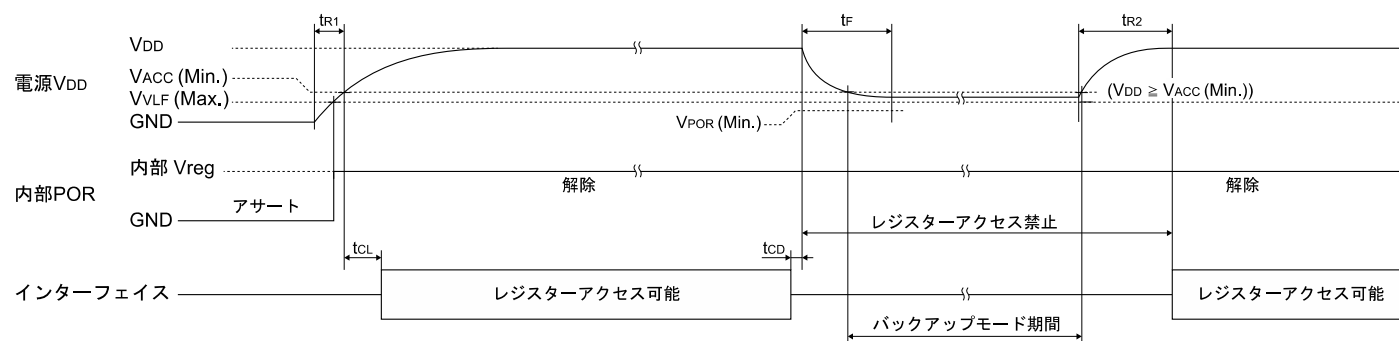
表 5.7 電源投入特性

特記無き場合: GND = 0 V,  $V_{DD} = 1.6 \text{ V} \sim 5.5 \text{ V}$ ,  $T_a = -40 \text{ }^\circ\text{C} \sim +125 \text{ }^\circ\text{C}$ 

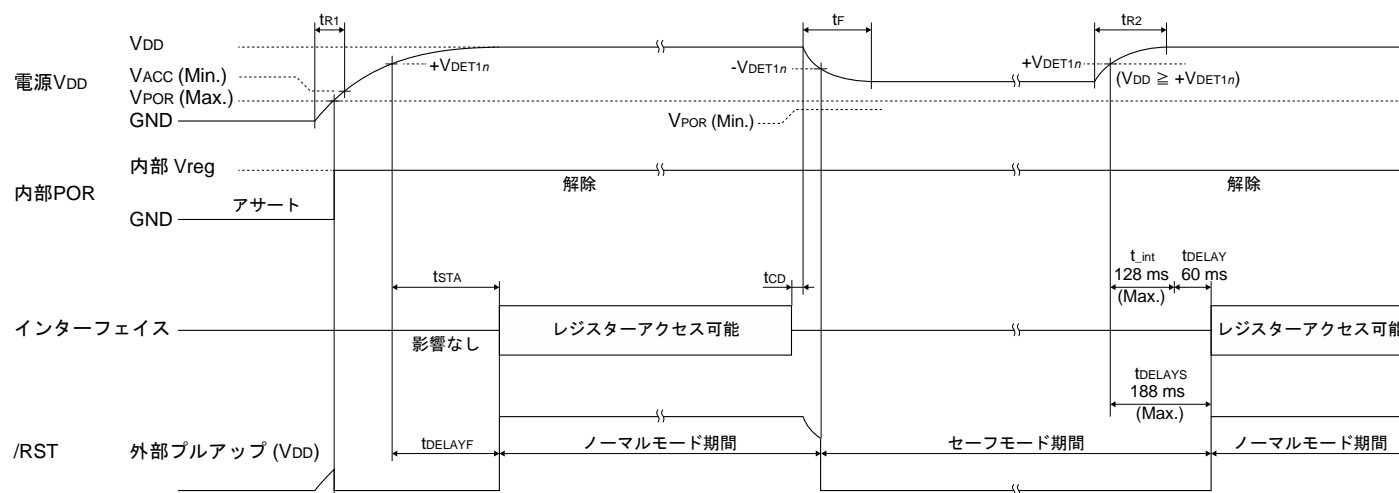
項目	記号	条件	Min.	Typ.	Max.	単位
電源立ち上げ時間 <sup>*1</sup>	$t_{R1}$	電源投入後、 $V_{DD}$ 電圧がGNDから上昇する電圧スロープ、電源電圧変動率 (GND- $V_{ACC}$ (Min.) 間)	1	-	10	ms/V
電源投入後アクセス待機時間 <sup>*2</sup>	$t_{CL}$	$V_{DD} = V_{ACC}$ (Min.) 到達後、アクセス開始可能となる時間	40	-	-	ms
電源降下前アクセス終了保持時間	$t_{CD}$	アクセス終了から $V_{DD}$ 電圧を $t_F$ のスロープで降下させるまでの待機時間	0	-	-	$\mu\text{s}$
電源立ち下げ時間	$t_F$	$V_{DD}$ 電圧が下降する電圧スロープ、電源電圧変動率	1	-	-	ms/V
電源立ち上げ時間2	$t_{R2}$	電源再上昇の際の電圧スロープ、電源電圧変動率	1	-	-	ms/V

\*1 パワーオンリセットを確実に実行させるため、初期電源投入時は電源立ち上げ時間を満足させると共に、必ずGNDレベルから電源を立ち上げてください。確実にパワーオンリセットを有効とするためには、電源OFF後、 $V_{DD}$  がGNDレベルの状態を100ms以上確保してください。

\*2 /RST出力機能未搭載機種の場合の規格値です。すべてのレジスタアクセスが可能となるためには、水晶発振が開始され、内部にクロックが供給される必要があります。 $t_{CL}$ 経過後、VLFビットへのアクセスが可能となります。VLFビットへの0書き込みにより、フラグクリアが確認された時点から、すべてのレジスタ設定が有効となります。/RST出力機能ありの場合は、 $t_{STA}$ 経過後に/RSTがH出力している場合にアクセス開始可能となります。



(1) /RST出力非搭載機種の場合



(2) /RST出力機能搭載機種の場合

図 5.6 電源投入シーケンス



## 5.7 リセット出力特性

表 5.8 リセット出力特性

特記無き場合: GND = 0 V, V<sub>DD</sub> = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +125 °C

項目	記号	条件	Min.	Typ.	Max.	単位
V <sub>DD</sub> 立ち上がり時検出電圧1 *1	+V <sub>DET11</sub>		4.25	4.35	4.45	V
V <sub>DD</sub> 立ち下がり時検出電圧1 *2	-V <sub>DET11</sub>		4.12	4.20	4.28	V
V <sub>DD</sub> 立ち上がり時検出電圧2 *1	+V <sub>DET12</sub>		4.15	4.25	4.35	V
V <sub>DD</sub> 立ち下がり時検出電圧2 *2	-V <sub>DET12</sub>		4.02	4.10	4.18	V
V <sub>DD</sub> 立ち上がり時検出電圧3 *1	+V <sub>DET13</sub>		4.05	4.15	4.25	V
V <sub>DD</sub> 立ち下がり時検出電圧3 *2	-V <sub>DET13</sub>		3.92	4.00	4.08	V
V <sub>DD</sub> 立ち上がり時検出電圧4 *1	+V <sub>DET14</sub>		3.95	4.05	4.15	V
V <sub>DD</sub> 立ち下がり時検出電圧4 *2	-V <sub>DET14</sub>		3.82	3.90	3.98	V
V <sub>DD</sub> 立ち上がり時検出電圧5 *1	+V <sub>DET15</sub>		2.75	2.85	2.95	V
V <sub>DD</sub> 立ち下がり時検出電圧5 *2	-V <sub>DET15</sub>		2.67	2.75	2.83	V
V <sub>DD</sub> 立ち上がり時検出電圧6 *1	+V <sub>DET16</sub>		2.70	2.80	2.90	V
V <sub>DD</sub> 立ち下がり時検出電圧6 *2	-V <sub>DET16</sub>		2.62	2.70	2.78	V
V <sub>DD</sub> 立ち上がり時検出電圧7 *1	+V <sub>DET17</sub>		2.45	2.55	2.65	V
V <sub>DD</sub> 立ち下がり時検出電圧7 *2	-V <sub>DET17</sub>		2.37	2.45	2.53	V
V <sub>DD</sub> 立ち上がり時検出電圧8 *1	+V <sub>DET18</sub>		2.40	2.50	2.60	V
V <sub>DD</sub> 立ち下がり時検出電圧8 *2	-V <sub>DET18</sub>		2.32	2.40	2.48	V
/RST出力内部遅延時間 *3	t <sub>DELAY</sub>		—	60	—	ms
/RST出力遅延時間 (初期電源投入時) *3	t <sub>DELAYF</sub>		560	t <sub>STA</sub>	—	ms
/RST出力解除電圧検出時間 (セーフモード解除時) *3	t <sub>int</sub>	セーフモード時のV <sub>DD</sub> 電圧低下検出間欠動作 (128 ms間隔) タイミングにより変化	0	—	128	ms
/RST出力遅延時間 (セーフモード解除時) *3	t <sub>DELAYS</sub>	初期電源起動時以降のセーフモードからノーマルモードに復帰するときの出力遅延時間	—	188 t <sub>int</sub> + t <sub>DELAY</sub>	—	ms

\*1 リセット出力 (セーフモード) 解除電圧

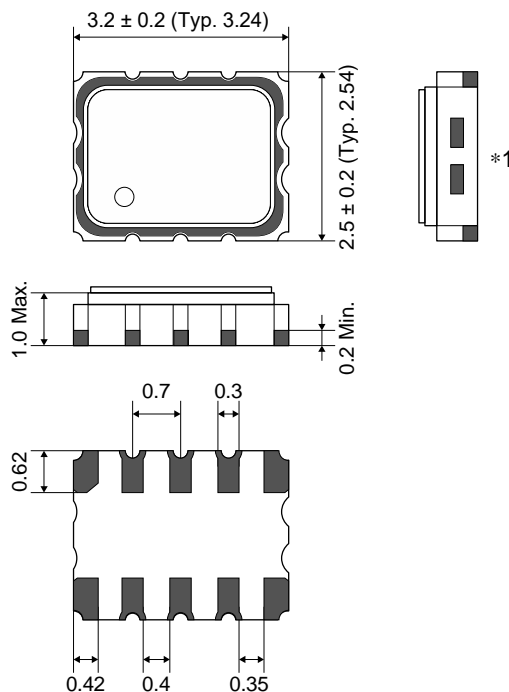
\*2 リセット出力 (セーフモード) 開始電圧

\*3 タイミングパラメータと/RST出力信号の関係については図 5.6の(2)を参照してください。

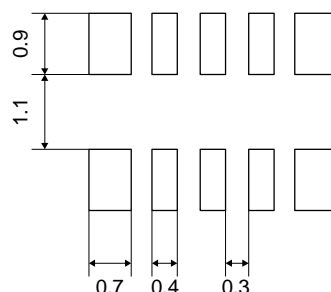
## 6 パッケージ

### 6.1 外形寸法図

・外形寸法図



・推奨はんだ付けパターン図



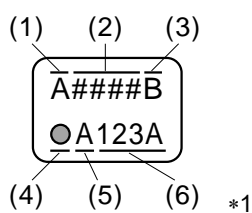
Unit: mm

\*1 パッケージの1ピンと10ピン側の短辺側面の金属パッドは、水晶振動子の検査用パッドです。安定した発振のために、結露やほこりなどによるリーク電流がこのパッド間に生じないように、ご配慮ください。

5ピンと6ピン側の短辺側面の金属パッドは、RTC内部で接続されていません。

図 6.1 外形寸法図

### 6.2 マーキングレイアウト



- (1) ロゴ A → RA
- (2) 形式 4000 → RA4000CE  
8000 → RA8000CE
- (3) 精度、/RST仕様
- (4) 1番ピンマーク
- (5) 製品オプション
- (6) 製造ロット

\*1 表示内容は捺印と表示の大略を示すもので、字形、大きさ、および位置の詳細を規定するものではありません。

図 6.2 マーキングレイアウト

## 7 実装上の注意事項

本モジュールは水晶振動子を内蔵していますので、過大な衝撃や振動を与えないようにしてください。また、低消費電力実現のためにCMOSプロセスを採用していますので、実装作業時には静電気対策を実施してください。

### 静電気

本モジュールは静電気破壊保護回路を内蔵していますが、過大な静電気が加わると内部回路が破壊されるおそれがありますので、梱包および運搬容器には導電性素材を使用してください。

はんだごてや測定回路などは高電圧リークのないものを使用し、実装時や作業時も静電気対策をお願いします。

### ノイズ

電源および入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ等により内部回路が破壊されることがあります。安定動作のため本モジュールの電源端子のできるだけ近い場所に0.1  $\mu$ F以上のセラミックキャパシタを接続してください。また、本モジュールの近くには大きなノイズを発生するデバイスを配置しないでください。

### 入力端子の電圧

入力端子に許容範囲外の電圧が定常的に入力されると貫通電流が発生し、消費電流の増加やラッチアップなどの原因となり内部回路が破壊されることがあります。入力端子には入力電圧仕様に従い、 $V_{IL Max.}$ 以下 $V_{IH Min.}$ 以上の電圧を入力してください。

### 未使用入力端子の処理

入力端子の開放状態 = オープンでの使用は消費電流の増加や品質劣化の原因になります。内蔵のプルアップ、またはプルダウン機能が適用されていない未使用の入力端子は、 $V_{DD}$ またはGNDに固定してください。

### はんだ付け温度

パッケージ内部が+260  $^{\circ}$ Cを超えるような半田付けは、水晶振動子の特性劣化や内部回路の破壊につながります。弊社が提供するはんだ耐熱性評価プロファイルの範囲内となるように、実装前に温度や時間などの実装条件を確認してください。

### 実装機

汎用実装機を使用する場合、その動作条件等によっては実装時の衝撃で内蔵水晶振動子が破壊される可能性がありますので事前に確認してください。動作条件を変更した場合も同様に確認してください。また、実装作業におきましては十分な静電気対策をお願いします。

### 超音波洗浄

超音波洗浄は、使用条件によっては内蔵水晶振動子が共振破壊される場合があります。洗浄機の種類 / パワー / 時間 / 槽内の状態等の使用条件はお客様ごとに異なりますので、超音波洗浄に対する本モジュールの保証はいたしかねます。

### 実装方向

逆向きの実装はモジュールの破壊の原因となります。方向を確認した上で実装を行ってください。

## 端子間リーク

製品が汚れている、または結露している状態での電源投入は端子間に電流リークの原因になります。洗浄後は乾燥させてから電源を投入してください。

## はんだ耐熱性評価プロファイル (参考)

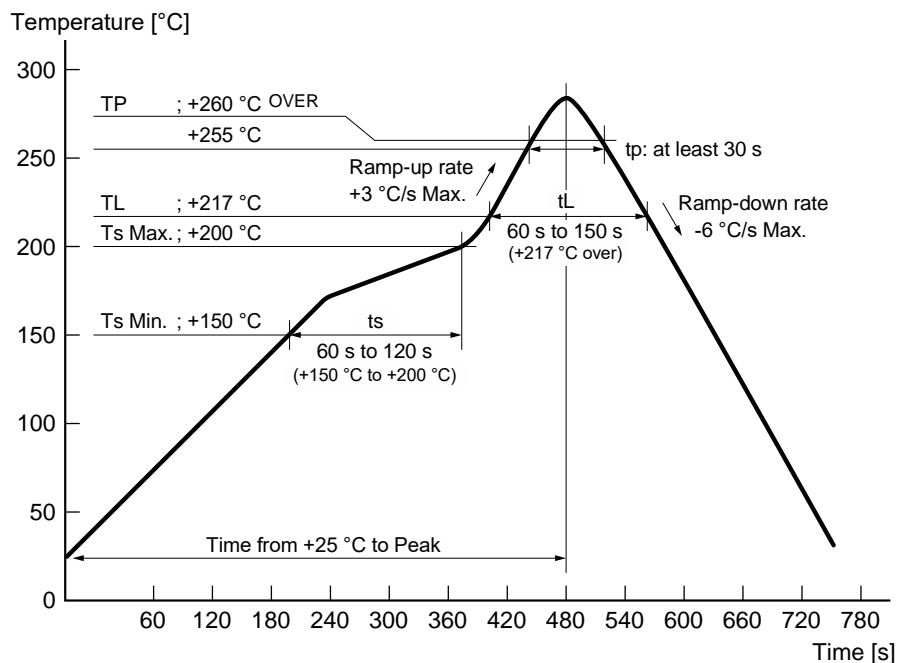


図 7.1 はんだ耐熱性評価プロファイル (参考)

## 8 耐湿/静電耐圧特性

### 8.1 吸湿耐性水準 (MSL)

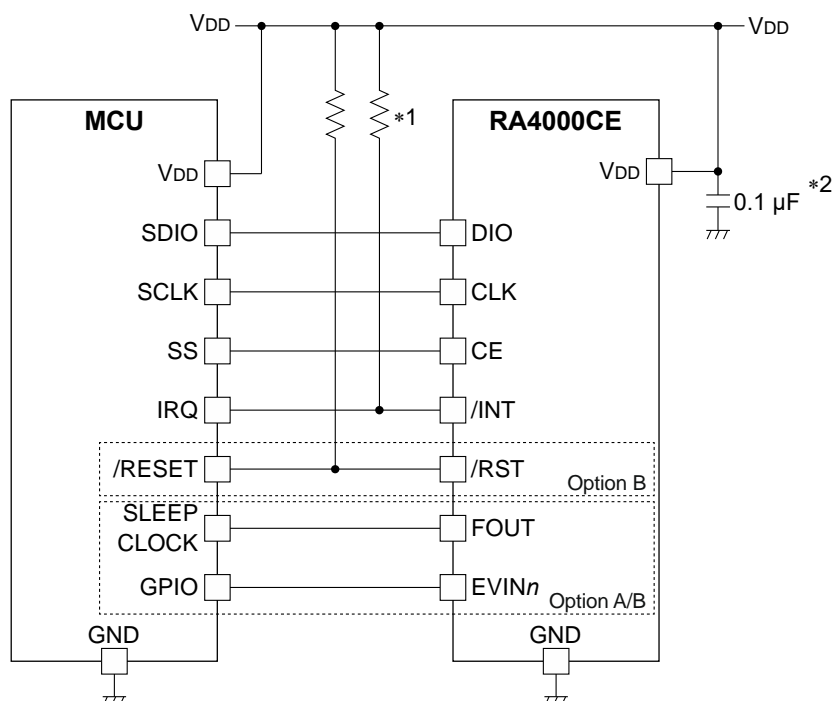
項目	レベル	条件
MSL	LEVEL1	JEDEC J-STD-020D.1に従う

\* 梱包開封後は温度 +30 °C以下、湿度85%以下の環境にて保管し、6ヶ月以内に実装してください。

### 8.2 静電耐圧

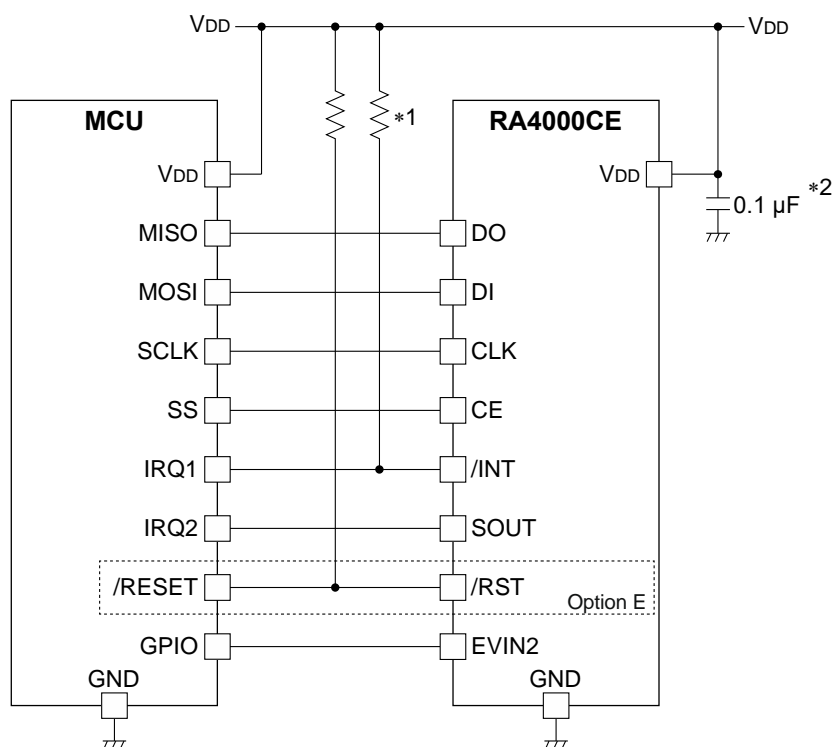
項目	値	条件
ESD電圧 (HBM)	2000 V (Min.)	EIAJ ED-4701-1 C111Aに従う
ESD電圧 (MM)	2000 V (Min.)	EIAJ ED-4701-1 C111に従う

## 9 参考回路例



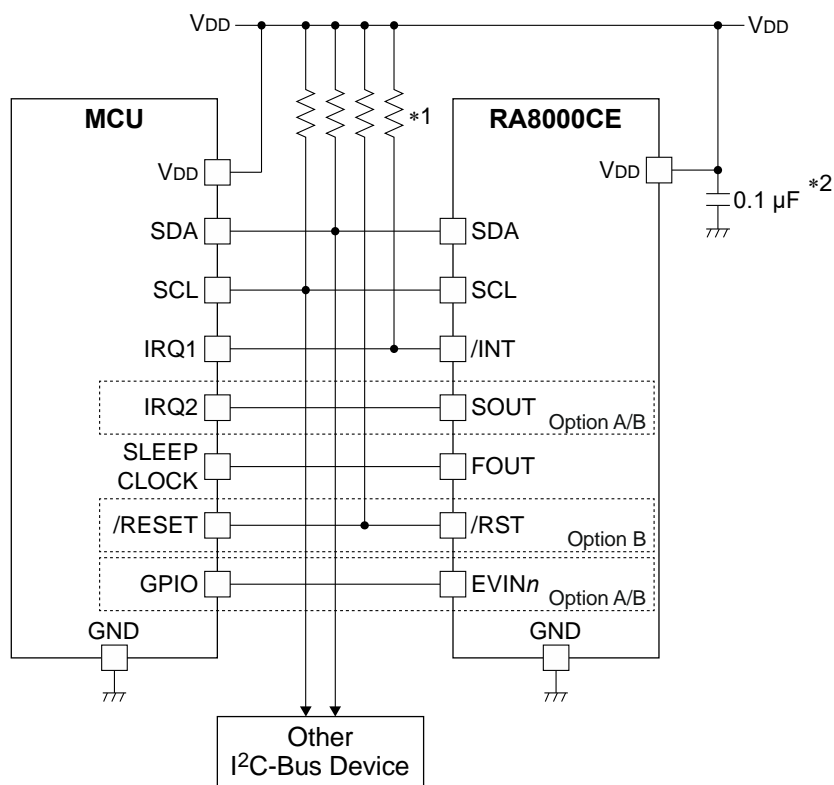
- \*1 /INTのプルアップ抵抗は出力ドライブ能力と出力立ち上がり時間を加味して調整してください。  
 \*2 バイパスコンデンサはRA4000CE端子の直近に設置してください。

図 9.1 一般的なMCUとの接続回路例 (RA4000CE Option A/B/C)



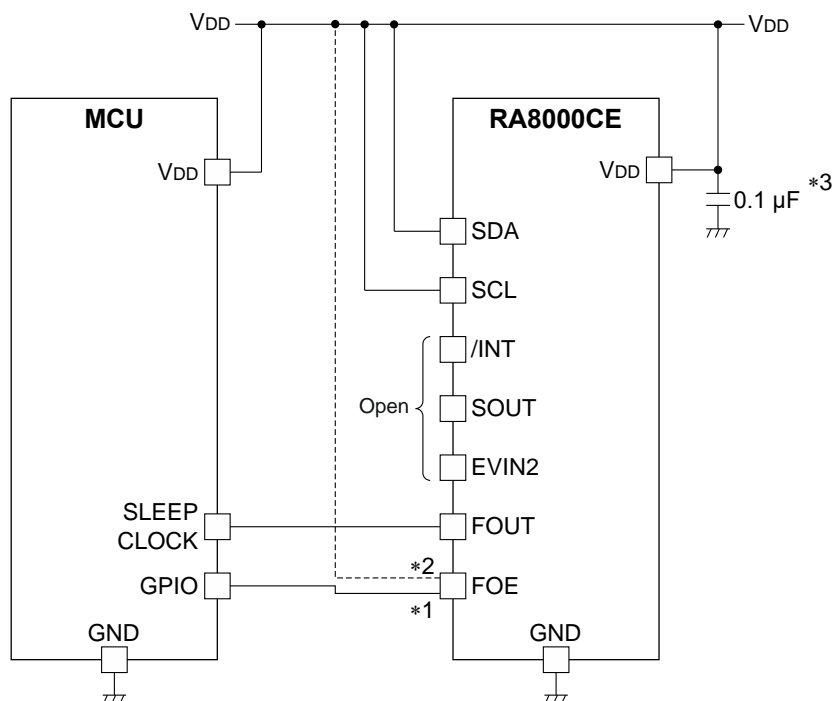
- \*1 /INTのプルアップ抵抗は出力ドライブ能力と出力立ち上がり時間を加味して調整してください。  
 \*2 バイパスコンデンサはRA4000CE端子の直近に設置してください。

図 9.2 一般的なMCUとの接続回路例 (RA4000CE Option D/E)



- \*1 /INTのプルアップ抵抗は出力ドライブ能力と出力立ち上がり時間を加味して調整してください。  
 \*2 バイパスコンデンサはRA8000CE端子の直近に設置してください。

図 9.3 一般的なMCUとの接続回路例 (RA8000CE Option A/B/C)



- \*1 FOE端子機能を使用する場合  
 \*2 FOE端子機能を使用しない場合  
 \*3 バイパスコンデンサはRA8000CE端子の直近に設置してください。

RA8000CE Option Dは、高精度な温度補償水晶発振器 (32.768 kHz DTCXO) としての使用も可能です。

図 9.4 発振器 (32.768 kHz DTCXO) として使用 (RA8000CE Option D)

## 10 梱包情報 (参考)

### テーピング仕様 (TE0804L)

キャリアテープ材質: PS

トップテープ材質: PET + PE

(単位: mm)

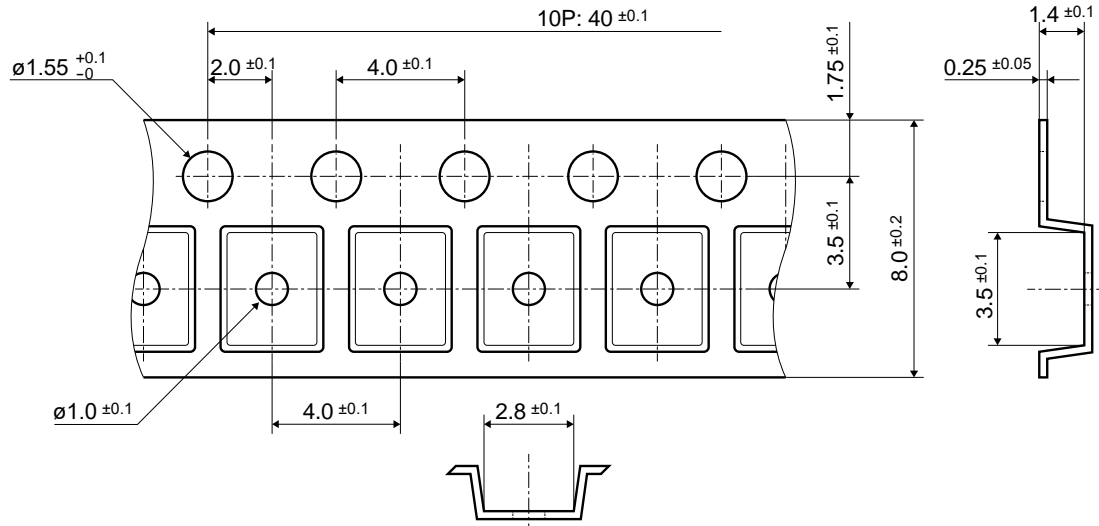
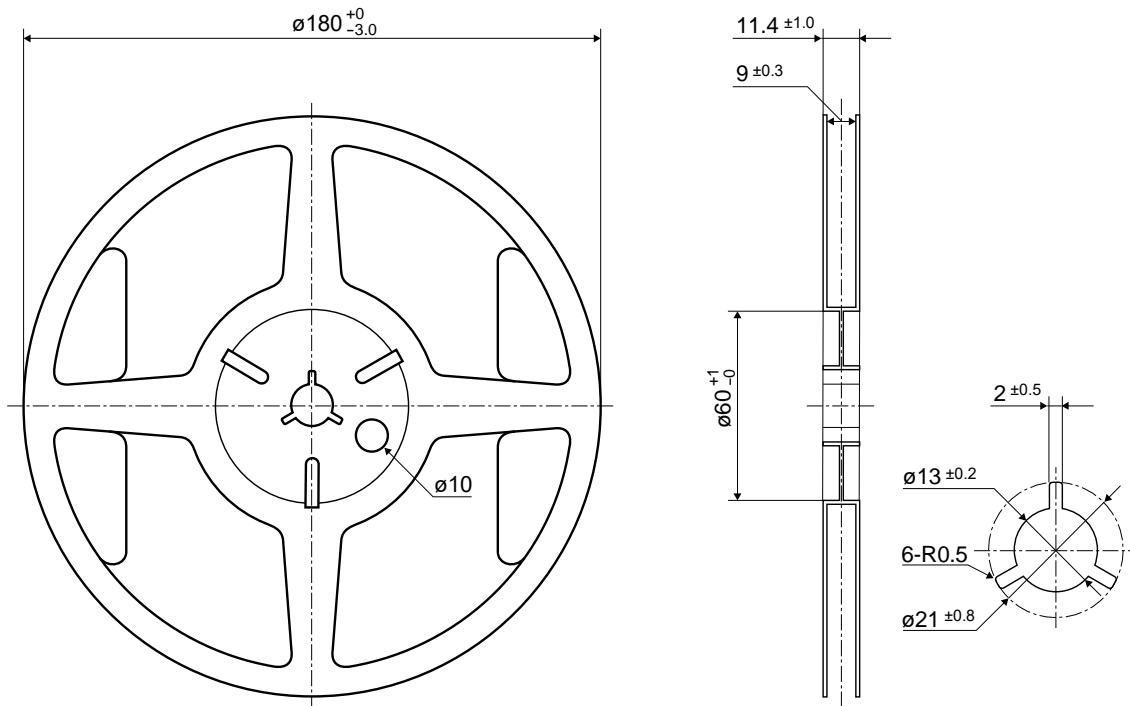


図 10.1 テープ寸法

### リール仕様

リール材質: PS

(単位: mm)



リール窓の形状は代表例を掲載

図 10.2 リール寸法



## 図表一覧

図		
図	1.1	RA4000CE Option A/B/Cブロック図.....2
図	1.2	RA4000CE Option D/Eブロック図.....3
図	1.3	RA8000CE Option A/B/C/Dブロック図.....4
図	1.4	RA4000CE端子配置図.....5
図	1.5	RA8000CE端子配置図.....5
図	2.1	電源投入シーケンス.....8
図	2.2	発振開始シーケンス.....10
図	2.3	状態遷移図.....13
図	3.1	SPIデータフォーマット.....15
図	3.2	SPIホストとRA4000CEの接続例.....16
図	3.3	SPIデータライトアドレスデータ.....16
図	3.4	SPIレジスタライト.....16
図	3.5	SPIデータリードアドレスデータ.....17
図	3.6	SPIレジスタリード.....17
図	3.7	I <sup>2</sup> C-BusホストとRA8000CEの接続例.....18
図	3.8	RA8000CEのI <sup>2</sup> C-Busスレーブアドレス.....18
図	3.9	I <sup>2</sup> C-Busを介したレジスタライト.....19
図	3.10	I <sup>2</sup> C-Busを介したレジスタリード.....19
図	3.11	時計/カレンダーカウンターの構成.....20
図	3.12	SPIインターフェイス 計時/カレンダーカウンターアクセスタイミング.....23
図	3.13	I <sup>2</sup> C-Busインターフェイス 計時/カレンダーカウンターアクセスタイミング.....23
図	3.14	オフセット処理タイミング.....28
図	3.15	うるう秒挿入タイミング.....29
図	3.16	時刻更新割り込み回路の構成.....33
図	3.17	時刻更新割り込みタイミングチャート.....34
図	3.18	アラーム回路の構成.....35
図	3.19	アラーム割り込み回路の構成.....37
図	3.20	アラーム割り込みタイミングチャート.....37
図	3.21	ウェイクアップタイマーの構成.....38
図	3.22	ウェイクアップタイマーカウントアップ動作.....40
図	3.23	ウェイクアップタイマーカウントダウン動作.....41
図	3.24	ウェイクアップタイマーカウント開始タイミング.....41
図	3.25	リセットウィンドウ設定時のタイマーリセットタイミング (非同期リセットタイミング).....43
図	3.26	ウェイクアップタイマー割り込み回路の構成.....43
図	3.27	ウェイクアップタイマー割り込みタイミングチャート.....44
図	3.28	FOOUT出力回路の構成.....45
図	3.29	FOE制御によるFOOUT出力.....46
図	3.30	リセット出力タイミング.....47
図	3.31	タイムスタンプ回路の構成.....49
図	3.32	EVINnのノイズフィルター機能.....50
図	3.33	タイムスタンプデータと読み出しアドレス.....52
図	3.34	SRAMモード時のメモリアクセス.....53
図	3.35	タイムスタンプキャプチャー動作 (オーバーライト禁止モード).....56
図	3.36	タイムスタンプキャプチャー動作 (オーバーライトモード).....57
図	3.37	コマンドトリガータイミング.....59
図	3.38	タイムスタンプ割り込み回路の構成.....62
図	5.1	温度補償回路動作と消費電流.....100
図	5.2	/RST出力端子ありの場合の消費電流.....100
図	5.3	自己監視電圧-フラグ・状態相関図.....100
図	5.4	RA4000CE AC特性 (SPIタイミングチャート).....101
図	5.5	RA8000CE AC特性 (I <sup>2</sup> C-Busタイミングチャート).....102
図	5.6	電源投入シーケンス.....103

図 6.1	外形寸法図	105
図 6.2	マーキングレイアウト	105
図 7.1	はんだ耐熱性評価プロファイル (参考)	107
図 9.1	一般的なMCUとの接続回路例 (RA4000CE Option A/B/C)	109
図 9.2	一般的なMCUとの接続回路例 (RA4000CE Option D/E)	109
図 9.3	一般的なMCUとの接続回路例 (RA8000CE Option A/B/C)	110
図 9.4	発振器 (32.768 kHz DTCXO) として使用 (RA8000CE Option D)	110
図 10.1	テープ寸法	111
図 10.2	リール寸法	111

## 表

表 1.1	製品ラインナップ	1
表 1.2	特長	1
表 1.3	端子説明	6
表 2.1	電源端子一覧	8
表 3.1	RA4000CE Option A/B/C SPIインターフェイス端子	15
表 3.2	RA4000CE Option D/E SPIインターフェイス端子	15
表 3.3	I <sup>2</sup> C-Busインターフェイス端子	18
表 3.4	曜日の割り付け例	21
表 3.5	SUBSEC[9:0]ビット	27
表 3.6	オフセット値と補正量	28
表 3.7	温度補償データの更新間隔	30
表 3.8	DIG_TRIM_H/L.DTRIM[8:0]ビット設定値と補正量	32
表 3.9	時刻更新割り込みイベントの選択	33
表 3.10	ウェイクアップタイマーソースクロックの選択	38
表 3.11	ウェイクアップタイマー割り込み周期	39
表 3.12	ノーマルモード/セーフモードにおけるウェイクアップタイマーのカウンターの動作条件設定	39
表 3.13	ウェイクアップタイマーの動作制御	42
表 3.14	リセットウィンドウの設定	43
表 3.15	FOUT出力の選択	45
表 3.16	EVINn端子のプルアップ/ダウン	50
表 3.17	EVINn入力有効パルス幅	51
表 3.18	EVINn入力検出エッジ	51
表 3.19	イベント検出割り込み要因と制御ビット	62
表 3.20	SOUT端子から出力される内部ステータスフラグ	64
表 4.1	FOUT出力の選択	75
表 4.2	時刻更新割り込みイベントの選択	75
表 4.3	ウェイクアップタイマーソースクロックの選択	75
表 4.4	温度センサー測定動作の実行間隔	77
表 4.5	SUBSEC[9:0]ビット	78
表 4.6	EVINn端子のプルアップ/ダウン	84
表 4.7	EVINn入力検出エッジ極性	84
表 4.8	EVINn端子の入力有効パルス幅	84
表 4.9	各製品のWTICFG.PINMUX[1:0]ビット初期値	89
表 4.10	リセット出力オプションの選択	89
表 4.11	リセットウィンドウの設定	90
表 4.12	SOUT出力の選択	96
表 4.13	SOUT出力可能な内部ステータスフラグ	97
表 5.1	絶対最大定格	98
表 5.2	推奨動作条件	98
表 5.3	周波数特性	98
表 5.4	DC特性	99
表 5.5	RA4000CE AC特性	101
表 5.6	RA8000CE AC特性	102
表 5.7	電源投入特性	103
表 5.8	リセット出力特性	104

アプリケーションマニュアル

Real Time Clock Module

[RA4000CE/RA8000CE の技術的なお問い合わせはこちら](#)

## セイコーエプソン株式会社

デバイス営業部 東京営業所

〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

デバイス営業部 大阪事業所

〒530-6122 大阪府大阪市北区中之島 3-3-23 中之島ダイビル 22F

デバイス営業部 名古屋事業所

〒460-0003 愛知県名古屋市中区錦 1-4-6 大樹生命名古屋ビル 8F

セイコーエプソン 水晶デバイストップページ

<https://www5.epsondevice.com/ja/>

RTCモジュール トップページ

<https://www5.epsondevice.com/ja/products/rtc/>

RTC モジュール特設ページ

[https://www5.epsondevice.com/ja/information/technical\\_info/rtc/](https://www5.epsondevice.com/ja/information/technical_info/rtc/)

RTC モジュール技術ツール

<https://www5.epsondevice.com/ja/information/#RTC>

**EPSON**  
EXCEED YOUR VISION