

アプリケーションマニュアル

Real Time Clock Module

RA8803SA

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

1. 本資料の内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に記載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数値線上の大小関係で表します。
5. 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事情報に使用される目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用されるおそれのある第三者に提供しないでください。
6. 製品は一般電子機器に使用されることを意図し設計されたものです。特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等） 2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器 4 海底中継機器 5 発電所制御機器 6 防災・防犯装置 7 交通用機器
 - 8 その他；1～7と同等の信頼性を必要とする用途

本資料に掲載されている会社名、商品名は、各社の商標もしくは登録商標です。

目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 絶対最大定格	3
5. 推奨動作条件	3
6. 周波数特性	3
7. 電気的特性	4
7.1. DC 電気的特性	4
7.2. AC 電気的特性	5
8. 使用方法	6
8.1. レジスタ	6
8.1.1. 書き込み/読み出しモード設定コード	6
8.1.2. レジスタテーブル(互換レジスタ)	6
8.1.3. レジスタテーブル (拡張レジスタ①)	6
8.1.4. レジスタテーブル (拡張レジスタ②)	7
8.2. レジスタ説明	8
8.2.1. 計時・カレンダーレジスタ (1/100S, SEC ~ YEAR)	8
8.2.2. アラームレジスタ	9
8.2.3. タイマーカウンタ	9
8.2.4. コントロールレジスタ・フラグレジスタ	10
8.2.5. OSC オフセットコントロールレジスタ	11
8.2.6. キャプチャ・バッファ/イベントコントロール	12
8.3. アラーム割り込み機能	13
8.3.1. アラーム割り込み	13
8.3.2. アラーム割り込み機能 関連レジスタ	13
8.3.3. アラーム設定例	14
8.3.4. アラーム割り込み機能図	15
8.4. 定周期タイマー割り込み機能	16
8.4.1. タイマー割り込み	16
8.4.2. 定周期タイマー割り込み機能 関連レジスタ	16
8.4.3. タイマー スタートタイミング	17
8.4.4. 定周期タイマー割り込み周期□	18
8.4.5. 定周期タイマー割り込み機能図	19
8.5. 時刻更新割り込み機能	20
8.5.1. 時刻更新割り込み	20
8.5.2. 時刻更新割り込み機能 関連レジスタ	20
8.5.3. 時刻更新割り込み機能図	20
8.6. 外部イベント割り込み機能	21
8.6.1. 外部イベント割り込み機能	21
8.6.2. 外部イベント割り込み機能 関連レジスタ	21
8.6.3. 外部イベント割り込み機能図	23
8.7. 割り込み機能動作時の /INT " L " 割り込み出力に関して	23
8.8. 温度補償機能	24
8.8.1. 温度補償機能	24
8.8.2. 温度補償機能 関連レジスタ	24
8.9. データの リード/ライト	25
8.9.1. I ² C-BUSの特性	25
8.9.2. ビット転送	25
8.9.3. 開始条件と停止条件	25
8.9.4. スレーブアドレス	25
8.9.5. システム構成	26
8.9.6. アクノリッジ	26
8.9.7. 読み出しデータ自動ホールド機能	26
8.9.8. I ² C-BUSプロトコル	27
8.10. 電源初期投入およびバックアップへの移行、復帰	28
8.11. 電源初期投入時 および バックアップ復帰時のアクセス制限	29
8.12. フローチャート	30
8.13. 一般的なマイコンとの接続	33
8.14. 発振器 (32 kHz-DTCXO) としての使用	33
8.15. 1/100s レジスタの読み出し方法に関する注意事項	34
9. 外形寸法図 / マーキングレイアウト	35
10. 使用上の注意事項	36

車載用途向け I²C-Bus インターフェース 高精度リアルタイムクロックモジュール

RA8803SA

- 32.768 kHz 温度補償発振器(DTCXO)源振を内蔵、高精度
- 1/100 秒までの計時カウンターを内蔵、高分解能
- I²C シリアル・インターフェース
- 曜、日、時、分のアラーム割り込み機能
- 時刻更新割り込み機能 (秒・分)
- OE 機能付き 32.768 kHz 出力 (FOE , FOUT 端子)
- 1.6 V ~ 5.5 V の幅広いインターフェース電圧範囲
- 低消費電流 0.75μA / 3 V (Typ.)
- タイマー割り込み機能
- イベント入力割り込み / 時刻同期機能
- 自動うるう年補正機能 (2000 ~ 2099 年まで対応)
- 2.2 V ~ 5.5 V の幅広い温度補償電圧範囲
- 1PPS 信号(*)入力による時刻同期機能

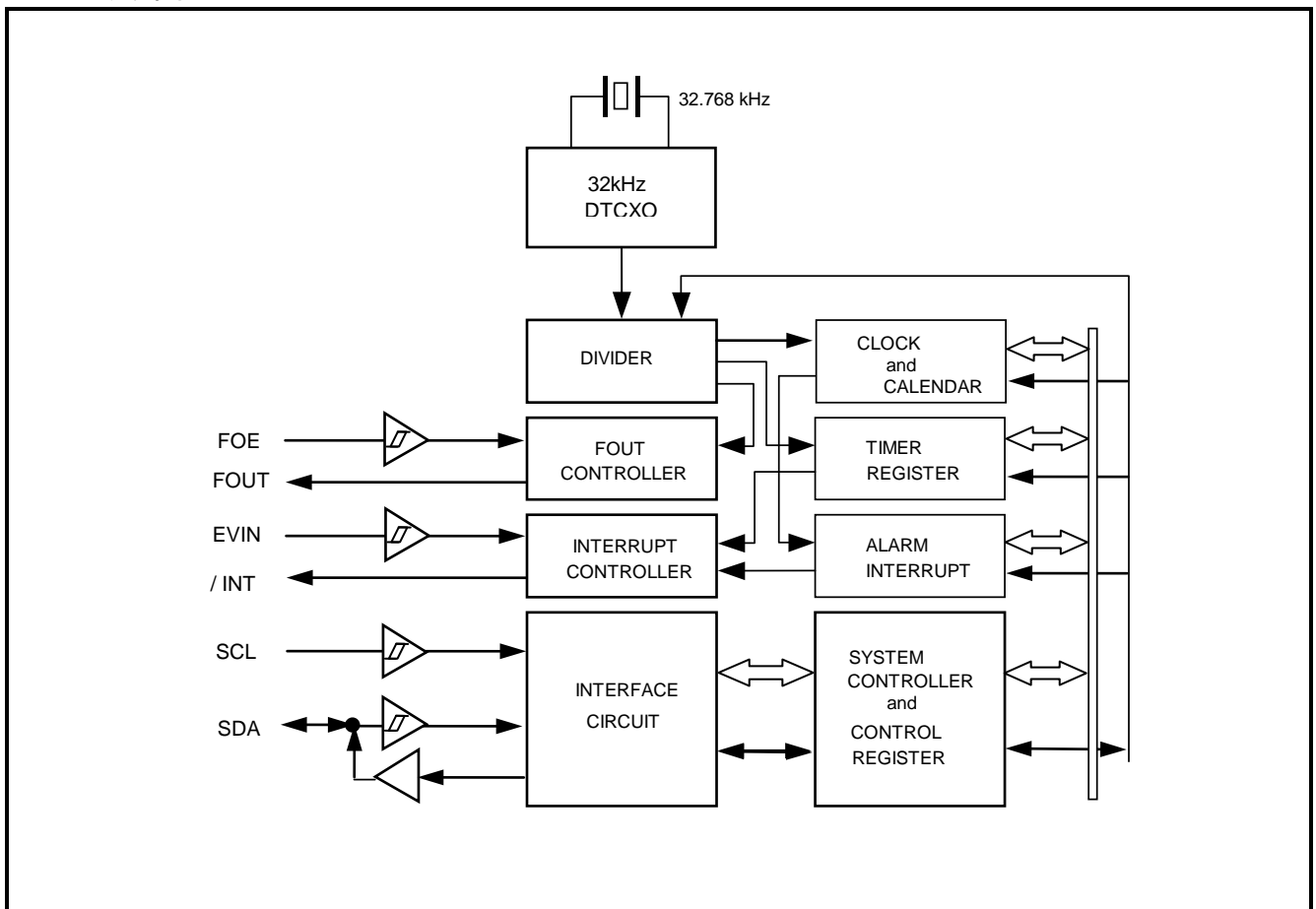
(*)GPS モジュールから出力される世界標準時(UTC: Coordinated Universal Time)と同期した 1 秒周期の信号

I²C-Bus は、NXP Semiconductorsの商標です。

1. 概要

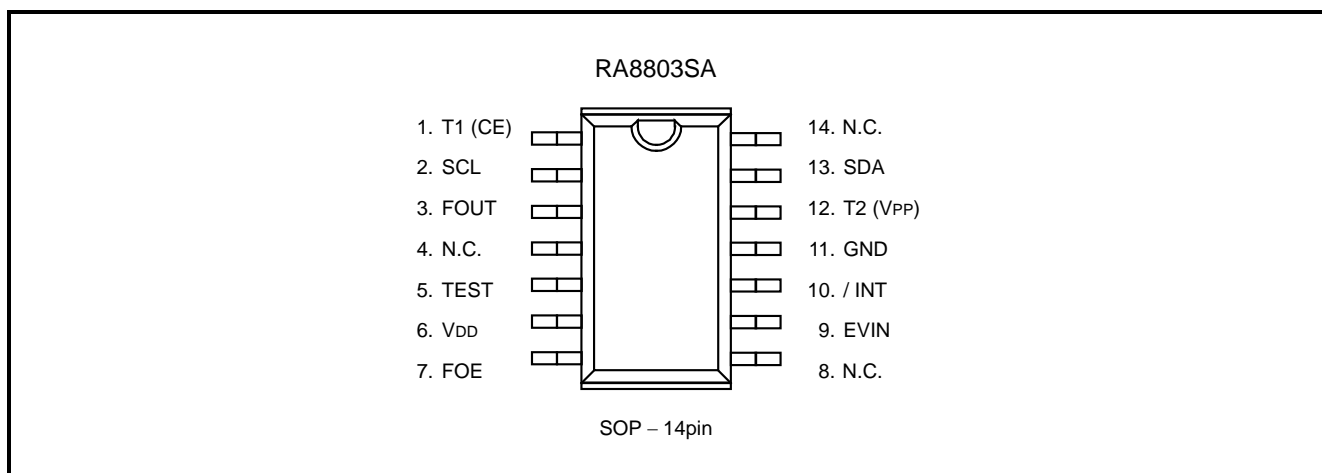
本モジュールは、32.768 kHz DTCXOを内蔵した I²Cインターフェース方式のリアルタイムクロックです。秒から年までの自動うるう年補正 Clock & Calendar 回路、時刻アラーム、インターバルタイマー、時刻更新割り込み、32.768 kHz 出力 等の豊富な機能を SOP-14 pin に実装しています。C-MOS IC を使用することで低消費電流化を図っておりますので、長期のバッテリーバックアップを可能にしています。

2. ブロック図



3. 端子説明

3.1. 端子配置



3.2. 端子機能

端子名	入出力	機能
SDA	双方向	I ² C-BUS通信のシリアルクロックに同期して、アドレス、データ、アクノリッジビットなどを入出力します。この端子は出力時オープンドレインですので、信号線の容量により適切なプルアップ抵抗を接続してください。
SCL	入力	I ² C通信シリアルクロック入力端子です。
FOUT	出力	FOE 端子による出力制御付きの C-MOS 出力端子です。 FOE="H"で 32.768 kHz 等の基準クロック信号を出力します。 FOE="L"で出力停止となり、FOUT 端子はハイインピーダンスとなります。
FOE	入力	FOUT 出力端子の出力状態を制御するための入力端子です。 FOE="H"で FOUT 端子は出力状態、FOE="L"で出力停止となります。
/INT	出力	アラーム、タイマー、時刻更新などの割り込み信号を出力します。 この端子は N-ch オープンドレイン端子です。
EVIN	入力	イベント入力端子です。
VDD	-	電源入力端子
GND	-	グランド接続端子
TEST	入力	弊社 Test 端子です。オープンで御使用ください。
T1 (CE)	入力	弊社 Test 端子です。オープンで御使用ください。
T2 (VPP)	-	弊社 Test 端子です。オープンで御使用ください。
N.C.	-	内部接続されていません。 OPEN もしくは、GND または VDD に接続してください。

* VDD-GND 間 直近に 0.1 μF 以上のパスコンを必ず接続してください

4. 絶対最大定格

GND=0 V

項目	記号	条件	定格値	単位
電源電圧	VDD	VDD-GND間	-0.3 ~ +6.5	V
入力電圧	VIN	FOE, EVIN, SCL, SDA 端子	GND-0.3 ~ +6.5	V
出力電圧 (1)	VOUT1	FOUT 端子	GND-0.3 ~ VDD+0.3	V
出力電圧 (2)	VOUT2	SDA, / INT 端子	GND-0.3 ~ +6.5	V
保存温度	TSTG	梱包状態を除く 単品での保存	-55 ~ +125	°C

5. 推奨動作条件

GND=0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	VDD	インターフェース電圧	1.6	3.0	5.5	V
温度補償電圧	VTEM	温度補償動作電圧	2.2	3.0	5.5	V
計時電源電圧	VCLK	-	1.6	3.0	5.5	V
動作温度範囲	TOPR	結露無きこと	-40	+25	+85	°C

6. 周波数特性

GND=0 V

項目	記号	条件	規格	単位	
周波数安定度	$\Delta f/f$	U A	Ta= 0 ~ +50 °C, VDD=3.0 V Ta=-40 ~ +85 °C, VDD=3.0 V	± 1.9 (*1) ± 3.4 (*2)	$\times 10^{-6}$
		U B	Ta= 0 ~ +50 °C, VDD=3.0 V Ta=-40 ~ +85 °C, VDD=3.0 V	± 3.8 (*3) ± 5.0 (*4)	
		U C	Ta= 0 ~ +50 °C, VDD=3.0 V Ta=-30 ~ +70 °C, VDD=3.0 V	± 3.8 (*3) ± 5.0 (*4)	
		A A	Ta= +25 °C, VDD=3.0 V	+5 \pm 5.0 (*5)	
周波数電圧特性	f / V	Ta= +25 °C, VDD=2.2 V ~ 5.5 V	± 1.0 Max.	$\times 10^{-6}/V$	
発振開始時間	tSTA	Ta= +25 °C, VDD=1.6 V Ta=-40 ~ +85 °C, VDD=1.6 V ~ 5.5 V	1.0 Max. 3.0 Max.	s	
エージング	fa	Ta= +25 °C, VDD=3.0 V : 初年度	± 3 Max.	$\times 10^{-6}/$ year	

*1 月差 5 秒以内 *2 月差 9 秒以内 *3 月差 10 秒以内 *4, *5 月差 13.2 秒以内(オフセット値を除く)

7. 電気的特性

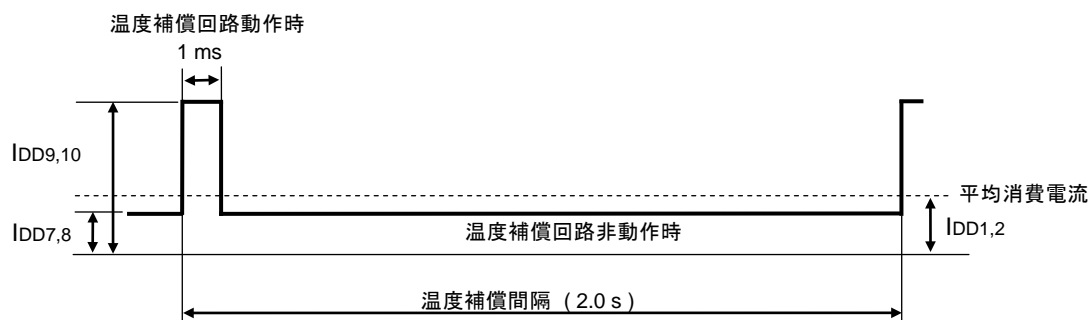
7.1. DC電気的特性

※特記無き場合、GND=0 V, VDD=1.6 V ~ 5.5 V, Ta= -40 °C ~ +85 °C

項目	記号	条件		Min.	Typ.	Max.	単位
消費電流(1)	IDD1	fSCL = 0 Hz, /INT = VDD FOE = GND	VDD=5 V		0.75	3.4	μA
消費電流(2)	IDD2	FOUT : 出力 OFF (Hi-z) 温度補償間隔 2.0 s	VDD=3 V		0.75	2.1	
消費電流(3)	IDD3	fSCL = 0 Hz, /INT, FOE = VDD FOUT : 32 kHz 出力, CL= 0 pF	VDD=5 V		2.0	7.5	μA
消費電流(4)	IDD4	温度補償間隔 2.0 s	VDD=3 V		1.5	5.0	
消費電流(5)	IDD5	fSCL = 0 Hz /INT, FOE = VDD FOUT :32 kHz 出力, CL= 30 pF	VDD=5 V		7.0	20.0	μA
消費電流(6)	IDD6	温度補償間隔 2.0 s	VDD=3 V		4.5	12.0	
消費電流(7)	IDD7	fSCL = 0 Hz, /INT = VDD FOE = GND	VDD=5 V		0.7	2.95	μA
消費電流(8)	IDD8	FOUT : 出力 OFF (Hi-z) 温度補償回路非動作時	VDD=3 V		0.7	1.85	
消費電流(9)	IDD7	fSCL = 0 Hz, /INT = VDD FOE = GND	VDD=5 V		120	900	μA
消費電流(10)	IDD8	FOUT : 出力 OFF (Hi-z) 温度補償回路動作ピーク時	VDD=3 V		115	350	
"H" 入力電圧	VIH	SCL, SDA, FOE, EVIN 端子		0.8 × VDD		5.5	V
"L" 入力電圧	VIL	SCL, SDA, FOE, EVIN 端子		GND - 0.3		0.2 × VDD	V
"H" 出力電圧	VOH1	FOUT 端子	VDD=5 V, IOH=-1 mA	4.5		5.0	V
	VOH2		VDD=3 V, IOH=-1 mA	2.2		3.0	
	VOH3		VDD=3 V, IOH=-100 μA	2.9		3.0	
"L" 出力電圧	VOL1	FOUT 端子	VDD=5 V, IOL=1 mA	GND		GND+0.5	V
	VOL2		VDD=3 V, IOL=1 mA	GND		GND+0.8	
	VOL3		VDD=3 V, IOL=100 μA	GND		GND+0.1	
	VOL4	/INT 端子	VDD=5 V, IOL=1 mA	GND		GND+0.25	V
	VOL5		VDD=3 V, IOL=1 mA	GND		GND+0.4	
	VOL6	SDA 端子	VDD ≥ 2 V, IOL=3 mA	GND		GND+0.4	
入力リーク電流	ILK	SCL, SDA, FOE, EVIN 端子 VIN = VDD or GND		-0.5		0.5	μA
出力リーク電流	IOZ	/INT, SDA, FOUT 端子 VOUT = VDD or GND		-0.5		0.5	μA

● 温度補償回路動作と消費電流

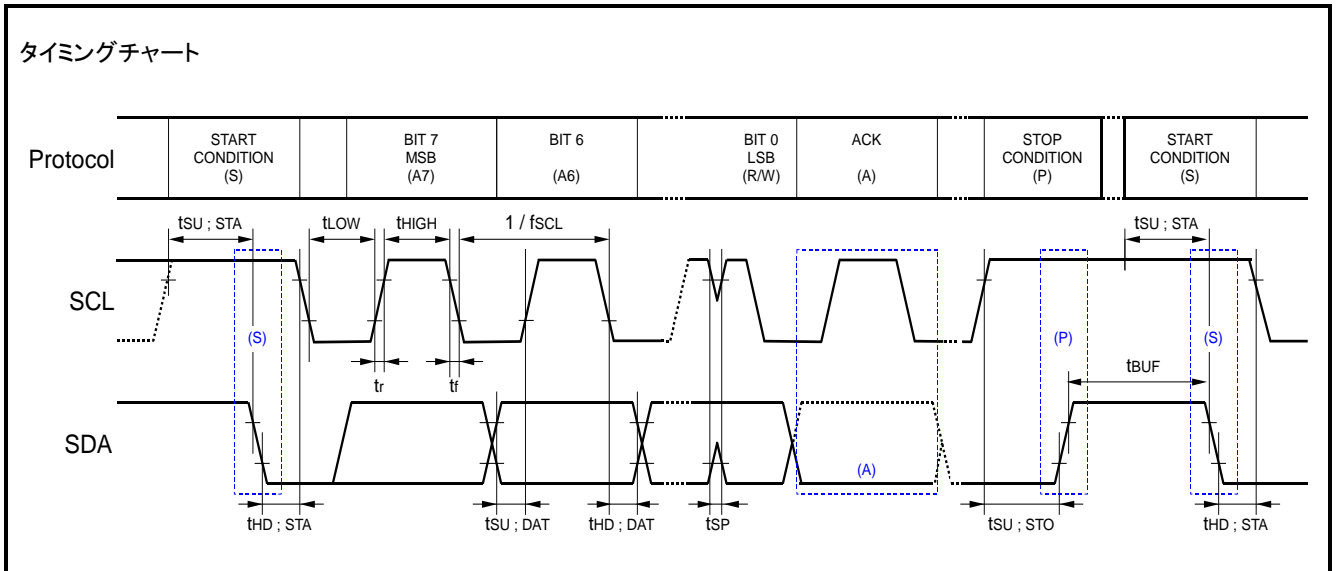
本モジュールでは、温度補償間隔ごとに温度補償回路を動作させ、温度補正值の更新を行なっている為、その期間消費電流が増加します。IDD1, IDD2 は、温度補償間隔 2.0 s 時の平均消費電流値となります。



7.2. AC電気的特性

※特記無き場合、GND=0 V, VDD=1.6 V ~ 5.5 V, Ta= -40 °C ~ +85 °C

項目	記号	条件	100 kHz アクセス (Standard-Mode)		400 kHz アクセス (Fast-Mode)		単位
			Min.	Max.	Min.	Max.	
SCL クロック周波数	fSCL	-	-	100	-	400	kHz
開始条件 セットアップ時間	tSU;STA	-	4.7	-	0.6	-	μs
開始条件 ホールド時間	tHD;STA	-	4.0	-	0.6	-	μs
データ セットアップ時間	tSU;DAT	-	250	-	100	-	ns
データ ホールド時間	tHD;DAT	-	5	-	5	-	ns
停止条件 セットアップ時間	tSU;STO	-	4.0	-	0.6	-	μs
開始条件と停止条件の間の バスフリー時間	tBUF	-	4.7	-	1.3	-	μs
SCL "L"時間	tLOW	-	4.7	-	1.3	-	μs
SCL "H"時間	tHIGH	-	4.0	-	0.6	-	μs
SCL,SDA 立ち上がり時間	tr	-	-	1.0	-	0.3	μs
SCL,SDA 立ち下がり時間	tf	-	-	0.3	-	0.3	μs
バス上の許容スパイク時間	tSP	-	-	50	-	50	ns



注意: 最初の START コンディションの送信から STOP コンディション送信までを 0.95 秒以内に終了してください。
 0.95 秒以上の時間がかかった場合は、内部の監視タイマーによりRTCのI²Cバス・インターフェースがリセットされます。この監視タイマーは、通信途中で発生されるSTARTコンディションによってリセットされません。
 I²Cバス・インターフェースがリセットされると、オートホールド機能による時刻更新の一時停止は解除され、時刻の更新が再開されます。

項目	記号	条件	Min.	Typ.	Max.	単位
FOUT デューティ	Duty	50% VDDレベル	40	50	60	%

8. 使用方法

8.1. レジスタ

8.1.1.書き込み/読み出しモード設定コード

レジスタに対するアドレス指定は 8 ビットとなります。但し、上位 4bit アドレスにおいて互換レジスタ領域と拡張レジスタ①領域の同名レジスタは同一レジスタになります。

互換レジスタ …… 従来機種 (RX-8801) と上位互換の計時レジスタへのアクセス

拡張レジスタ① …… 1/100 秒桁を追加・機能拡張したレジスタへのアクセス

拡張レジスタ② …… 機能拡張したキャプチャバッファ・イベントコントロールレジスタ等へのアクセス

	互換レジスタ	拡張レジスタ①	拡張レジスタ②
上位 Address (4bit)	0 h	1 h	2 h

8.1.2.レジスタテーブル(互換レジスタ)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
00	SEC	○	40	20	10	8	4	2	1	可	可
01	MIN	○	40	20	10	8	4	2	1	可	可
02	HOUR	○	○	20	10	8	4	2	1	可	可
03	WEEK	○	6	5	4	3	2	1	0	可	可
04	DAY	○	○	20	10	8	4	2	1	可	可
05	MONTH	○	○	○	10	8	4	2	1	可	可
06	YEAR	80	40	20	10	8	4	2	1	可	可
07	RAM	●	●	●	●	●	●	●	●	可	可
08	MIN Alarm	AE	40	20	10	8	4	2	1	可	可
09	HOUR Alarm	AE	●	20	10	8	4	2	1	可	可
0A	WEEK Alarm	AE	6	5	4	3	2	1	0	可	可
	DAY Alarm		●	20	10	8	4	2	1		
0B	Timer Counter 0	128	64	32	16	8	4	2	1	可	可
0C	Timer Counter 1	●	●	●	●	2048	1024	512	256	可	可
0D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0	可	可(*5)
0E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET	可	可(*2)
0F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET	可	可

8.1.3.レジスタテーブル (拡張レジスタ①)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
10	1/100 S	80	40	20	10	8	4	2	1	可	不可
11	SEC	○	40	20	10	8	4	2	1	可	可
12	MIN	○	40	20	10	8	4	2	1	可	可
13	HOUR	○	○	20	10	8	4	2	1	可	可
14	WEEK	○	6	5	4	3	2	1	0	可	可
15	DAY	○	○	20	10	8	4	2	1	可	可
16	MONTH	○	○	○	10	8	4	2	1	可	可
17	YEAR	80	40	20	10	8	4	2	1	可	可
18	MIN Alarm	AE	40	20	10	8	4	2	1	可	可
19	HOUR Alarm	AE	●	20	10	8	4	2	1	可	可
1A	WEEK Alarm	AE	6	5	4	3	2	1	0	可	可
	DAY Alarm		●	20	10	8	4	2	1		
1B	Timer Counter 0	128	64	32	16	8	4	2	1	可	可
1C	Timer Counter 1	●	●	●	●	2048	1024	512	256	可	可
1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0	可	可
1E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET	可	可
1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET	可	可

8.1.4.レジスタテーブル (拡張レジスタ②)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
20	1/100 S CP	80	40	20	10	8	4	2	1	可	不可
21	SEC CP	○	40	20	10	8	4	2	1	可	不可
22	—	—	—	—	—	—	—	—	—	—	—
23	—	—	—	—	—	—	—	—	—	—	—
24	—	—	—	—	—	—	—	—	—	—	—
25	—	—	—	—	—	—	—	—	—	—	—
26	—	—	—	—	—	—	—	—	—	—	—
27	—	—	—	—	—	—	—	—	—	—	—
28	—	—	—	—	—	—	—	—	—	—	—
29	—	—	—	—	—	—	—	—	—	—	—
2A	—	—	—	—	—	—	—	—	—	—	—
2B	—	—	—	—	—	—	—	—	—	—	—
2C	OSC Offset	○	○	○	○	OFS3	OFS2	OFS1	OFS0	可	可
2D	—	—	—	—	—	—	—	—	—	—	—
2E	—	—	—	—	—	—	—	—	—	—	—
2F	Event Control	ECP	EHL	ET1	ET0	○	○	○	ERST	可	可

[注意事項]

*1) 0V からの初期電源投入時、及び、VLF ビット読み出し時の結果、VLF="1"の時は、必ず全ての初期設定を実施してから使用してください。日付・時間として有り得ないデータの設定はしないでください。その場合の計時動作は保証出来ません。

FSEL 1,0 の初期値は、"00"で FOUT 端子から 32.768Hz 出力が選択されます。

CSEL 1,0 の初期値は、"10"で温度補償動作 2s が選択されます。

OFS3~0 の初期電源投入時の値は、"0000"で周波数オフセット±0 が選択されます。

0V からの初期電源投入時は以下のように初期設定が行われます。

●"0"セット: TEST, WADA, USEL, TE, FSEL1, FSEL0, TSEL0, UF, TF, AF, EVF, CSEL1, UIE, TIE, AIE, EIE, RESET, 1/100 SEC CP(80,40,20,10,8,4,2,1), SEC CP(40,20,10,8,4,2,1), OFS3, OFS2, OFS1, OFS0, ECP, EHL, ET1, ET0, ERST

●"1"セット: TSEL1, VLF, VDET, CSEL0

◎ その他のビット値は不定ですので、必ず初期設定を実施してから使用してください。

初期電源投入 および バックアップからの復帰に関する電源電圧条件につきましては【8.6. 電源初期投入 および バックアップへの移行、復帰】を参照ください。

*2) UF, TF, AF, EVF, VLF, VDET ビットは "0"のみライト可能です。

*3) "○"マークはライト不能でリード時"0"が読み出せます。

*4) "●"マークは RAM bit で R/W 可能です。

*5) TEST ビットは 弊社テスト用ビットです。必ず"0"にて御使用ください。

*6) アラームを使用しない場合 Address 8 ~ A は RAM として使用可能です。(AIE : "0")

*7) タイマーカウンタ(Address B, C)をリードすると、設定したプリセットデータ値がリードできます。
また、タイマーを使用しない場合、Address B, C は RAM として使用可能です。(TE, TIE : "0")

*8) 1/100S 桁へは直接データの書き込みが出来ません。SEC 桁への書き込み、もしくは RESET bit および ERST bit 操作により、"00"にクリアされます。

8.2. レジスタ説明

8.2.1. 計時・カレンダーレジスタ (1/100S, SEC ~ YEAR)

- データ形式

データは BCD 形式で、例えば秒レジスタが "0101 1001" ならば 59 秒を意味します。
時刻計時は 24 時間制(固定)です。

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
10	1/100 S	80	40	20	10	8	4	2	1
00, 11	SEC	○	40	20	10	8	4	2	1
01, 12	MIN	○	40	20	10	8	4	2	1
02, 13	HOUR	○	○	20	10	8	4	2	1

- 計時レジスタ

1) [1/100 S]レジスタ

[1/100 秒]を計時するカウンタです。0.00 秒,0.01 秒,0.02 秒 ~ 0.99 秒,0.00 秒,0.01 秒~ の順に更新します。
レジスタの BCD コードは小数点第 1,2 位を表します。

[SEC]レジスタに書き込みを行うと、1 秒未満の内部カウンタ(16KHz ~ 2Hz 及び 1/100 秒カウンタ)がリセットされ、リセット処理後は即、自動解除します。(リセット状態は、継続されません)
リセット解除のタイミングは、[SEC]レジスタへの書き込み直後で解除されます。
時間を継続して読み出す場合は、連続アクセスにより、1/100 秒桁より読み出しを行ってください。

*本レジスタは読み出し専用です。(書き込みは不可) 時間を合わせたい場合は、[SEC]レジスタへの書き込み、RESET、ERST ビットを使用して"0"リセットを行ってください。

2) [SEC]レジスタ

[秒]を計時するカウンタです。00 秒,01 秒,02 秒 ~ 59 秒,00 秒,01 秒~の順に更新します。

[SEC]レジスタに書き込みを行うと、1 秒未満の内部カウンタ(16KHz~2Hz 及び 1/100 秒カウンタ)がリセットされ、リセット処理後は即、自動解除します。(リセット状態は、継続されません)
リセット解除のタイミングは、[SEC]レジスタへの書き込み直後で解除されます。

【チップアクセスホールド機能】

本製品はチップアクセスホールド機能を搭載しています。

安定した計時動作を行うために、チップアクセス(START コンディションの送信からアクセス終了後の STOP コンディション送信までの一連の通信)中はカウンタに対する時刻更新を行わず、チップアクセス終了(STOP コンディション送信)後に時刻更新を行う機能です。

チップアクセス中は、時計カウンタ回路の秒桁上げ信号は生成されず、時刻更新を行いません。

このとき、秒桁上げ信号は 1 秒間だけ保持され、チップアクセス終了後に、秒桁上げ信号を発行し時刻更新を行います。

但し、秒桁上げ信号を保持した状態で SEC レジスタへの書き込みを行うと、秒桁上げ信号はキャンセルされます。

SEC レジスタへの書き込み値が優先されます。

最初の START コンディションの送信から STOP コンディション送信までを 0.95 秒以内に終了してください。

0.95 秒以上の時間がかかった場合は、内部の監視タイマーにより RTC の I²C バス・インターフェースがリセットされます。この監視タイマーは、通信途中で発生される START コンディションによってリセットされません。

I²C バス・インターフェースがリセットされると、オートホールド機能による時刻更新の一時停止は解除され、時刻の更新が再開されます。

3) [MIN]レジスタ

[分]を計時するカウンタです。00 分,01 分,02 分 ~ 59 分,00 分,01 分 ~ の順に更新します。

4) [HOUR]レジスタ

[時]を、24 時間制で計時するカウンタです。00 時,01 時,02 時~ 23 時,00 時,01 時 ~ の順に更新します。

- 年レジスタ と うるう年

年レジスタは 99 年の次は 00 年になります。年レジスタの BCD2 桁を 4 で割り、余りが 0 の年をうるう年と判定します。(00 年はうるう年として処理されます。カレンダー有効期限は 2099 年までとなります)

- 曜日レジスタ

曜日レジスタは 0 ~ 6 の 7 ビットがあり、下表のように割り当てられています。
複数の曜日に"1"をセットしないでください。

bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日
0	0	0	0	0	0	1	日
0	0	0	0	0	1	0	月
0	0	0	0	1	0	0	火
0	0	0	1	0	0	0	水
0	0	1	0	0	0	0	木
0	1	0	0	0	0	0	金
1	0	0	0	0	0	0	土

8.2.2. アラームレジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
08, 18	MIN Alarm	AE	40	20	10	8	4	2	1
09, 19	HOUR Alarm	AE	•	20	10	8	4	2	1
0A, 1A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1

アラームは、曜、日、時、分について設定が可能です。曜日、日は WADA ビットによりどちらをアラームとして使用するか指定します。

それぞれのアラームレジスタの bit7 に AE (Alarm Enable) ビットが付いていますのでこのビットを利用すると毎時アラーム、毎日アラームが簡単に設定できます。曜日は任意の複数の曜日にアラーム設定が可能です。AE ビットは"0"の時、該当レジスタと時計レジスタの比較を行い、"1"の時は don't care としてデータ不間でその桁は常に一致とみなします。

アラームが発生すると Reg-E の AF(Alarm Flag) ビットに"1"がセットされ、この時 Reg-F の AIE (Alarm Interrupt Enable) ビットが"1"の場合は、/ INT 端子を Low レベルとして割り込み信号を発生します。AIE ビットが"0"の時は、/ INT 端子からのアラーム割り込み出力は禁止されます。

アラーム割り込みを使用しない場合は Address 8 ~ A が メモリーレジスタとして使用できます。この時、AIE ビットを"0"に設定し、アラーム動作及び割り込みを禁止してください。

- 曜アラームのビットと各曜日の関係

bit	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
曜日	土	金	木	水	火	月	日

8.2.3. タイマーカウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0B, 1B	Timer Counter 0	128	64	32	16	8	4	2	1
0C, 1C	Timer Counter 1	•	•	•	•	2048	1024	512	256

タイマー割り込みに使用する 12 ビットの内部プリセットブル・ダウンカウンタを制御するレジスタです。ダウンカウンタのカウント周期(ソースクロック)は Reg-D の TSEL0, TSEL1 で指定し、タイマーカウンタ 0, 1 でこのダウンカウンタのプリセット(分周)値を指定します。

Reg-D の TE ビットが"0"の時、プリセットブルカウンタはタイマーカウンタの書き込み時にタイマーカウンタの内容をロードしカウントを停止しています。

その後、TE ビットが"1"になるとカウントを開始します。

指定したソースクロックの周期でダウンカウンタがカウントダウンを続け、データがゼロになると Reg-E の TF(TimerFlag) が"1" にセットされます。このとき、Reg-F の TIE(Timer Interrupt Enable) ビットが"1"の場合は、/ INT 端子を"Low"レベルとし、割り込み信号を発生します。

TIE ビットが"0"の時は / INT 端子からの出力は禁止されます。

次に、タイマーカウンタレジスタのデータを再ロードし、再びカウントダウンを開始します。(繰り返し動作)

尚、TE ビットが"1"の状態の時に、タイマーカウンタに"0"のデータをセットしても、/ INT 端子からのタイマー割り込みは発生しません。期待通りのタイマー動作を行なうためには TE, TIE ビットの設定が必要です。

タイマー割り込みを使用しない場合は Address B, C が メモリーレジスタとして使用できます。この時、TE, TIE ビットを"0"に設定し、タイマー動作及び割り込みを禁止してください

- タイマー割り込み ソースクロック選択

TSEL1	TSEL0	ソースクロック
0	0	4096 Hz
0	1	64 Hz
1	0	秒 更新
1	1	分 更新

8.2.4. コントロールレジスタ・フラグレジスタ

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0D, 1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E, 1E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET
0F, 1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	○	○	RESET

- TEST ビット ; 弊社のテスト用のビットです。
必ず"0"を設定してください。レジスタの他のビットの書き込みの際、誤って"1"を書込まないよう御注意願います。"1"を書込んだ後、CE 端子"L"時にはクリアされます。
- WADA ビット (Week Alarm / Day Alarm)
WEEK / DAY アラームの設定ビットです。本ビットを"0"とすると 曜アラーム、"1"とすると日アラームとしてレジスタの設定内容を解釈します。

- USEL ビット (Update Interrupt Select)
時刻更新割り込みを発生させるタイミングを指定します。

[時刻更新割り込みタイミング選択]

USEL	タイミング	自動復帰時間
0	秒 更新	500 ms
1	分 更新	7.813 ms

- FSEL ビット
FOUT 端子出力周波数を指定します。初期電源投入時のレジスタの値は、"00"で 32.768 kHz が選択されます。

[FOUT 出力周波数選択]

FSEL1	FSEL0	FOUT 周波数
0	0	32.768 kHz
0	1	1024 Hz
1	0	1 Hz
1	1	32.768 kHz

- TE ビット (Timer Enable)
本ビットを"1"とする事により、プリセッタブルカウンタがカウントダウンを開始します。本ビットを"0"とすると、プリセッタブルカウンタのカウントダウンは停止します。
- AF, TF, UF, EVF ビット (Alarm Flag , Timer Flag , Update Flag , Event Flag)
AF ビットはアラームが発生すると"1"に、TF ビットはタイマー割り込み用ダウンカウンタがゼロ時に"1"に、UF ビットは時刻更新終了後に、EVF ビットはイベント入力検出時にセットされます。
これらのビット共は、"0"を書き込むまでデータを保持します。また、"1"をライトすることはできません。
- AIE, TIE , UIE , EIE ビット (Alarm , Timer , Update , Event Interrupt Enable)
アラーム、タイマー、時刻更新、イベント入力検出の割り込み要因の発生時に各割り込み信号を発生させるか否かを指定します。
AIE はアラーム割り込みに、TIE はタイマー割り込みに、UIE は時刻更新割り込みに、EIE はイベント入力検出割り込みに対応します。

- CSEL ビット (Compensation interval Select 0, 1)
温度補償動作の間隔を指定します。初期電源投入時、2.0s となっています。

CSEL1	CSEL0	温度補償間隔
0	0	0.5 s
0	1	2.0 s
1	0	10 s
1	1	30 s

- VLF (Voltage Low Flag)
本フラグは発振回路の電源電圧の低下を検出して記録するビットです。
VLF ビットが"1"を示している場合は水晶発振の停止、あるいは電源が切断された可能性がありますので全てのレジスタデータの初期化を行ってください。
電圧低下を検出した場合は"0"を書き込むまで"1"を保持します。
他のビット(RESET)が"1"のときでも影響を受けません。
本ビットに対する"1"書き込みはできません。また、本フラグの検出は常時監視にて行われます。

- VDET (Voltage Detect Flag)
 本フラグは電源電圧の低下を検出し、温度補償回路の電圧状態検出結果を保持するビットで"1"で温度補償動作が停止した可能性、すなわち、時刻データの信頼性がやや低い事を示し、"0"を書き込むまで保持します。
 他のビット(RESET)が"1"のときでも影響を受けません。
 本ビットに対する"1"書き込みはできません。また、本フラグの検出は温度補正タイミングと同期して行われます。

- RESET ビット
 本ビットを"1"にすると Clock&Calendar 回路の秒未満のカウンタ(16KHz ~ 2Hz 及び 1/100 秒カウンタ)がコマンド終了タイミング(CE="L"時)にリセットされます。
 同時に 1/100 秒 CP, 秒 CP レジスタも ALL"0"クリアされます。
 また、本ビットも、CE="L"時には自動的にクリアされます。

本ビットは高精度な時刻合せを行う場合に使用します。
 秒未満のカウンタがリセットされた分の時間は、アラーム、定周期タイマー、時刻更新割り込み等の動作にも影響します。

8.2.5. OSC オフセットコントロールレジスタ

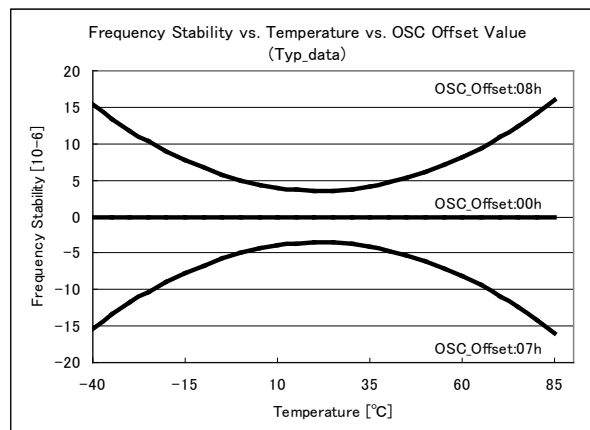
Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
2C	OSC Offset	○	○	○	○	OFS3	OFS2	OFS1	OFS0

1) OFS レジスタ(OFS3-OFS0)

DTCXO 発振周波数に対してオフセット調整を行います。
 RA8803SAでは、約 0.6×10^{-6} 刻みで $-4.2 \sim +4.8 \times 10^{-6}$ のオフセット調整が可能です。(調整誤差:10%)
 計時の歩度(遅れ・進み)の調整に使用できます。

OFS3	OFS2	OFS1	OFS0	調整値 ($\times 10^{-6}$)
				RA8803SA
0	0	0	0	± 0.0
0	0	0	1	-0.6
0	0	1	0	-1.2
0	0	1	1	-1.8
0	1	0	0	-2.4
0	1	0	1	-3.0
0	1	1	0	-3.6
0	1	1	1	-4.2
1	0	0	0	+4.8
1	0	0	1	+4.2
1	0	1	0	+3.6
1	0	1	1	+3.0
1	1	0	0	+2.4
1	1	0	1	+1.8
1	1	1	0	+1.2
1	1	1	1	+0.6

- * OFS3 ~ OFS0 の初期電源投入時の値は、"0000"で周波数オフセット±0.0 が選択されます。
- * OFS レジスタの設定値によって、下記グラフのように周波数安定度に影響を与えます。
 常温付近の温度環境で使用される場合を除き、オフセット調整を行なう際はご注意ください。



8.2.6. キャプチャ・バッファ/イベントコントロール

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
20	1/100 S CP	80	40	20	10	8	4	2	1
21	SEC CP	○	40	20	10	8	4	2	1
2F	Event Control	ECP	EHL	ET1	ET0	○	○	○	ERST

イベント検出に関する設定をするレジスタです。

1) ECP ビット (Event Capture enable)

イベント検出時にキャプチャ・バッファへ、秒・1/100S データをキャプチャするかどうかを指定します。

ECP	動作
0	キャプチャ動作せず
1	キャプチャ動作

2) EHL ビット (High/Low detection select)

イベント入力の検出レベルを指定します。

EHL ビットで指定したレベルをチャタリング除去周期以上保持することでイベントを検出します。

EHL	動作
0	"L"レベルを検出
1	"H"レベルを検出

3) ET1,ET0 ビット (Event chattering Time Set)

イベント入力端子(EVIN)のチャタリング除去機能の除去周期を設定します。

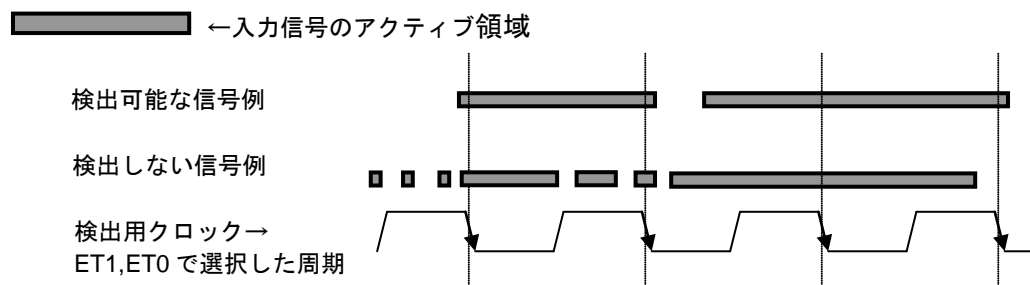
イベント入力が入力端子が設定した周期以上の時間保持されればそのイベントは有効になります。

・チャタリング除去周期

ET1	ET0	周期
0	0	チャタリング除去機能無し(*)
0	1	3.9 ms
1	0	15.6 ms
1	1	125 ms

(*)入力チャタリング除去は行われませんが、計時動作とEVIN端子入力との内部同期を4,096Hz クロックで行うため最小パルス幅維持時間は 245us 以上確保してください

検出タイミングと、入力チャタリング除去の、動作イメージ。



入力信号が、検出タイミングクロックの、連続した2つのエッジに渡っている場合に入力判定します。

4) ERST ビット

本ビットを"1"にすると Clock&Calendar 回路の秒未満のカウンタ(16KHz ~ 2Hz 及び 1/100 秒カウンタ)が外部イベント検出に同期してリセットされます。

同時に 1/100 秒 CP, 秒 CP レジスタも ALL"0"クリアされます。

ERST ビットに"1"を書き込んでからイベントが発生するまでの間、計時は継続します。

外部イベントが検出された時点で秒未満のカウンタがリセットされ、ERST ビットもクリアされます。

また、イベント発生前であれば、ERST ビットに直接"0"書き込みを行うことで、このリセット動作を無効とすることも可能です。

本ビットは、1pps 信号等と同期させ、高精度な時刻合せを行う場合に使用することができます。

秒未満のカウンタがリセットされた分の時間は、アラーム、定周期タイマー、時刻更新割り込み等の動作にも影響します。

8.3. アラーム割り込み機能

8.3.1. アラーム割り込み

[日],[曜],[時],[分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット="1" かつ /INT 端子="L"になるなど、イベントの発生を知ることができます。

* 割り込みイベント発生時の /INT "L" 出力は、意図的な解除を行わない限り自動解除されず、/INT "L" が保持されます。

8.3.2. アラーム割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
08,18	MIN Alarm	AE	40	20	10	8	4	2	1
09,19	HOUR Alarm	AE	•	20	10	8	4	2	1
0A,1A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1
0D,1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E,1E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET
0F,1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET

* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、最初に AIE ビットを "0" にすることを推奨します。

* アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 08 ~ 0A) を RAM レジスタとして使用できます。その場合は、AIE ビットを必ず "0" にしてください。

1) アラームレジスタ (Reg - 08[h] ~ 0A[h])

Reg - 0A は、WADA ビットで選択した状況に応じて [週]データ もしくは [日]データを設定できます。
[週]を選択したときは、曜日設定を(例えば)月・水・金・土のような複数曜日の同時設定が可能です。

*1) アラーム発生の対象としたくない項目については、対象としたくない項目のレジスタの AE ビットを "1" にしてください。AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。

例) WEEK Alarm / DAY Alarm レジスタ (Reg - 0A) に 80h (AE = "1") を書き込む
→ [時],[分]のみがアラーム比較対象となる。[週/日]はアラーム比較対象外。

*2) 現時刻と同じ状況を設定してもアラームは発生しません。次回の時刻一致時に発生します。

2) WADA ビット (Week Alarm / Day Alarm Select)

アラーム割り込み機能の対象を選択指定するビットです。

WADA	データ	内容
Write	0	Reg - 0A が WEEK Alarm(週)で動作します。
	1	Reg - 0A が DAY Alarm(日)で動作します。

3) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

AF	データ	内容
Write	0	/INT が "L" 出力中の場合は解除されます。(Hi-z になります)
	1	"1" の書き込みは無効です。
Read	0	-
	1	アラーム割り込みイベント発生有り * 結果は、0 クリアするまで保持されます。

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時の、/INT 割り込み信号の動作を設定します。

AIE	データ	内容
Write	0	1) 割り込み信号は出力しない (/INT = Hi-z 継続) 2) 割り込み信号を解除 (/INT, " L " → Hi-z) する。
	1	割り込み信号を出力する (/INT = Hi-z → " L ")

* AIE ビットは /INT 端子の出力制御のみです。アラームを解除するには AF フラグを"0"クリアする必要があります。

8.3.3. アラーム設定例

1) [曜] 指定時 の アラーム設定例 / WADA ビット = " 0 "

[曜] 指定時 WADA ビット " 0 "	Reg - 0A								Reg - 09	Reg - 08
	bit 7 AE	bit 6 土	bit 5 金	bit 4 木	bit 3 水	bit 2 火	bit 1 月	bit 0 日	HOUR Alarm	MIN Alarm
毎週 月 ~ 金, 午前 7 時 * [分]不問	0	0	1	1	1	1	1	0	07 h	AE bit " 1 "
毎週 日, 土, 毎時 30 分 * [時]不問	0	1	0	0	0	0	0	1	AE bit " 1 "	30 h
毎日, 午後 6 時 59 分	0	1	1	1	1	1	1	1	18 h	59 h
	1	X	X	X	X	X	X	X		

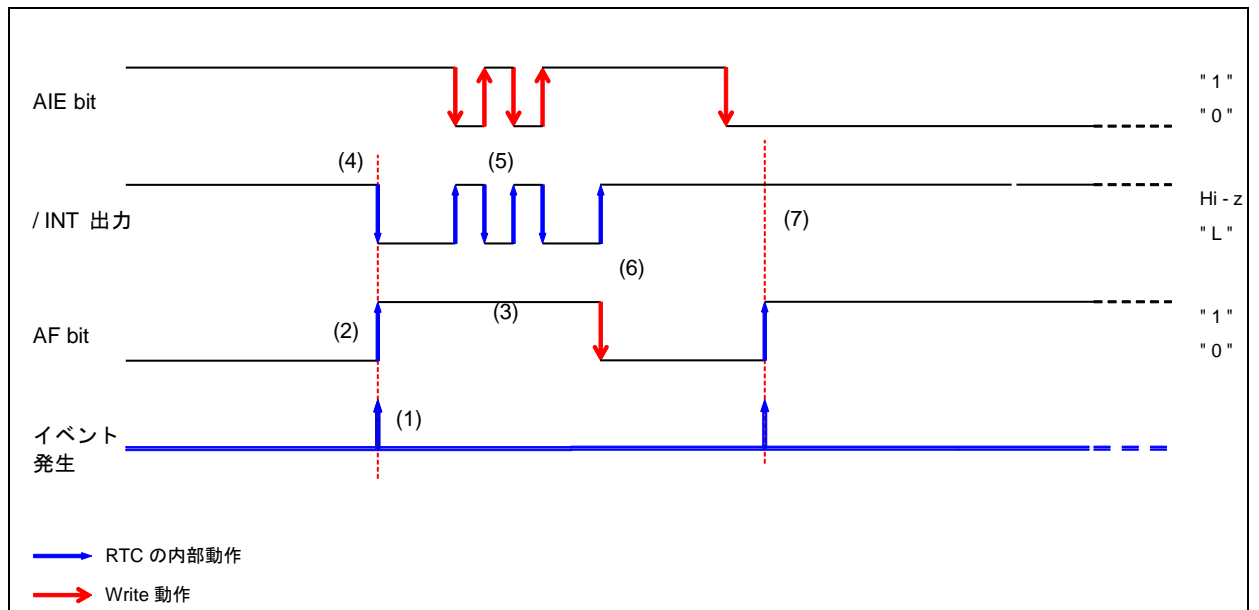
X : don't care

2) [日] 指定時 の アラーム設定例 / WADA ビット = " 1 "

[日] 指定時 WADA ビット " 1 "	Reg - 0A								Reg - 09	Reg - 08
	bit 7 AE	bit 6 ●	bit 5 20	bit 4 10	bit 3 08	bit 2 04	bit 1 02	bit 0 01	HOUR Alarm	MIN Alarm
毎月 01 日, 午前 7 時 * [分]不問	0	0	0	0	0	0	0	1	07 h	AE bit " 1 "
毎月 15 日, 毎時 30 分 * [時]不問	0	0	0	1	0	1	0	1	AE bit " 1 "	30 h
毎日, 午後 6 時 59 分	1	X	X	X	X	X	X	X	18 h	59 h

X : don't care

8.3.4. アラーム割り込み機能図



(1)アラーム割り込みイベントを発生させたい [時], [分], [日 or 曜]を WADA ビットとともに予め設定しておき、アラーム設定値と現在時刻が計時動作によって一致すると割り込みイベントが発生します。一致比較は、分更新のタイミングで行います。

注) 現時刻と同じ状況を設定してもアラームは発生しません。次回の同じ状況への桁上げ時に発生します。

また、計時カウンタにアラーム設定値と同じ時刻を設定してもアラームは発生しません。

次回の同じアラーム設定値への桁上げ時に発生します。

(2) アラーム割り込みイベントが発生すると、AF ビットは"1"になります。

(3) AF ビットが"1"のとき、0 クリアされるまで"1"が保持されます。

(4) アラーム割り込み発生時に AIE="1"ならば、/INT 端子は"L"を出力します。

□ アラーム割り込みイベント発生時の /INT 端子出力は"L"になり、その後は AF ビットまたは、AIE ビットによって解除されるまでこの状態を維持します。

(5) /INT="L"時に AIE="0"を設定すると、ただちに /INT=Hi-Z になります。

また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/INT 状態を AIE ビットによって任意に制御することができます。

(6) /INT="L"時に AF ="0"を設定すると、ただちに /INT=Hi-Z になります。

(7) アラーム割り込み発生時に AIE="0"ならば、/INT 端子は Hi-Z のまま変化はありません。

8.4. 定周期タイマー割り込み機能

8.4.1. タイマー割り込み

244.14 μ s ~ 4095 min までの任意の周期で定期的な割り込みイベントを発生させる機能です。

* 割り込みイベント発生時の /INT "L" 出力は、7.813 ms (Max.) で自動解除されます。

8.4.2. 定周期タイマー割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0B,1B	Timer Counter 0	128	64	32	16	8	4	2	1
0C,1C	Timer Counter 1	•	•	•	•	2048	1024	512	256
0D,1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E,1E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET
0F,1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET

* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、①TE ビット"0" ,②TF ビット"0",③TIE ビット"0" □の順に"0"クリアしてから始めることを推奨します。

* 機能を使用しないときは、Reg - B, C [h] を RAM レジスタとして使用できます。その場合は TE, TIE = " 0 " に設定して機能を停止させてください。

1) 定周期タイマー用ダウンカウンタ (Reg - 0B[h] ~ 0C[h])

・プリセッタブル・ダウンカウンタの初期値 (プリセット値) を設定するレジスタで、カウント値は 1 ~ 4095 までの任意の値を設定できます。プリセット値の書き込みは、必ず TE ビットが " 0 " の状態で行ってください。

・本レジスタを読み出すとき、常にカウントダウン初期値(プリセット値)が読み出されます。

2) TSEL1, TSEL0 ビット

カウントダウン周期 (ソースクロック) を選択するビットです。

* ソースクロックの設定は、必ず TE ビットを一旦 " 0 " にしてから行ってください。

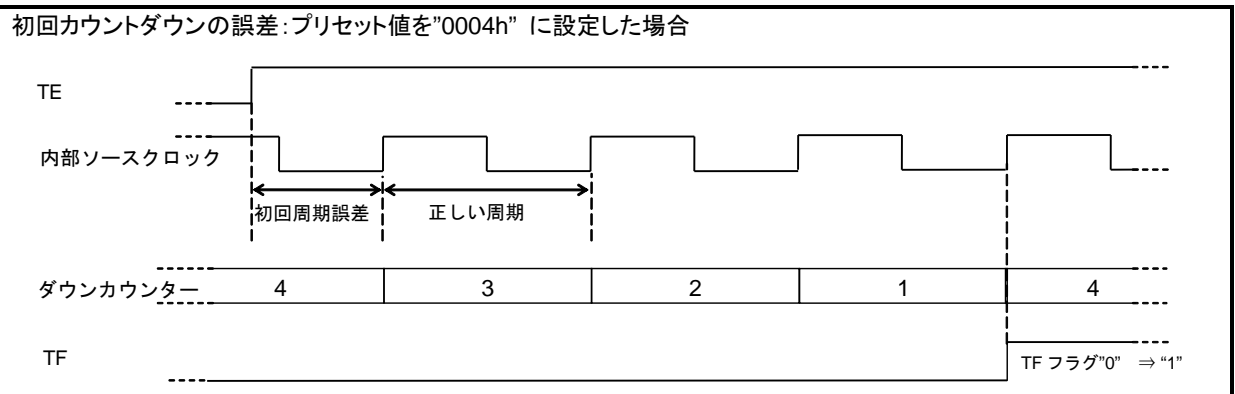
TSEL1	TSEL0	ソース クロック	自動復帰時間 (tRTN)
0	0	4096 Hz / 244.14 μ s 周期	122 μ s
0	1	64 Hz / 15.625 ms 周期	7.813 ms
1	0	1 Hz / 1 秒周期	7.813 ms
1	1	1/60 Hz / 1 分周期	7.813 ms(Min.)

*1) /INT 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

*2) ソースクロック 1Hz 選択時のカウントダウンは、内部計時の[秒]更新に連動しません。(1Hz クロック使用)

*3) ソースクロック 1/60Hz 選択時のカウントダウンは、内部計時の[分]更新に連動しています。

□内部計時の[分]更新に連動していますので、例えば 50 秒の時点でタイマー動作を開始した場合には、10 秒後に 1 回目のカウントダウンが発生します。(2 回目以降は 正しい 1 分周期で行われます。)



3) TE ビット (Timer Enable)

定周期タイマー割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write	0	定周期タイマー割り込み機能を停止 * /INT 出力は、直ちに解除されます (Hi-z になります)。
	1	定周期タイマー割り込み機能が動作を開始 * カウントダウンのスタート値は、常にプリセット値より開始します。

4) TF ビット (Timer Flag)

定周期タイマー割り込みイベントを検出して、結果を保持するフラグビットです。

TF	データ	内容
Write	0	/INT が "L" 出力中の場合には解除されます。(Hi-z になります)
	1	" 1 " は 書き込めません。
Read	0	-
	1	定周期タイマー割り込みイベント発生を検出あり * 結果は、0 クリアするまで保持されます。

5) TIE ビット (Timer Interrupt Enable)

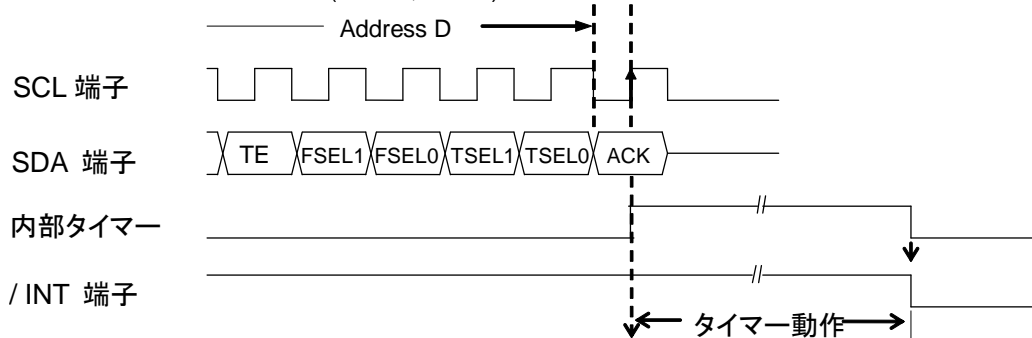
定周期タイマー割り込みイベント発生時 (TF, " 0 " → " 1 ") の、/INT 割り込み信号の動作を設定します。

TIE	データ	内容
Write	0	1) 割り込み信号は出力しない (/INT = Hi-z 継続) 2) 割り込み信号を解除 (/INT, " L " → Hi-z) する。
	1	割り込み信号を出力する。(/INT = Hi-z → " L ")

8.4.3. タイマー スタートタイミング

定周期タイマー割り込み機能のタイマーカウントダウンは、TEビット="0"→"1"へのライト終了時の、SCLの立ち上りエッジ (ACK出力時)から開始します。

□ タイマーソースクロック選択ビット(TSEL1,TSEL0)も CLK の立ち上りエッジで取り込みます。



8.4.4. 定周期タイマー割り込み周期

ソースクロック設定とダウンカウンタ設定の組み合わせによる割り込み周期の例を示します。

- タイマー割り込み間隔

Timer Counter 設定値	ソースクロック			
	4096 Hz	64 Hz	秒 更新	分 更新
0	–	–	–	–
1	244.14 μ s	15.625 ms	1 s	1 min
2	488.28 μ s	31.25 ms	2 s	2 min
⋮	⋮	⋮	⋮	⋮
41	10.010 ms	640.63 ms	41 s	41 min
82	20.020 ms	1.281 s	82 s	82 min
128	31.250 ms	2.000 s	128 s	128 min
192	46.875 ms	3.000 s	192 s	192 min
205	50.049 ms	3.203 s	205 s	205 min
320	78.125 ms	5.000 s	320 s	320 min
410	100.10 ms	6.406 s	410 s	410 min
640	156.25 ms	10.000 s	640 s	640 min
820	200.20 ms	12.813 s	820 s	820 min
1229	300.05 ms	19.203 s	1229 s	1229 min
1280	312.50 ms	20.000 s	1280 s	1280 min
1920	468.75 ms	30.000 s	1920 s	1920 min
2048	500.00 ms	32.000 s	2048 s	2048 min
2560	625.00 ms	40.000 s	2560 s	2560 min
3200	0.7813 s	50.000 s	3200 s	3200 min
3840	0.9375 s	60.000 s	3840 s	3840 min
⋮	⋮	⋮	⋮	⋮
4095	0.9998 s	63.984 s	4095 s	4095 min

- タイマーの時間誤差

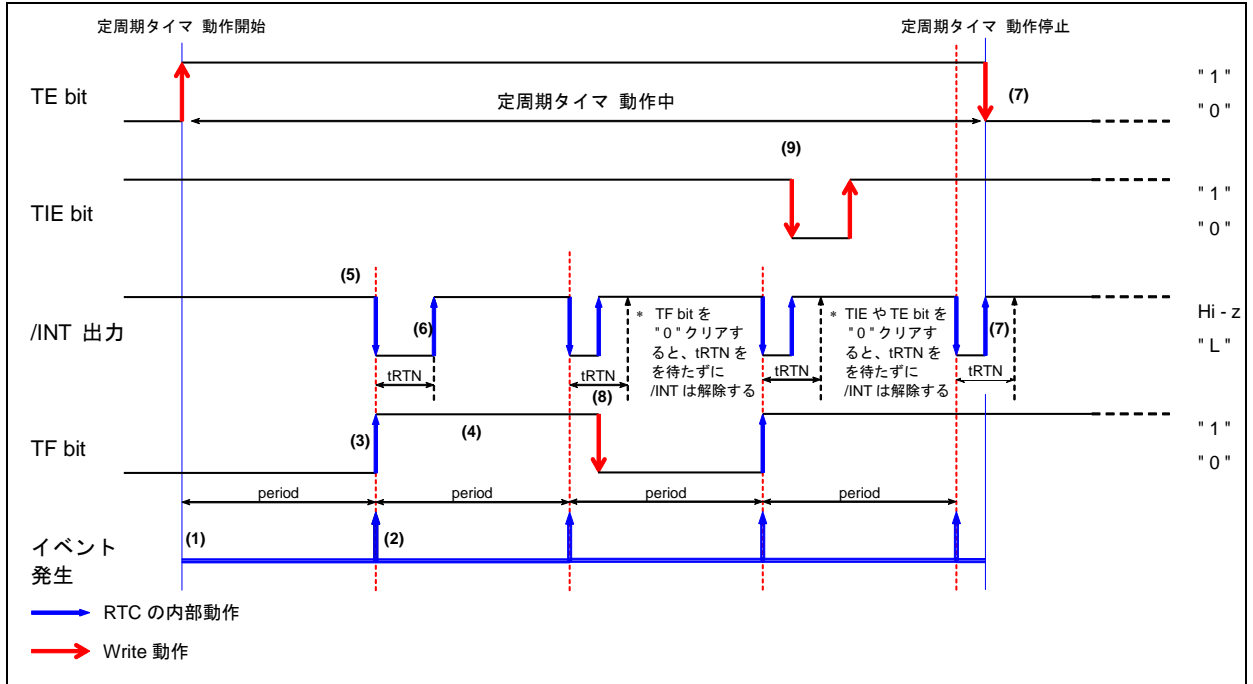
タイマーの時間誤差は、選択したソースクロックの $^{+0}/_{-1}$ 周期の時間が誤差となります。よって、タイマー時間は、タイマー設定時間に対して以下の範囲になります。

$$(\text{タイマー設定時間} (*) - \text{ソースクロック周期}) \sim (\text{タイマー設定時間})$$

$$*) \text{タイマー設定時間} = \text{ソースクロック周期} \times \text{タイマーカウンタの分周値}$$

尚、実際のタイマー時間は、設定用のシリアルデータ転送クロックの通信時間が、上記の時間以外にプラスされます。

8.4.5. 定周期タイマー割り込み機能図



- (1) TE="1"書き込みにより、定周期タイマーのカウントダウンをプリセット値から開始します。
 - (2) 定周期タイマー割り込みイベントはダウンカウンタのカウント値をソースクロックの周期でカウントダウンしていき、ダウンカウンタが 0001[h]→0000[h]になると割り込みイベントが発生します。ダウンカウンタが 0001[h]→0000[h]になり割り込みイベントが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)
 - (3) 定周期タイマー割り込みイベントが発生すると、TFビットは"1"に変化します。
TIEに関係なく、定周期タイマー割り込みイベントが発生すると、TFビットは"1"に変化します。
 - (4) TFビットが"1"ときは、0クリアされるまで"1"を保持します。
 - (5) 定周期タイマー割り込み発生時に TIE="1"ならば、/INT 端子は"L"になります。
TE="0"のときは、/INT 端子は Hi-Z のまま変化はありません。
 - (6) /INT 端子出力は、毎イベント発生ごとに tRTN 時間の間だけ"L"になり、その後は Hi-Z に自動解除します。
(次の割り込みイベント発生時には、再度/INT="L"となります。)
 - (7) TE="0"の書き込みより、定周期タイマーの機能が停止し、かつ、ただちに/INT= Hi-Z になります。
 - (8) /INT="L"時に TF="0"の書き込みをすると、ただちに/INT=Hi-Z になります。
 - (9) /INT="L"時に TIE="0"の書き込みをすると、ただちに/INT=Hi-Z になります。
- また、定周期タイマー割り込み発生後の TF ビットが 0 クリアされるまでの間は、/INT 状態を TIE ビットによって任意に制御することができます。

8.5. 時刻更新割り込み機能

8.5.1. 時刻更新割り込み

時刻更新割り込み機能は、1 秒更新または 1 分更新にて内部計時に連動したタイミングで割り込みイベントを発生させる機能です。

8.5.2. 時刻更新割り込み機能 関連レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET
F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET

* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、最初に UIE ビットを "0" にすることを推奨します。

* 時刻更新割り込み機能は停止できません。時刻更新割り込み機能による /INT 出力を禁止することは可能です。

1) USEL ビット (Update Interrupt Select)

時刻更新割り込みイベントの発生タイミングを [秒]更新か [分]更新に設定するビットです。

USEL	データ	内容	自動復帰時間 tRTN
Write / Read	0	[秒]更新時(1 秒毎に繰り返し) にする。	500ms
	1	[分]更新時(1 分毎に繰り返し) にする。	15.63ms(Min.7.81ms)

1) /INT 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

2) 自動復帰時間はアクセスホールド状態が発生した場合、MIN 7.813ms を保証します。それ以外の通常時は 15.626ms となります。

2) UF ビット (Update Flag)

時刻更新割り込みイベントを検出して、結果を保持するフラグビットです。

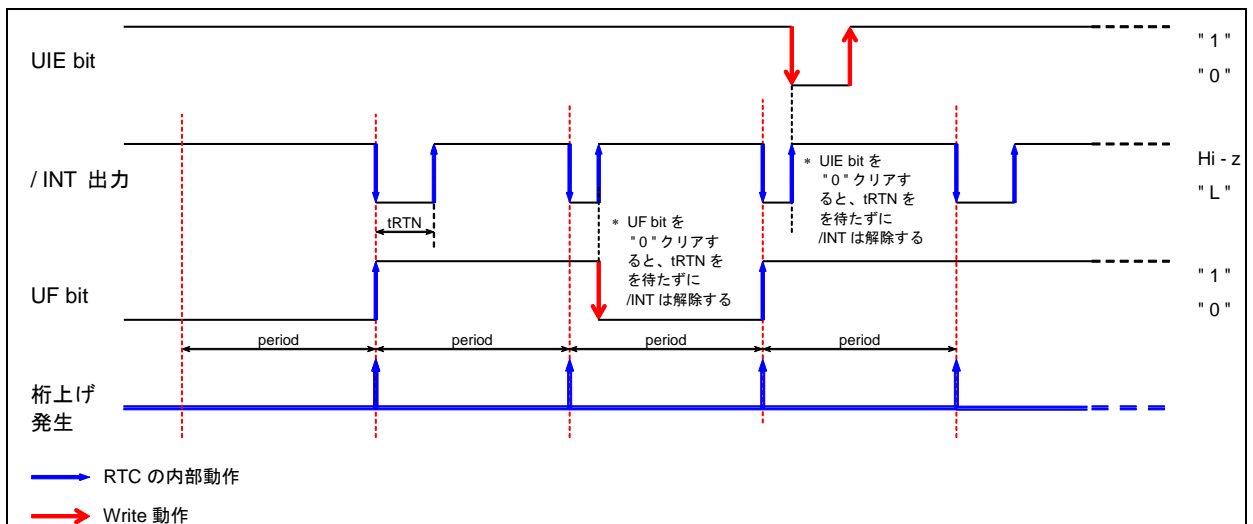
UF	データ	内容
Write	0	/INT が "L" 出力中の場合は解除されます。(Hi-z になります)
	1	" 1 " の書き込みは無効です。
Read	0	-
	1	時刻更新割り込みイベント発生有り (結果は、0 クリアするまでホールドします)

3) UIE ビット (Update Interrupt Enable)

時刻更新割り込みイベント発生時の、 /INT 端子への割り込み信号の動作を設定します。

UIE	データ	内容
Write / Read	0	1) 割り込み信号をディセーブルにする。(/INT = Hi-z 継続) 2) 割り込み信号を解除する。(/INT、" L " → Hi-z)する。
	1	割り込み信号をイネーブルにする。(/INT = Hi-z → " L ") * 割り込み出力は自動解除(/INT = " L " → Hi-z)します。

8.5.3. 時刻更新割り込み機能図



8.6. 外部イベント割り込み機能

8.6.1. 外部イベント割り込み機能

外部イベント割り込み機能は、EVIN 端子の入力をイベントコントロールレジスタにより、設定された条件で取り込んだときに割り込みイベントを発生する機能です。

割り込みイベント発生時には EVF ビット="1"かつ、/INT 端子="L"となる等、イベントの発生を知ることができます。

8.6.2. 外部イベント割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0E,1E	Flag Register	○	○	UF	TF	AF	EVF	VLF	VDET
0F,1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET

拡張レジスタ②

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
20	1/100 S CP	80	40	20	10	8	4	2	1
21	SEC CP	○	40	20	10	8	4	2	1
2F	Event Control	ECP	EHL	ET1	ET0	○	○	○	ERST

*動作設定は、設定時の不用意なハードウェア割り込みを避けるために、はじめに EIE ビットを"0"にすることを推奨します。

*外部イベント割り込み機能を使用しない場合、EIE="0"に設定して外部イベント割り込み機能を停止させてください。

1) EVF ビット (Event Flag)

外部イベント割り込みイベントを検出して、結果を保持するフラグビットです。

予め"0"をセットしておくこと、外部イベント割り込みイベントが発生したときに"1"に変化します。

ERST="1"→"0"にするための外部イベント割り込みも、EVF、/INT に対するイベントとして受け付けます。

EVF	データ	内容
Write	0	EVF ビットを 0 クリアし、次回検出に備えます。 /INT が"L"出力中の場合は解除されます。(Hi-z になります)
	1	" 1 " の書き込みは無効です。
Read	0	-
	1	外部イベント発生有り * 結果は、0 クリアするまで保持されます。

2) EIE ビット (Event Interrupt Enable)

外部割り込みイベント発生時の、/INT 端子への割り込み信号の動作を設定します。

EIE	データ	内容
Write / Read	0	1) 割り込み信号をディセーブルにする。(/INT = Hi-z 継続) 2) 割り込み信号を解除する。(/INT、" L " → Hi-z)する。
	1	割り込み信号をイネーブルにする。(/INT = Hi-z → " L ") * 割り込み出力は自動解除しません

3) 1/100s CPLレジスタ (1/100sec Capture Buffer Resister)

イベント入力検出時に1/100秒計時カウンタの結果を取り込むためのレジスタです。

ERST="0"時の外部イベント発生時に取り込みを行い、RESET、ERSTビット動作によりオールクリア(0000 0000)されます。

本レジスタは読み出し専用です。

4) SEC CPLレジスタ (SEC Capture Buffer Resister)

イベント入力検出時にSEC計時カウンタの結果を取り込むためのレジスタです。

ERST="0"時の外部イベント発生時に取り込みを行い、RESET、ERSTビット動作によりオールクリア(0000 0000)されます。

*本レジスタは読み出し専用です。

5) ERSTビット(Event Interrupt Reset)

本ビットを"1"にすると Clock&Calendar 回路の秒未満のカウンタ(16KHz~2Hz 及び 1/100 秒カウンタ)が設定した外部イベント発生時にリセットされます。ERST ビットに"1"書き込んでからイベントが発生するまでの間、計時は継続します。秒未満のカウンタがリセットされた分の時間はアラーム、定周期タイマー、時刻更新割り込み等の動作にも影響します。

1/100 秒 CP、秒 CP レジスタも ALL"0"クリアします。

外部イベント入力検出された時点で秒未満のカウンタがリセットされて、ERST ビットもクリアされます。同時に、EVF、/INT に対するイベントとしても受け付けます。

また、イベント発生前であれば、ERST ビットを直接"0"書き込みを行うことで、リセット無効とすることも可能です。その時には、EVF、/IRQ に対するイベントとしては受け付けません。

6) ECPビット(Event Capture enable)

イベント入力時にキャプチャバッファへ、1/100 秒、秒データを取り込むか否かを指定します。

ECP	データ	内容
Write/Read	0	キャプチャ動作停止 外部イベント入力が発生してもキャプチャバッファへの時間取り込みは行いません。(キャプチャバッファ状態維持)
	1	キャプチャ動作 外部イベント入力が発生するとキャプチャバッファへの時間取り込みを行います。

7)EHLビット(Event High Low level)

イベント入力の検出レベルを設定します。EHL ビットで指定したレベルをチャタリング除去周期以上保持することでイベントを検出します。

8) ET1,ET0ビット(Event chattering Time Set)

イベント入力の検出レベル連続保持時間を設定します。EHL ビットで指定したレベルをチャタリング除去周期以上保持することでイベントを検出します。

・チャタリング除去周期

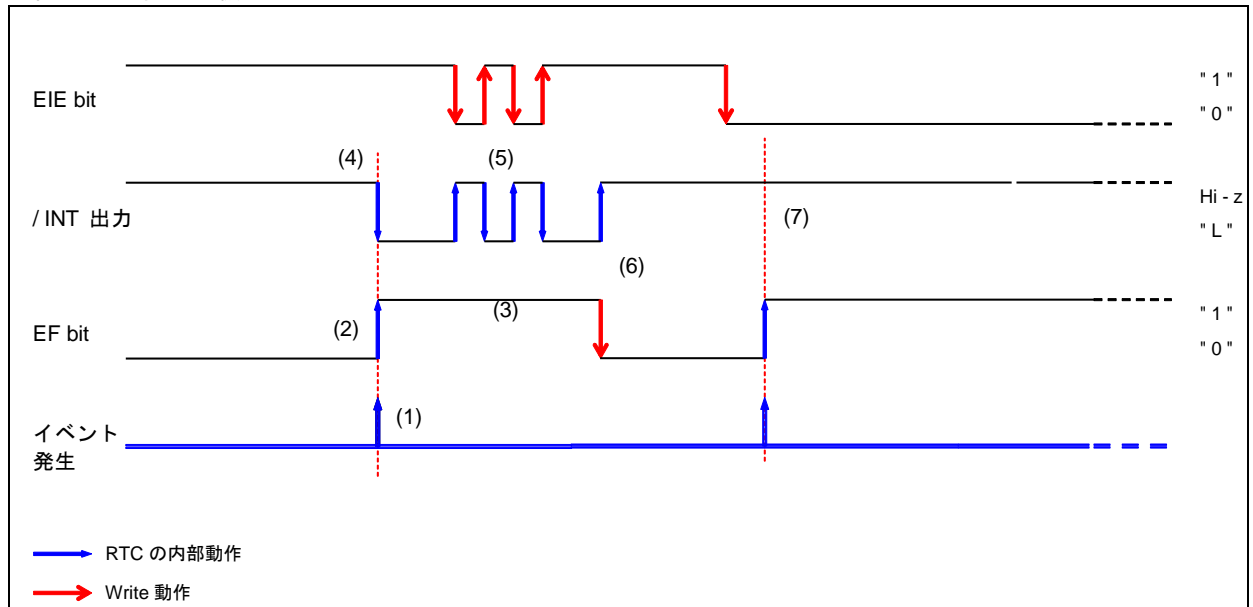
ET1	ET0	周期
0	0	チャタリング除去機能無し(*)
0	1	3.9 ms
1	0	15.6 ms
1	1	125 ms

(*)入力チャタリング除去は行われませんが、計時動作とEVIN端子入力との内部同期を 4,096Hz クロックで行うため最小パルス幅維持時間は 367us 以上確保してください

また、ERST=1 でご使用される場合、ET0,ET1 ビットで指定されるチャタリング除去設定によらず即座に時計カウンタにリセットが掛かります。

(ただし、内部素子遅延の影響で数十 ns 程度の遅延が生じます。)

8.6.3. 外部イベント割り込み機能図



- (1) イベントコントロールレジスタで設定された条件のイベント入力が入力されると割り込みイベントが発生します。
- (2) 外部イベント割り込みイベントが発生すると、EVFビットは"1"になります。
- (3) EVFビットが"1"のとき、0クリアされるまで"1"が保持されます。
- (4) 外部イベント割り込み発生時にEIE="1"ならば、/INT端子は"L"を出力します。
外部イベント割り込み発生時の/INT端子出力は"L"になり、その後はEVF ビットまたは、EIEビットによって解除されるまでこの状態を維持します。
- (5) /INT="L"時にEIE="0"の書き込みをすると、ただちに/INT=Hi-Zになります。
また、外部イベント割り込み発生後のEVFビットが0クリアされるまでの間は、/INT状態をEIEビットによって任意に制御することができます。
- (6) /INT="L"時にEVF="0"の書き込みをすると、ただちに/INT=Hi-Zになります。
- (7) 外部イベント割り込み発生時に EIE="0"ならば、/INT 端子は Hi-Z のまま変化はありません。

8.7. 割り込み機能動作時の /INT " L " 割り込み出力に関して

1) /INT " L " 割り込み出力発生時の 割り込みイベント特定方法

/INT 割り込み出力端子は、定周期タイマー割り込み機能、アラーム割り込み機能、時刻更新割り込み機能、外部イベント割り込み機能の4種類の割り込みイベントの共通出力端子になっています。

割り込みが発生したときはTF, AF, UF, EVF フラグを読み出して、どの種類の割り込みイベントが発生したのかを確認してください。

2) /INT 出力を使用しない場合の処理方法

- ・/INT 出力を使用しない場合は、端子は OPEN で使用してください。
- ・TIE, AIE, UIE, EIE ビットの全てのビットを " 0 " にしてください。
- ・割り込みイベントの発生を検出したい場合は、TF, AF, UF, EVF フラグを監視して、対象となる割り込みイベントが発生を確認してください。

8.8. 温度補償機能

8.8.1. 温度補償機能

本製品は高精度な温度補償回路を内蔵しています。内蔵温度センサーの値に合わせた発振回路に対する周波数補正値を、弊社出荷検査時に内蔵メモリーに設定しており、温度変動に対する発振周波数が補償されます。

温度補償動作電圧(VTEM)以上では機能停止することはできません。

8.8.2. 温度補償機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0F, 1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	EIE	○	RESET

1) CSEL1, CSEL0ビット(Compensation Interval Select 1,0)

温度補償動作の間隔を設定します。温度補償回路は間欠動作により低消費化を図っています。

本ビットは間欠動作の間隔を設定します。初期電源投入時にはCSEL1, CSEL0=("0", "1")選択され2.0sとなります。

CSEL1	CSEL0	温度補償間隔
0	0	0.5 s
0	1	2.0 s
1	0	10 s
1	1	30 s

間欠動作がイネーブルになると、内蔵温度センサー値をラッチします。

ただし、電源電圧が温度補償動作電圧(VTEM)以下の期間は、温度補償動作は行われません。

その場合は最後にラッチしたデータを保持しています。

一度、電源電圧が温度補償動作電圧よりも低下し、電源電圧低下検出であるVDETビットに"1"が書き込まれている状態であっても、その後、温度補償動作電圧より上昇した場合には温度補償動作が行われます。

8.9. データの リード/ライト

8.9.1. I²C-BUS の特性

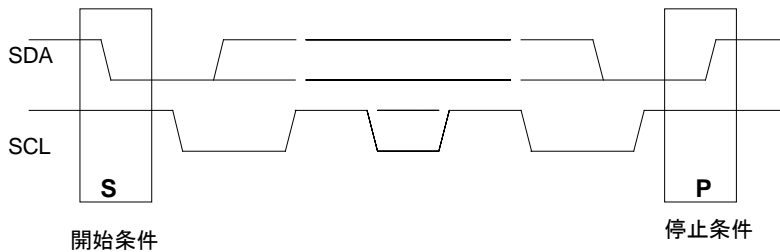
I²C -BUSは 2 線式の双方向通信です。
 信号線は、SDA(データライン)と SCL(クロックライン)とで構成されており、両ラインとも、プルアップ抵抗を介して VDD ラインに接続します。
 複数のデバイスのAND接続を実行するために、I²C-BUSにつながる全てのポートは オープンドレイン あるいはオープンコレクタでなければなりません。

8.9.2. ビット転送

SCL ラインの 1 クロックパルス毎に 1 ビットのデータ転送を行います。送信時、SDA ライン上のデータ変更は SCL ラインが LOW の区間で行います。受信側では、SCL ラインが HIGH の区間でデータを取り込みます。

8.9.3. 開始条件と停止条件

I²C-BUSが非通信状態の時、2 本のラインはHIGHを保っています。この時、SDAがHIGHからLOWに変化した状態を、通信の"開始条件"と定義します。この後、実際のデータ転送を行います。さらに、SCLがHIGHの時、SDAがLOWからHIGHに変化した状態を、通信の"停止条件"と定義します。

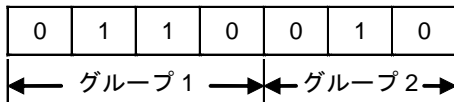


8.9.4. スレーブアドレス

I²C-BUSデバイスは、通常のロジックデバイスが有するチップセレクト端子を持ちません。全てのI²C-BUSデバイスは、機種ごとにユニークなデバイスナンバが内部にあらかじめ固定記憶されています。I²C-BUSデバイスのチップセレクトは、通信開始時にこのデバイスナンバをI²C-BUSによりスレーブアドレスとして送信することによって行います。受信デバイスは、スレーブアドレスが一致した場合のみ、その後の通信に反応します。

スレーブアドレスは、4 ビットの固定値によるグループ 1 と 3 ビットからなるグループ 2 の合計 7 ビットからなります。RA8803 ではグループ 1 が"0110"、グループ 2 が"010"です。

RA8803 スレーブアドレス



* 実際の通信時には、スレーブアドレスと共に R/W(リードライト)ビットを付加した 8 ビットデータを送信します。

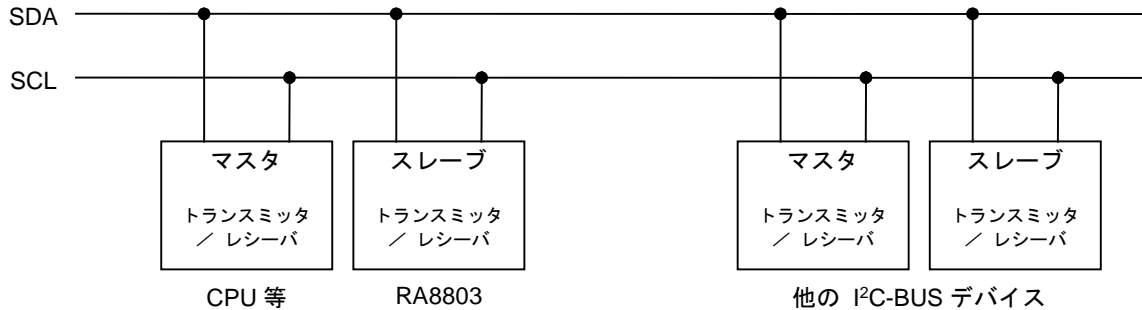


0; 書き込みモード
 1; 読み出しモード

8.9.5. システム構成

メッセージの送受信を制御するデバイスを"マスタ"、マスタによって制御されるデバイスを"スレーブ"と定義します。また、メッセージを送信するデバイスを、"トランスミッタ"、メッセージを受信するデバイスを"レシーバ"と定義します。

RA8803 の場合、CPU 等のコントローラがマスタ、RA8803 がスレーブとなります。トランスミッタ、レシーバには双方とも成り得ます。



8.9.6. アクノリッジ

開始条件と停止条件との間で転送するデータのバイト数に制限はありません。

この時、1 バイトの転送毎に、レシーバ(受信側)は、トランスミッタ(送信側)に対し、アクノリッジビットというデータの受信確認のビットを生成します。アクノリッジビットは LOW アクティブですから、トランスミッタは SDA ラインを HIGH にし、アクノリッジビット用のクロックを送出します。

レシーバは、それまでにトランスミッタから送られた 8 ビットのデータを正しく受け取っていれば、最終ビット用のクロックが終了した時点で SDA ラインを LOW にします。I²C -BUS ラインはプルアップされているので、トランスミッタ側の SDA ラインも LOW になります。ここで、トランスミッタはアクノリッジが返って来たことを確認し、次のデータを送信します。レシーバは、アクノリッジビット用のクロックが終了した時点で、SDA ラインを HIGH (開放) にして次のデータ受信に備えます。

マスタがトランスミッタの時は、レシーバからのアクノリッジ確認後、次のデータ送受信をせずに停止条件を生成すれば、通信を正常終了することができます。マスタがレシーバの時は、アクノリッジビットを"1"として送出した後、停止条件を生成すれば通信を正常終了することができます。

8.9.7. 読み出しデータ自動ホールド機能

シリアル通信中に時刻更新が起こった場合は、時刻更新前のデータと時刻更新後のデータが混在して、不整合な時刻データが読み出されたり、意図しない書き込みが行われたりする場合があります。

RA8803 は、このような不整合なデータ生成を防止するために、以下のリカバリ機能を備えています。

- START 条件受信後、スレーブアドレスが一致すると、時刻更新は一時的にホールドされて、安定したデータ通信を可能にし、通信終了時にホールド解除されます。
- このホールド中に発生した秒の更新は内部で 1 回まで記憶されており、I²C 通信完了後に、自動追加補正されます。
- また、アクセス時間の監視タイマーにより、2 回以上の秒補正が必要になる前に、自動ホールドが解除されて、時刻更新が再開されます。同時に、I²C バスインターフェースは初期化されます。

以上のシーケンスで、万が一、長時間のアクセス中断が起こった場合でも、正確な時刻の計時とともに、新たなデータ通信に正しく応答するようにリカバリされます。

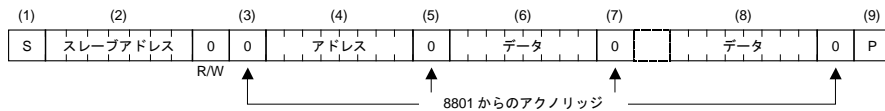
8.9.8. I²C-BUS プロトコル

以下に、マスタを CPU、スレーブを RA8803 と想定して通信手順を記します。

① アドレス指定の書き込み手順

RA8803 はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、8803 の受け取りアドレスは 1 バイト毎に加算されます。

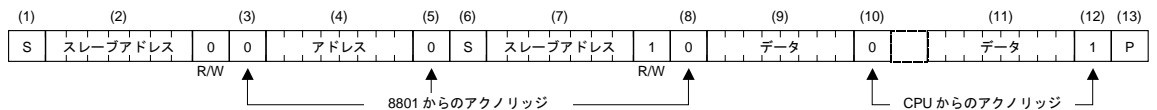
- (1) CPU が開始条件を送信。
- (2) CPU が 8803 のスレーブアドレス、及び R/W ビットを書き込みモードで送出。
- (3) 8803 からのアクノリッジ確認。
- (4) CPU が 8803 へ書き込むアドレスを送出。
- (5) 8803 からのアクノリッジ確認。
- (6) CPU が(4)で指定したアドレスへ書き込むデータを送出。
- (7) 8803 からのアクノリッジ確認。
- (8) 必要に応じ(6)(7)のくり返し。アドレスは 8803 内部でオートインクリメント。
- (9) CPU が停止条件を送出。



② アドレス指定の読みだし手順

書き込みモードによって、リードするアドレスをライトした後、読みだしモードを設定して、実際のデータをリードします。

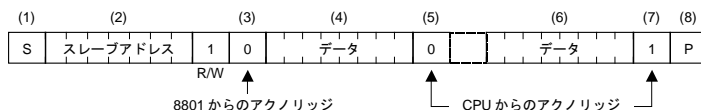
- (1) CPU が開始条件を送出
- (2) CPU が 8803 のスレーブアドレス、及び R/W ビットを書き込みモードで送出。
- (3) 8803 からのアクノリッジ確認。
- (4) CPU が 8803 から読みだすアドレスを送出。
- (5) 8803 からのアクノリッジ確認。
- (6) CPU が開始条件を送信 (停止条件は送信しない)。
- (7) CPU が 8803 のスレーブアドレス、及び R/W ビットを読み出しモードで送出。
- (8) 8803 からのアクノリッジ確認(ここから、CPU がレシーバ、8803 がトランスミッタとなる)。
- (9) 8803 から(4)で指定したアドレスのデータが出る。
- (10) CPU が 8803 へアクノリッジ送出。
- (11) 必要に応じ、(9)(10)のくり返し。読みだしアドレスは 8803 内部でオートインクリメント。
- (12) CPU が"1"のアクノリッジを出す。
- (13) CPU が停止条件を送出。



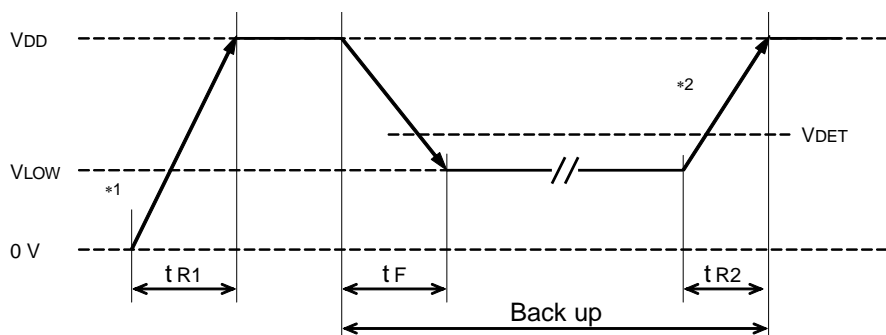
③ アドレス指定しない読み出し手順

最初に読みだしモードを設定することで、その後すぐにデータをリードできます。この場合のアドレスは、前回のアクセスで終了したアドレス+1 となります。

- (1) CPU が開始条件を送出。
- (2) CPU が 8803 のスレーブアドレス、及び R/W ビットを読み出しモードで送出。
- (3) 8803 からのアクノリッジ確認 (以降、CPU がレシーバ、8803 がトランスミッタとなる)。
- (4) 8803 から、前回のアクセスにおける最終アドレス+1 のデータが出る。
- (5) CPU が 8803 へアクノリッジ送出。
- (6) 必要に応じ、(4)(5)のくり返し。読み出しアドレスは 8803 内部でオートインクリメント。
- (7) CPU が"1"のアクノリッジを出す。
- (8) CPU が停止条件を送出。



8.10. 電源初期投入およびバックアップへの移行、復帰



項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧検出電圧 (1)	V_{DET}	-			2.2	V
電源電圧検出電圧 (2)	V_{LOW}	-			1.6	V
電源電圧降下時間	t_F	-	2			$\mu\text{s} / \text{V}$
初期電源立上時間	t_{R1}	-			10	ms / V
計時保持電源立上時間	t_{R2}	1.6V \rightarrow VDD \leq 3.6V	5			$\mu\text{s} / \text{V}$
		1.6V \rightarrow VDD $>$ 3.6V	15			$\mu\text{s} / \text{V}$

*1)初期電源投入時は所定のレジスタが初期化されます。(8.1.2レジスタテーブル参照)

電源投入の検出回路を正常動作させるために、上記条件にて電源を投入してください。

その際、中間電位からの電源投入は避け、必ず0Vから電源を投入してください。

バックアップへの移行時は、電源切り替え操作の前にSTOPコンディションの設定を行い、本製品を非選択状態としてください。

*2)バックアップからの復帰後、VLFビットが"1"のとき、または、時刻データ、レジスタデータの破壊が確認されたときはRTC電源が計時保持電圧を下回ったことが想定されますので全てのレジスタを初期化してください。

8.11. 電源初期投入時 および バックアップ復帰時のアクセス制限

- RTC レジスタの多くは内蔵水晶振動子の発振クロックに同期して機能しますので、内部発振が無い状態では、正常な動作ができません。

そのため、電源初期投入時 および バックアップ復帰異常時 (電圧低下などが原因で、発振が停止していた状態)からの電源電圧復帰時の初期設定は、発振開始時間経過後に行うことを推奨しています。

- 電源初期投入時 および バックアップ状態からの電源電圧復帰時 (以降、[動作電圧移行時]とする) のアクセス動作は、次の点に注意してください。

1) バックアップからの復帰時は、最初に VLF-bit (バックアップ電圧低下記録ビット) を読み出してください。

2) VLF-bit の読み出し結果が VLF = "1" (電圧低下記録) のときは、全てのレジスタの初期設定が必要です。VLF = "1" のときの初期設定は、内部発振が安定する発振開始時間 (t_{STA}) 経過後に行うことを推奨します。

VLF-bit が "1" で読み出された原因は次のとおりで、いずれの場合も初期設定が必要です。

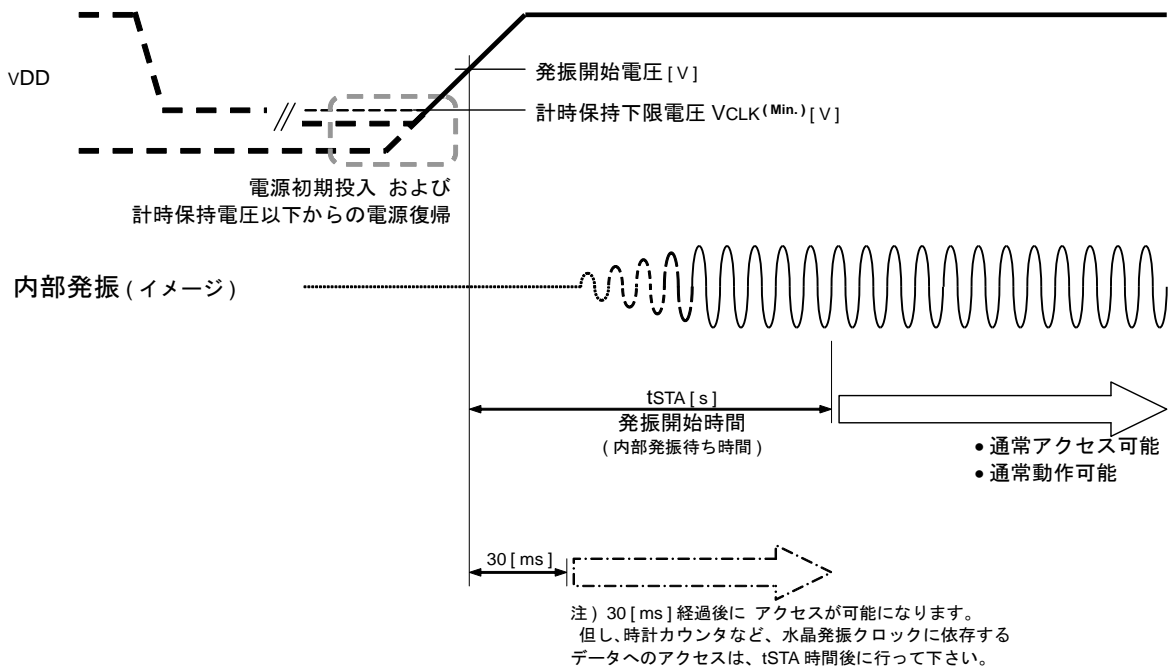
状態 1) 初期電源投入時 Cold Start.

状態 2) バックアップ中に、水晶発振が維持できないような電圧低下が発生した。

* 初期電源投入時 および 計時保持電圧以下から電源電圧復帰したときのアクセス可能タイミング

初期電源投入時、および計時保持電圧以下からの電源復帰時は、計時電源電圧下限値 ($V_{DD} = 1.6\text{V}$) 到達後 30[ms]経過するまではアクセス禁止です。

但し、時計カウンタなど、水晶発振クロックに依存するデータへのアクセスは、 t_{STA} 時間後に行ってください。



3) VLF-bit の読み出し結果が VLF = "0" (正常状態) の場合は、発振開始時間を待たずにアクセス可能です。

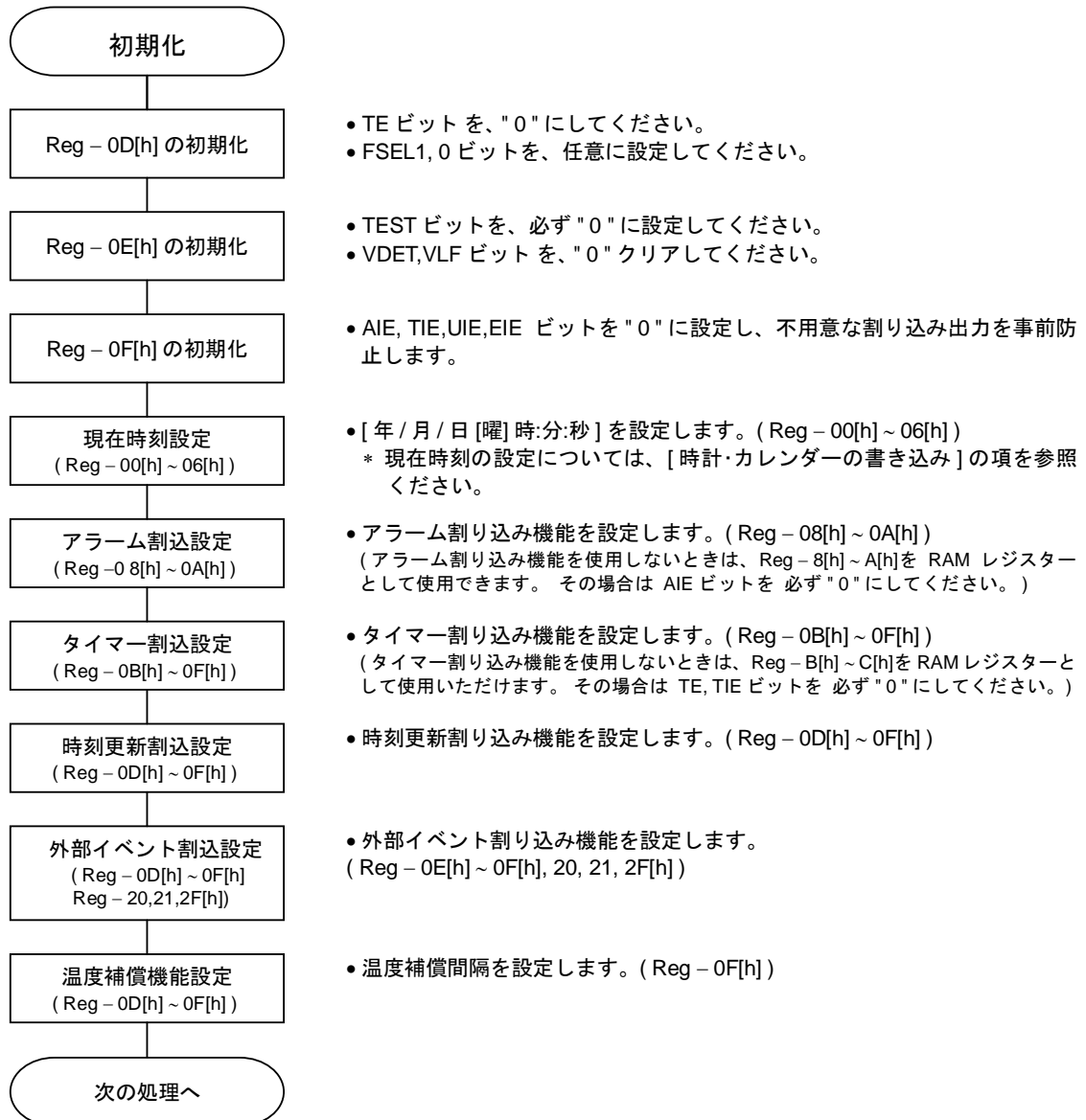
4) RA8803 の I2C インターフェースは、内蔵水晶発振が無くても正常動作いたします。

8.12. フローチャート

- 以下のフローチャートは 一例です。
- * わかりやすさを優先した記載にしていますので、実際の処理の際には 非効率な部分があります。
- * より効率的な処理を行いたいときは、いくつかの処理を同時に行っていただくことや、操作手順を入れ替えても問題無い部分などを確認調整ください。(記載内容の中には、使用状況によっては 必要のない処理もあります)
- * 期待通りの動作を行うためには、必ず 使用条件 (使用環境) に合わせた調整をお願いいたします。

1) 初期化例

例 1



- TE ビットを、"0" にしてください。
- FSEL1,0 ビットを、任意に設定してください。

- TEST ビットを、必ず "0" に設定してください。
- VDET,VLF ビットを、"0" クリアしてください。

- AIE, TIE,UIE,EIE ビットを "0" に設定し、不用意な割り込み出力を事前防止します。

- [年/月/日 [曜] 時:分:秒] を設定します。(Reg - 00[h] ~ 06[h])
* 現在時刻の設定については、[時計・カレンダーの書き込み]の項を参照ください。

- アラーム割り込み機能を設定します。(Reg - 08[h] ~ 0A[h])
(アラーム割り込み機能を使用しないときは、Reg - 8[h] ~ A[h]を RAM レジスターとして使用できます。その場合は AIE ビットを必ず "0" にしてください。)

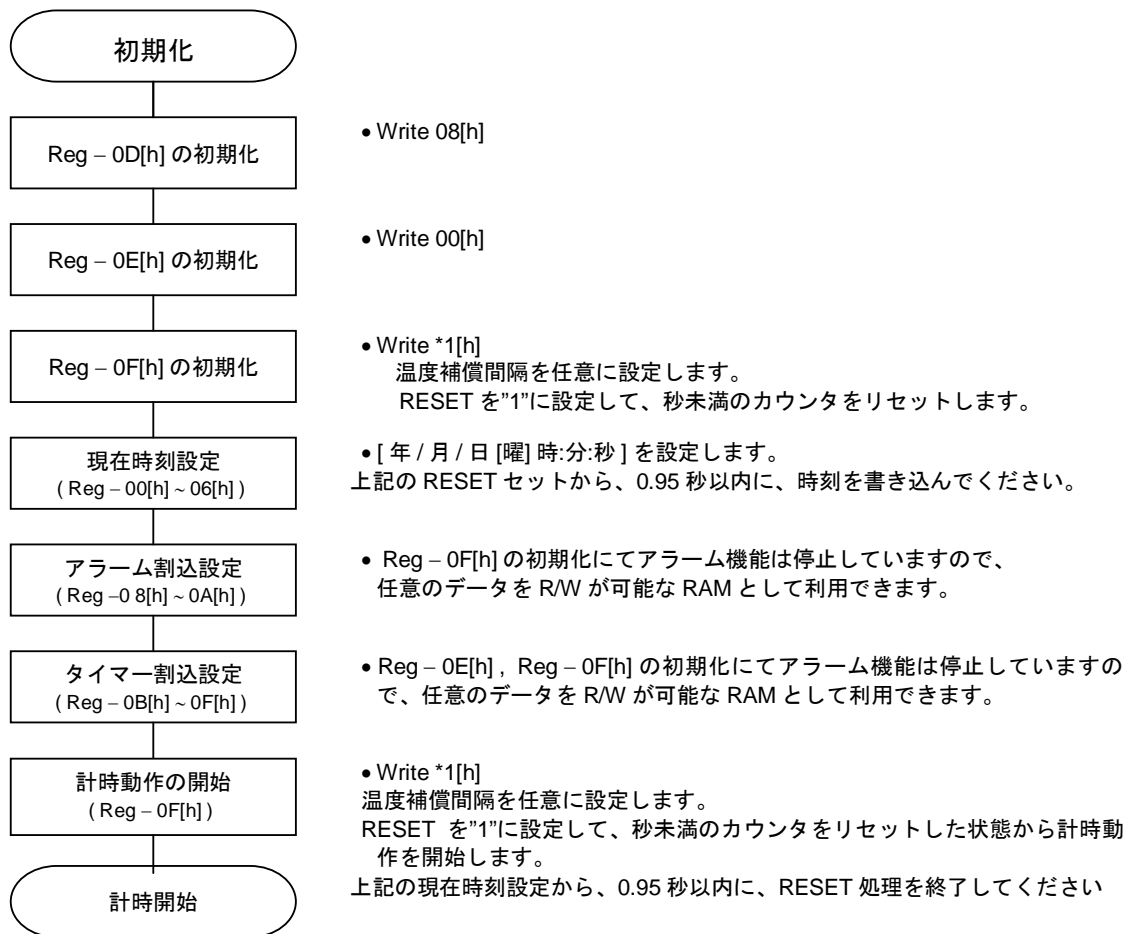
- タイマー割り込み機能を設定します。(Reg - 0B[h] ~ 0F[h])
(タイマー割り込み機能を使用しないときは、Reg - B[h] ~ C[h]を RAMレジスターとして使用いただけます。その場合は TE, TIE ビットを必ず "0" にしてください。)

- 時刻更新割り込み機能を設定します。(Reg - 0D[h] ~ 0F[h])

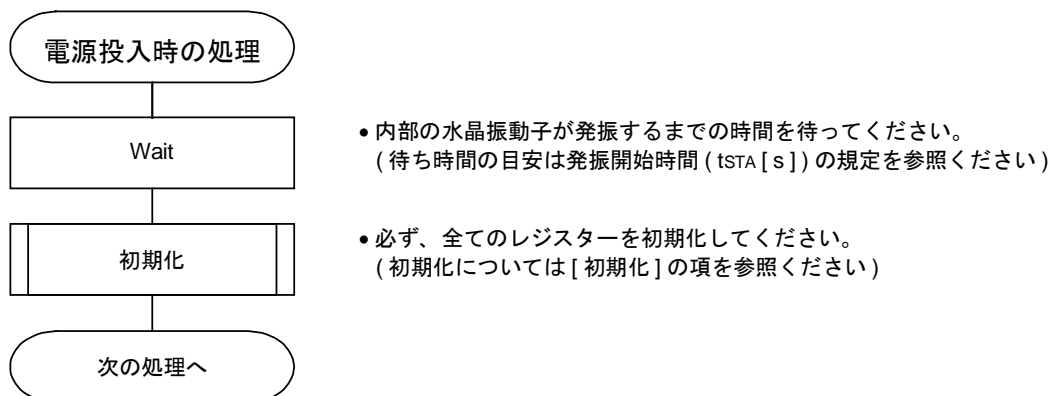
- 外部イベント割り込み機能を設定します。
(Reg - 0E[h] ~ 0F[h], 20, 21, 2F[h])

- 温度補償間隔を設定します。(Reg - 0F[h])

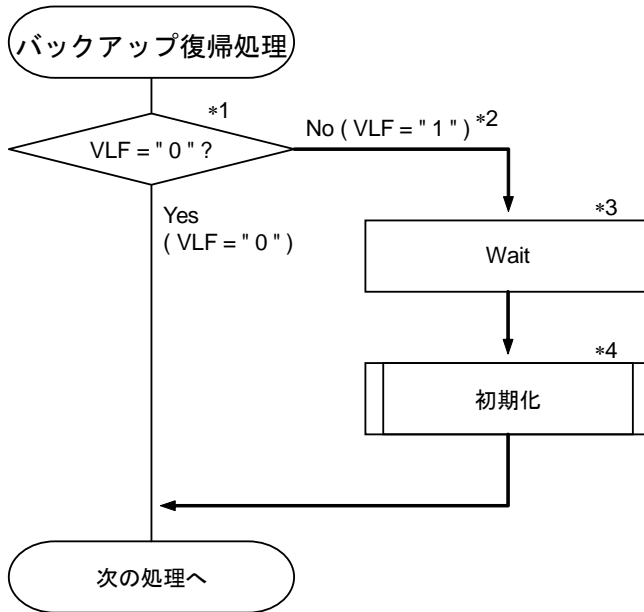
例 2 時計機能のみ使用する場合の初期化例



2) 電源投入時の処理例

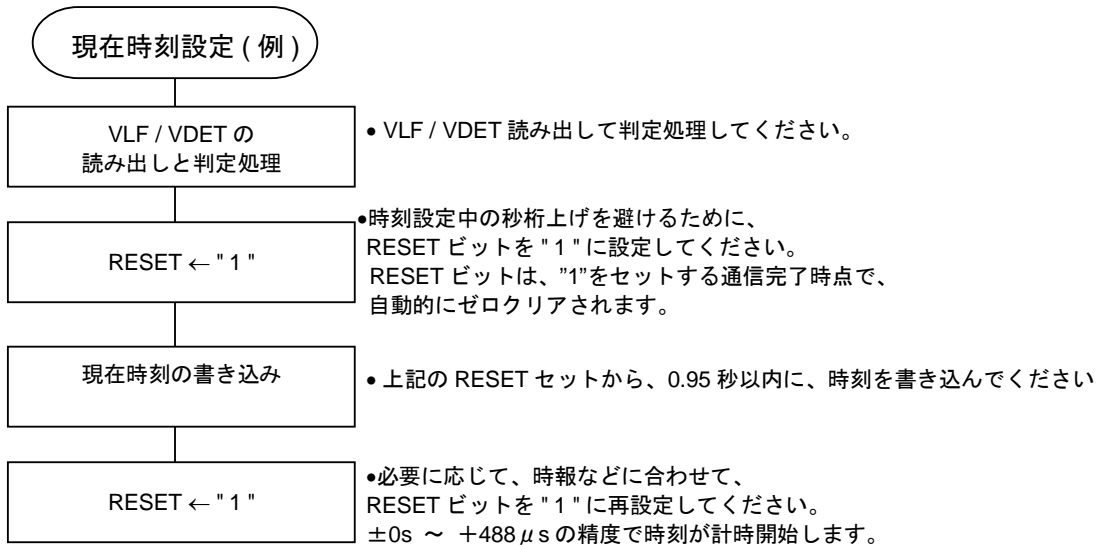


3) バックアップ状態から復帰したときの処理例

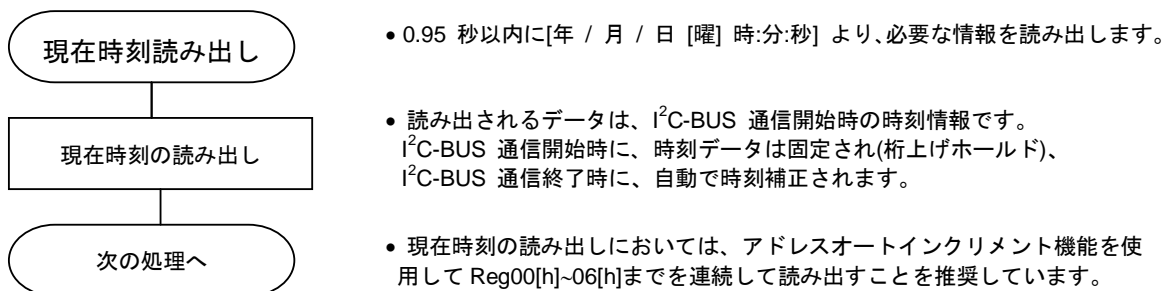


- *1) VLF ビットをチェックします。
- *2) VLF ビットが "1" のときは、バックアップ中に異常があった (電圧低下などにより、計時データやレジスター設定を消失している) 可能性がありますので、必ず初期化をしてください。
- *3) 電源電圧が低下していた場合は、内部の水晶振動子が再び安定発振するまでの待ち時間が必要です。
(待ち時間の目安は発振開始時間 (tSTA [s]) の規定を参照ください)
- *4) 初期化は、必ず全てのレジスターを初期設定してください。(初期化については、[初期化]の項を参照ください)

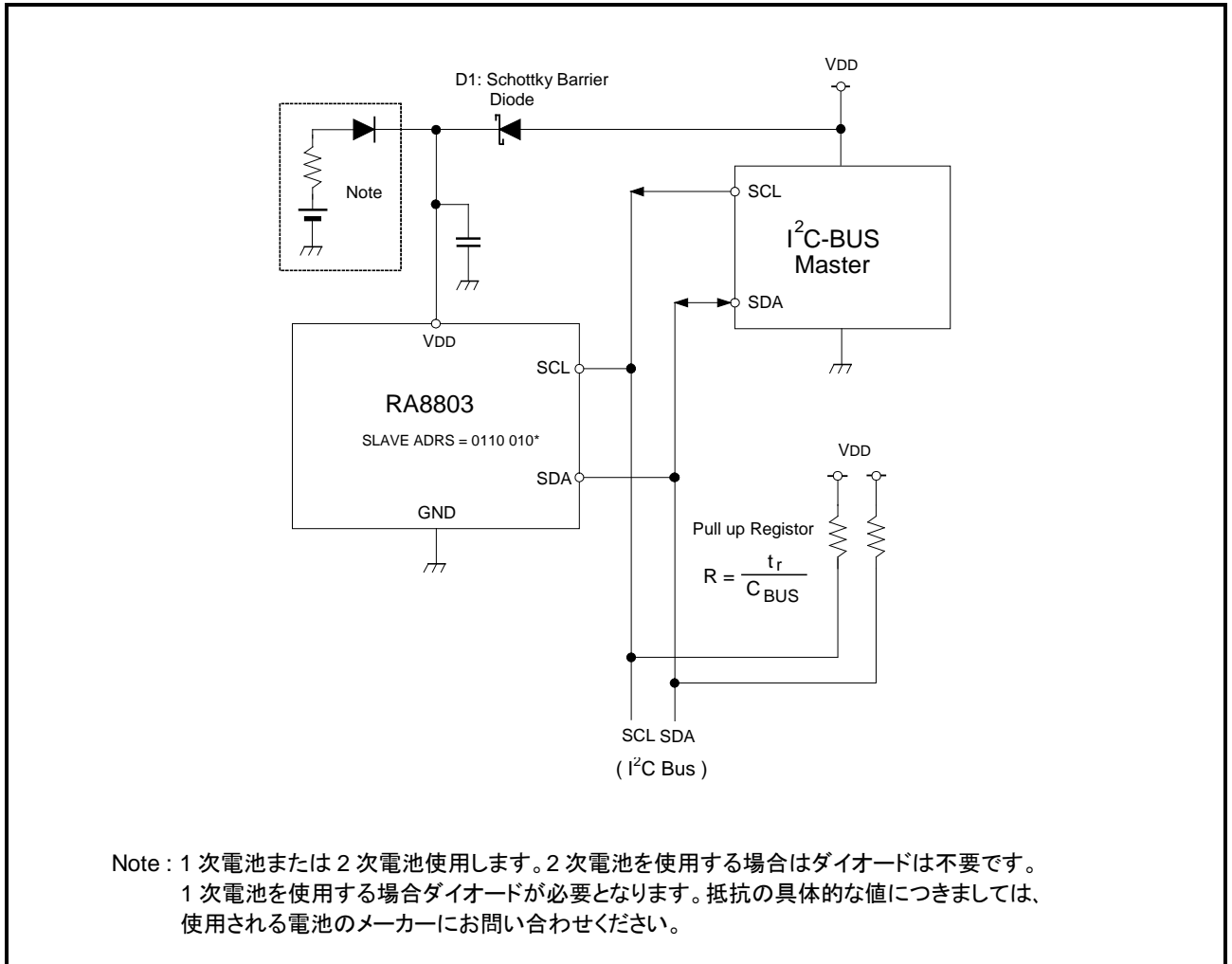
4) 時計・カレンダーの書き込み例



5) 時計・カレンダーの読み出し例

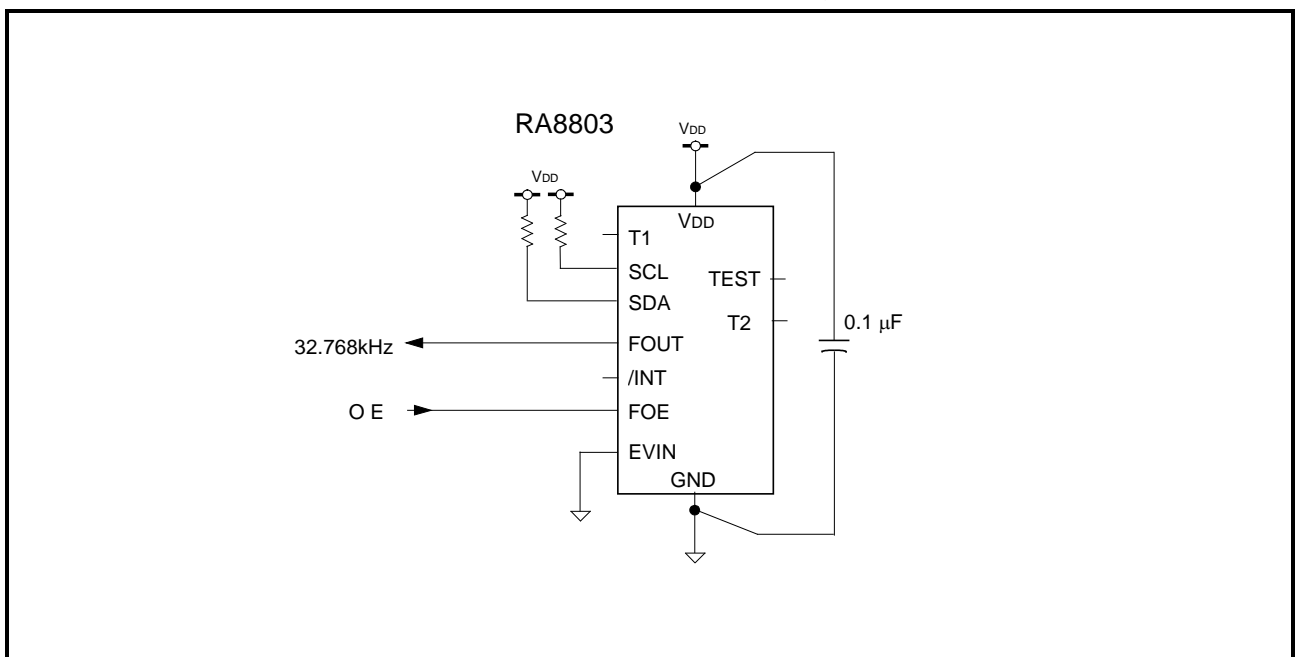


8.13. 一般的なマイコンとの接続



8.14. 発振器 (32 kHz-DTCXO) としての使用

以下の端子接続とすることで、RA8803を、温度補償された高精度な発振器(32 kHz-DTCXO) として使用できます。



8.15. 1/100s レジスタの読み出し方法に関する注意事項

RA8803 は[1/100 秒]を計時する 1/100s カウンタを搭載しています。本カウンタは、秒以上の桁の計時カウンタよりも周波数が高いクロックで動作させているため、両者のカウント動作はチップアクセスホールド機能(P.8 参照)が動作した際には振る舞いが異なります。1/100s レジスタの使用方法につきまして、下記の注意点をご参照ください。

[アクセスホールド機能動作時の計時動作]

- ・RTC の計時カウンタにつきまして、秒以上の桁につきましては、時刻更新と通信動作が同時に起こることが無い様に『アクセスホールド機能』を搭載し、通信開始時に時刻の桁上げ動作を一時的に保留する動作となります。
- ・一方、1/100 秒桁は秒信号(1Hz)よりも上位のクロック(4096Hz)にて生成しているため、同様の保留を行うと時刻遅れにつながることから停止させていません。内部で複数回の時刻検定の後に、1/100 秒情報をレジスタにキャプチャしています。
- ・上記理由から、計時カウンタの情報をレジスタに取り込むタイミング(=読み出せる値が確定するタイミング)が両者で異なり、秒桁上げが発生した直後に 1/100 秒桁のキャプチャが発生した場合に、1/100 秒桁と秒桁の時刻連続性に不整合が発生することがあります(*)

(*)特定のタイミングで一時的に読み出し結果にズレが生じる現象であり、計時そのものに遅れ・進みが生じることはありません。また、読み出し結果のズレは最大で+1 秒です。

[時刻不整合が起きない 1/100 秒桁の読み出し方法]

次の 2 つの方法で 1/100 秒桁に関わる不整合な読み出しを回避することが可能です。

① 1/100 秒桁の 2 度読み比較判定による方法

Step1:1/100 秒桁と必要な日時データをすべて読み出して 1/100 秒桁値も記録してください。

Step2:再度 1/100 秒桁だけを読み出して下さい。ここまで 10ms 以内に処理してください。

Step3:1/100 秒桁が 2 回同じデータなら次に進み、異なるときは Step1 に戻して下さい。

※Step2 は、Step1 の読み出しのチップアクセス終了(STOP コンディション送信)後に実施してください。

② RTC 定周期割り込みフラグを利用して桁上げ中の時刻データを採用しない方法

Step1:アドレス 0Dh,1Dh の USEL ビットを"0"クリアして秒更新割り込みを指定してください。

Step2:アドレス 0Eh,1Eh のフラグレジスターの UF ビットを"0"にクリアしてください。

Step3:必要な日時データと 1/100 を読み出して下さい。

Step4:UF ビットを読み出して下さい。

Step5:UF=0 なら読み出しデータを採用して、UF=1 の場合は読み出しデータを破棄してください。

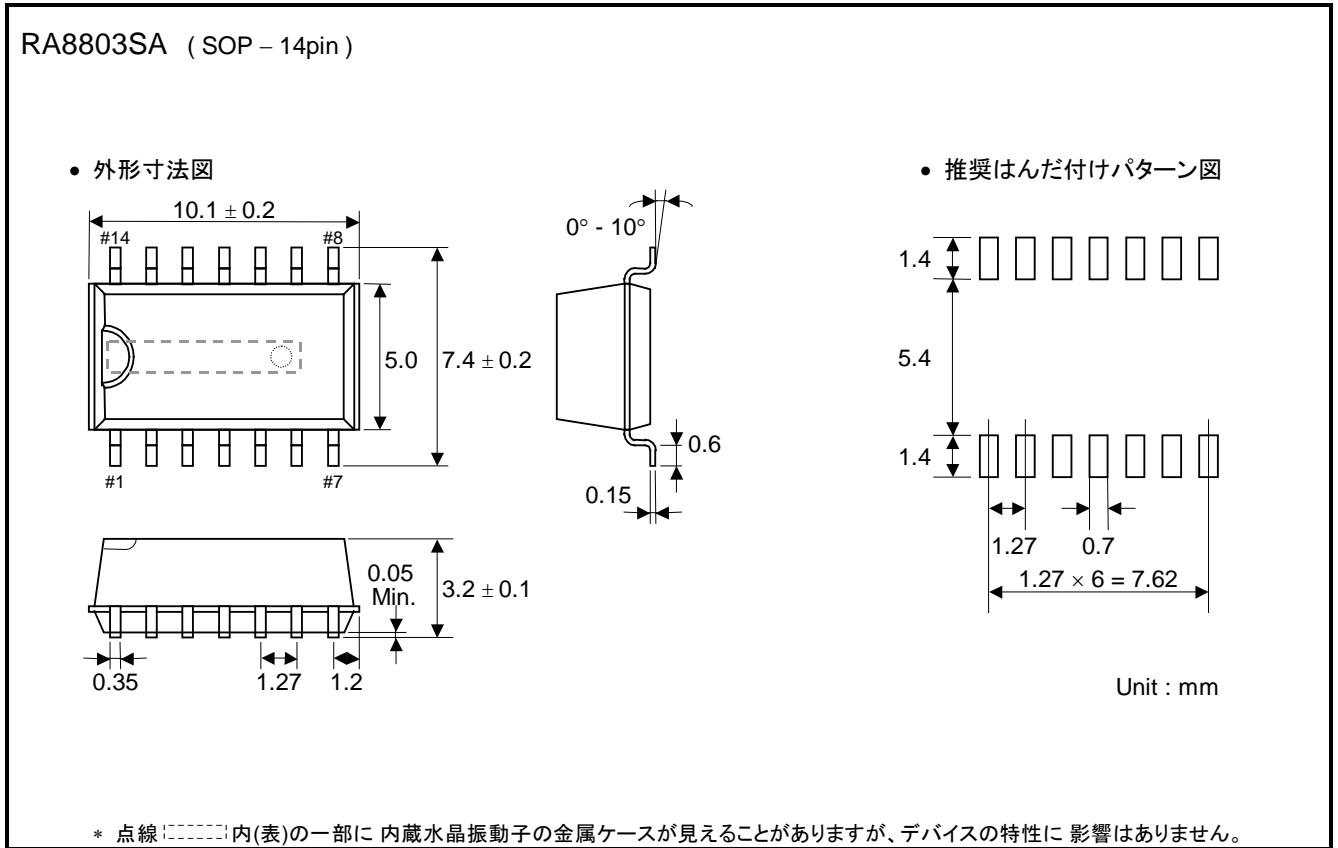
Step6:再度読み出す場合は Step2 に戻ります。

※上記設定で UF ビットは秒桁更新毎に"1"がセットされます。そのため、Step2~4 の処理に 1 秒以上要する場合は、Step4 で読み出した UF ビットは必ず"1"となり採用可能な読み出しデータを得ることが出来ません。Step2~4 を最短で処理してください。(推奨 10ms 以内)また、Step3-Step4 はそれぞれ別のアクセス(STOP コンディション送信)で通信してください。

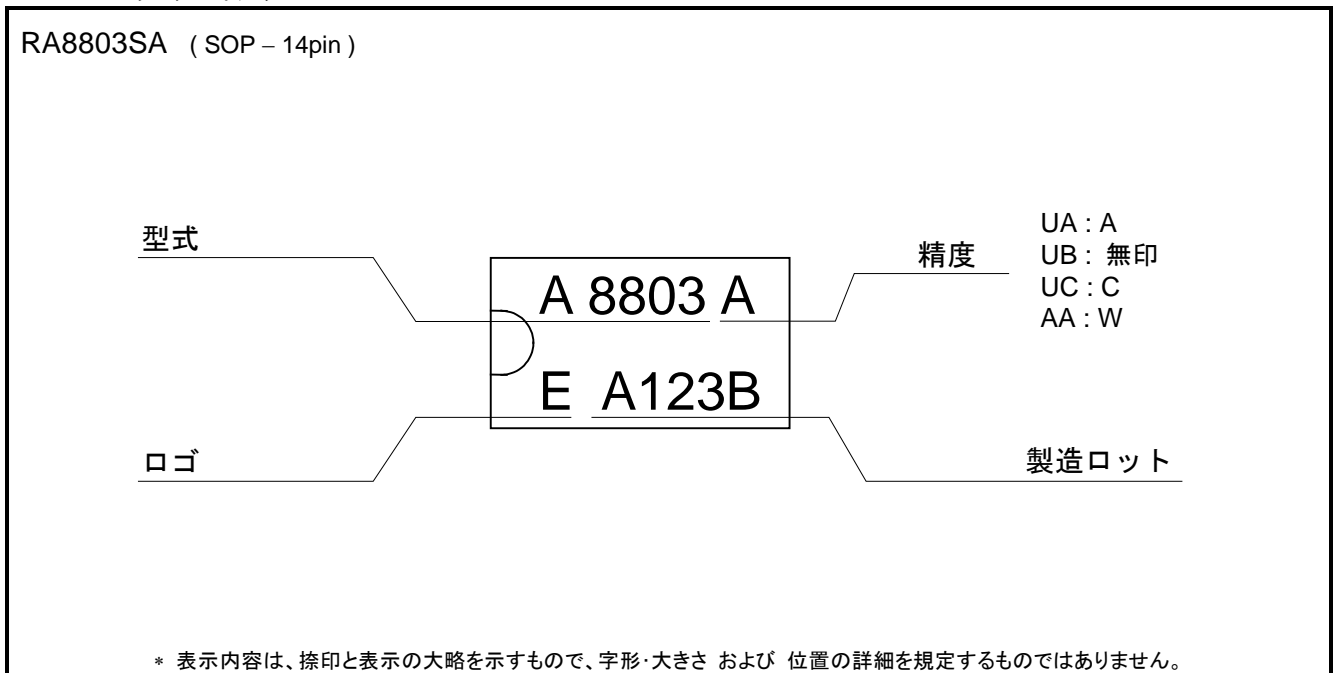
9. 外形寸法図 / マーキングレイアウト

9.1. RA8803SA

9.1.1. 外形寸法図



9.1.2. マーキングレイアウト



10. 使用上の注意事項

1) 取り扱い上の注意事項

□ 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および運搬容器には導電性の物を使用してください。

はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されますと、誤動作やラッチアップ現象等による破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子 (V_{DD}-GND 間) の極力近い場所に、0.1 μF 以上のバスコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

※ 図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ V_{DD} または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入力インピーダンスは非常に高く、開放状態での使用は不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を必ず施してください。

(5) 保管条件

本製品は JEDEC J-STD-020D.1 Moisture Sensitivity Level 1 相当品です。梱包開封後は 温度+30 °C 以下、湿度 85% 以下の環境にて保管し、また 6 ヶ月以内に実装してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 °C を越えますと、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。ご実装前に必ず実装条件 (温度・時間) をご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。

※ 図 2 に、弊社 はんだ耐熱性評価プロファイルを参考掲載します。

(2) 実装機

汎用実装機の使用が可能です。使用機器、条件等によっては実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後に ご使用ください。

実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

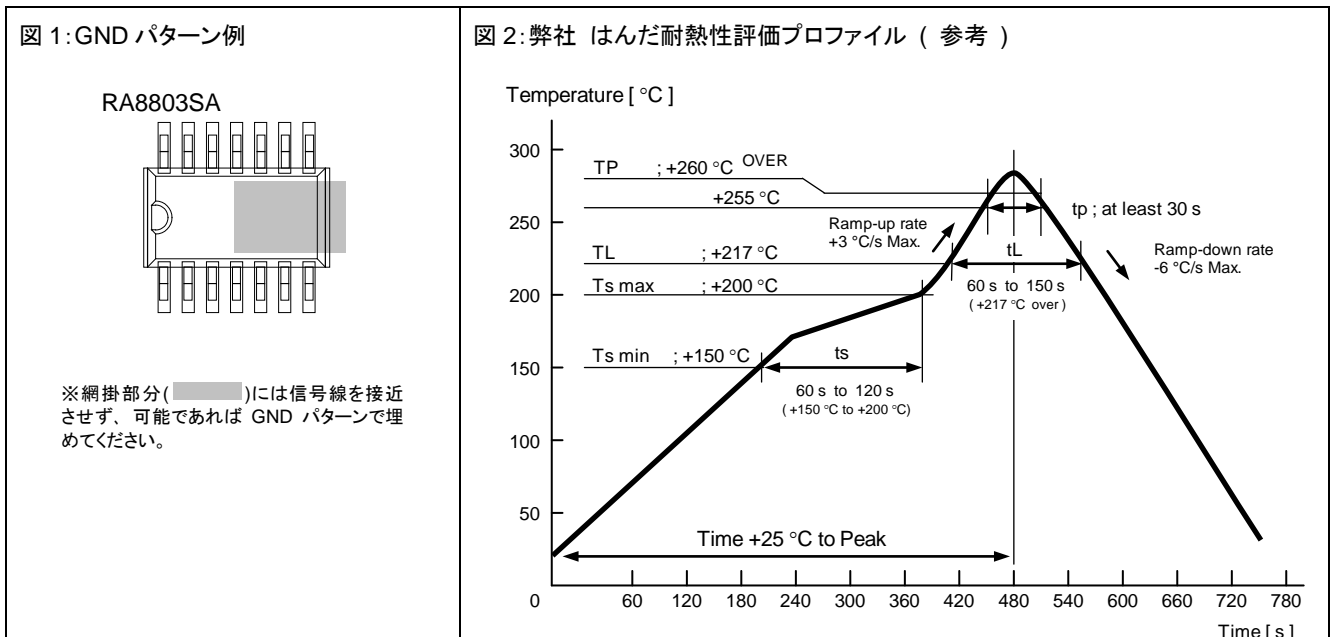
超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので、洗浄し さらに 乾燥させた後に電源投入を行なってください。



Application Manual

セイコーエプソン株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6510 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

インターネットによる情報配信

<http://www5.epsondevice.com/ja/quartz/index.html>

代理店
