

アプリケーションマニュアル

Real Time Clock Module

**RA8900CE**

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

1. 本資料の内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に記載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数値線上の大小関係で表します。
5. 輸出管理について
  - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
  - (2) 大量破壊兵器の開発等およびその他の軍事情途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
6. 製品は一般電子機器に使用されることを意図し設計されたものです。特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。承諾無き場合は如何なる責任も負いかねることがあります。
  - 1 宇宙機器（人工衛星・ロケット等） 2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
  - 3 生命維持を目的とした医療機器 4 海底中継機器 5 発電所制御機器 6 防災・防犯装置 7 交通用機器
  - 8 その他；1～7と同等の信頼性を必要とする用途

本資料に掲載されている会社名、商品名は、各社の商標もしくは登録商標です。

# ETM44J 改定履歴

Rev No.	Date	Page	Description
-01	2014/02/26		制定
-02	2017/05/16		SA パッケージを削除
-03	2018/07/12	8 11 31 32 33 全体	秒書き込みのリセット精度と注意事項追記。 RESET 説明追記。 初期化フローチャート説明修正。 フローチャート RESET 精度修正。 発振器接続図修正。SDA/SCL を GND 接続。 通信時間 0.95 秒以内を 1 秒以内に修正。
-04	2019/03/19	9,15,19,21 9 10 22 22 ~ 29 35 38 41	機能ブロック図追加。 うるう年の規定追加。 VLF 機能 説明追加修正 電源切替素子 参考特性値追加 8.8 バックアップ電源切替機能 全面改訂 各パッケージ端面の注意事項追加。 8.13. 一般的なマイコンとの接続図 改訂 Table, Figure 一覧追加
-05	2019/07/04	6, 31 7	アドレスオートインクリメント循環追記。 クイックリファレンス タイマー設定値誤記訂正

# 目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 絶対最大定格	3
5. 推奨動作条件	3
6. 周波数特性、温度特性	3
7. 電気的特性	4
7.1. DC 電気的特性	4
7.2. AC 電気特性	5
8. 使用方法	6
8.1. レジスタ	6
8.1.1. 書き込み/読み出しモード設定コード	6
8.1.2. レジスタテーブル 1	6
8.1.3. レジスタテーブル 2	6
8.1.4. レジスタテーブルに関する注意事項	7
8.2.1. 計時・カレンダーレジスタ (SEC ~ YEAR)	8
8.2.2. アラームレジスタ	10
8.2.3. タイマーカウンタ	10
8.2.4. コントロールレジスタ・フラグレジスタ	11
8.2.5. 温度データレジスタ	12
8.2.6. バックアップ電源機能設定レジスタ	13
8.3.1. アラーム割り込み	13
8.3.2. アラーム割り込み機能 関連レジスタ	13
8.3.3. アラーム設定例	14
8.4.1. タイマー割り込み	16
8.4.2. 定周期タイマー割り込み機能 関連レジスタ	16
8.4.3. タイマー スタートタイミング	17
8.4.4. 定周期タイマー割り込み周期	18
8.4.5. 定周期タイマー割り込み機能	19
8.5. 時刻更新割り込み機能	20
8.5.1. 時刻更新割り込み	20
8.5.2. 時刻更新割り込み機能 関連レジスタ	20
8.6. 割り込み機能動作時の /INT " L " 割り込み出力	21
8.7. 温度補償機能	22
8.7.1. 温度補償機能	22
8.7.2. 温度補償機能 関連レジスタ	22
8.8. バックアップ電源切換機能	22
8.8.1. バックアップ電源切換機能の概要	22
8.8.2. バックアップモード時の制限機能	23
8.8.3. 電源切換素子参考特性	23
8.8.4. 電源切換機能の制御レジスタ	24
8.8.5. 電源切換機能の制御レジスタのセッティング	24
8.8.6. 電源切換機能のモード状態遷移	25
8.8.7. 電源電圧監視時間のトレードオフ特性	26
8.8.8. 電源回路接続例	28
8.9. データの リード/ライト	30
8.9.1. I <sup>2</sup> C-BUS の特性	30
8.9.2. ビット転送	30
8.9.3. 開始条件と停止条件	30
8.9.4. スレーブアドレス	30
8.9.5. システム構成	31
8.9.6. アクノリッジ	31
8.9.7. テップアクセスホールド機能	31
8.9.8. I <sup>2</sup> C-BUS プロトコル	32
8.10. 電源初期投入およびバックアップへの移行、復帰	33
8.11. 電源初期投入時 および バックアップ復帰時のアクセス制限	34
8.12. フローチャート	35
8.14. 発振器 (32 kHz-DTCXO) としての使用	38
9. 外形寸法図 / マーキングレイアウト	39
9.1. RA8900CE	39
9.1.1. CE 外形寸法図	39
9.1.2. CE マーキングレイアウト	39
10. 使用上の注意事項	40
11. Tables and Figures	41

I<sup>2</sup>C-Bus インターフェース 高精度リアルタイムクロックモジュール

## RA8900 CE

- 32.768 kHz 温度補償発振器(DTCXO)源振を搭載、高精度
- I<sup>2</sup>C-Bus シリアル・インターフェース
- 曜、日、時、分のアラーム割り込み機能
- 時刻更新割り込み機能 ( 毎秒・毎分 )
- OE 機能付き 32.768 kHz 出力 ( FOE , FOUT 端子 )
- 2.5 V ~ 5.5 V の幅広いインターフェース電圧範囲
- 低消費電流 0.70μA / 3 V ( Typ. )
- 定周期タイマー割り込み機能
- 電源切り替え機能
- 自動うるう年補正機能 ( 2000 ~ 2099 年まで対応 )
- 2.0 V ~ 5.5 V の幅広い温度補償電圧範囲
- 1.6 V ~ 5.5 V の幅広い計時 ( 保持 ) 電圧範囲

## 1. 概要

本モジュールは、32.768 kHz DTCXO を搭載した I<sup>2</sup>C-Bus インターフェース方式のリアルタイムクロックです。秒から年までの自動うるう年補正 Clock&Calendar 回路、時刻アラーム、インターバルタイマー、時刻更新割り込み、32.768 kHz 出力、メイン電源への逆流防止 MOS スイッチ内蔵の電源切り替え回路等の豊富な機能を備えて小型セラミックパッケージに高密度に実装しています。

C-MOS IC を使用することで低消費電流化を図っておりますので、長期のバッテリーバックアップが可能です。

## 2. ブロック図

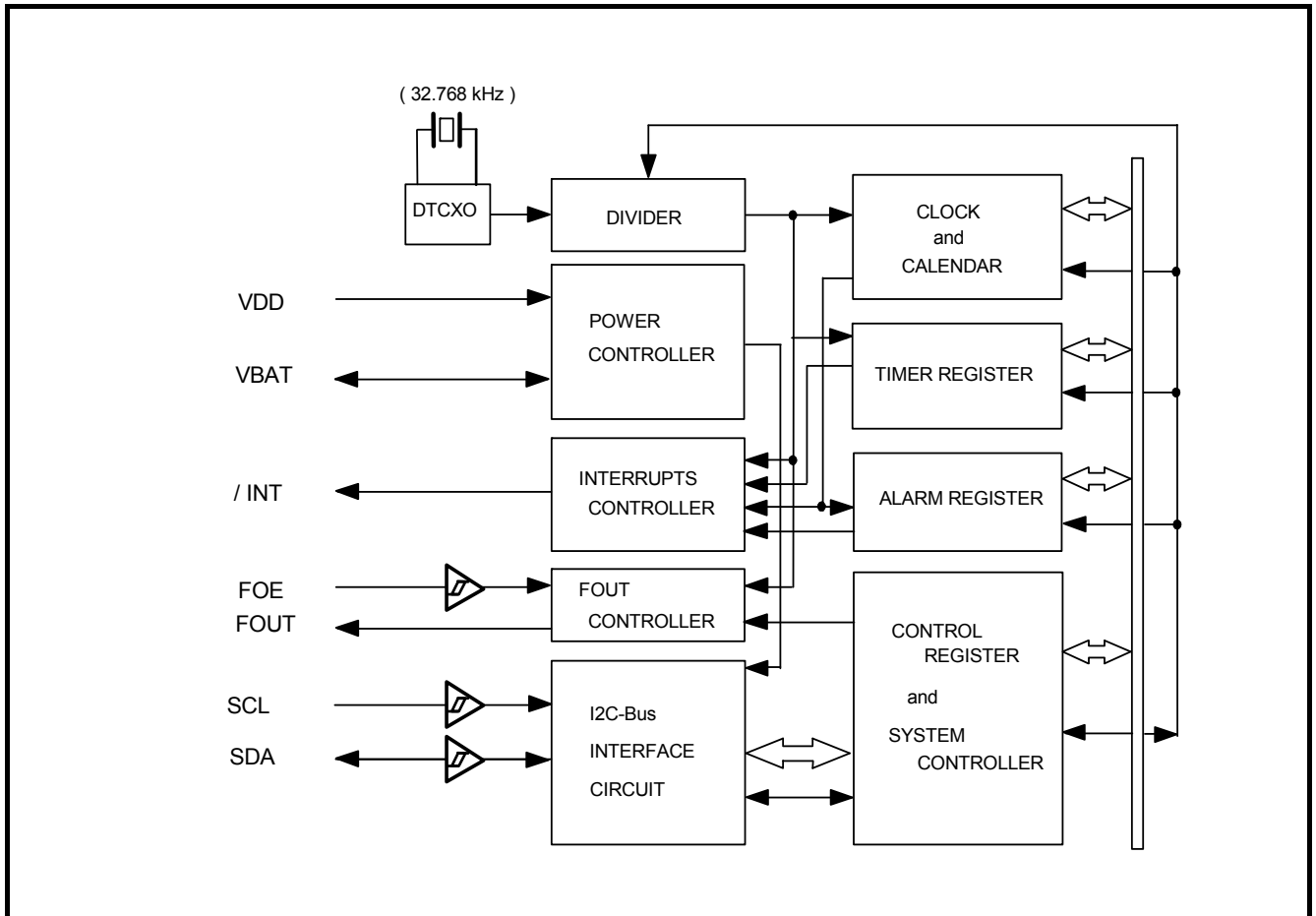
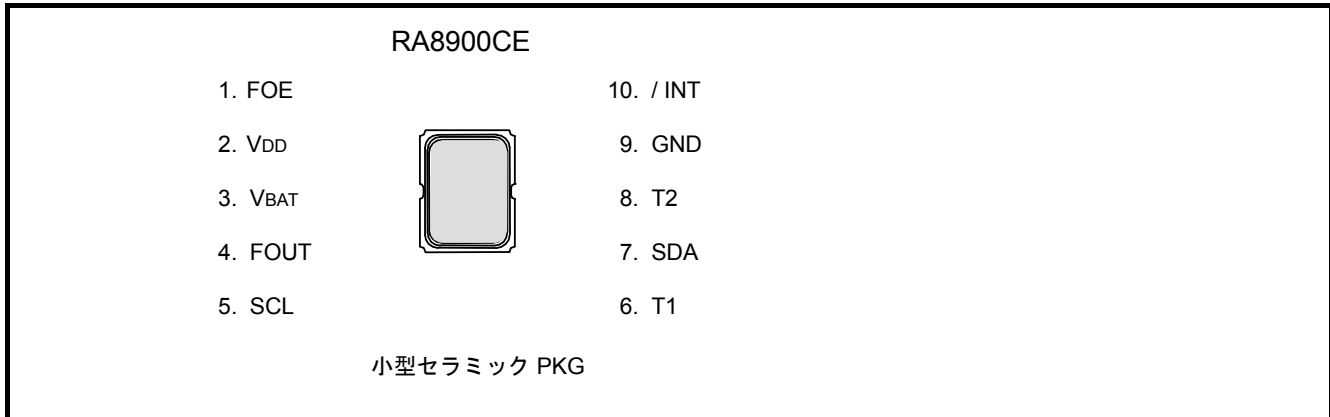


Figure 2-1. ブロック図

### 3. 端子説明

#### 3.1. 端子配置



#### 3.2. 端子機能

Table 3-1. 端子機能

端子名	入出力	機能
SDA	双方向	I <sup>2</sup> C-BUS 通信用のシリアルクロックに同期して、アドレス、データを入出力します。この端子は出力時オープンドレインです。信号線の負荷容量により適切なプルアップ抵抗を接続してください。
SCL	入力	I <sup>2</sup> C-Bus 通信用シリアルクロック入力端子です。
FOUT	出力	FOE 端子による出力制御付きの C-MOS 3 ステート出力端子です。 FOE="H"で 32.768 kHz 等の基準クロック信号を出力します。 FOE="L"で出力停止となり、FOUT 端子はハイインピーダンスとなります。
FOE	入力	FOUT 出力端子の出力状態を制御するための入力端子です。 FOE="H"で FOUT 端子は出力状態、FOE="L"でハイインピーダンスとなります。
/INT	出力	アラーム、タイマー、時刻更新などの割り込み信号を出力します。 N-ch オープンドレイン端子です。
VBAT	-	内部電源の入出力端子です。 二次電池、コンデンサなどのバックアップ用電源のプラス側に接続します。 バックアップ電源を使用しないシステムでは、VDD 端子とショートしてください。
VDD	-	メイン電源端子です。メイン電源のプラス側に接続します。 通常動作モード時は、内蔵 MOS スイッチを介して VBAT に短絡しています。 バックアップモード時は、内部順方向ダイオードを介して VBAT に接続されます。 電源切換機能を使用しない場合は VBAT 端子とショートしてください。
GND	-	グランド接続端子
T1 T2	入力	弊社 Test 端子です。プルダウン抵抗を内蔵していますのでオープンで御使用ください。

\* VDD-GND, VBAT-GND 間 直近に 0.1  $\mu$ F 以上のパスコンを必ず接続してください

## 4. 絶対最大定格

Table 4-1. 絶対最大定格

GND=0 V

項目	記号	条件	定格値	単位
電源電圧(1)	VDD	VDD-GND 間	-0.3 ~ +6.5	V
電源電圧(2)	VBAT	VBAT-GND 間	-0.3 ~ +6.5	V
入力電圧	VIN	FOE, SCL, SDA 端子	GND-0.3 ~ +6.5	V
出力電圧 (1)	VOUT1	FOUT 端子	GND-0.3 ~ VDD+0.3	V
出力電圧 (2)	VOUT2	SDA, / INT 端子	GND-0.3 ~ +6.5	V
保存温度	TSTG	梱包状態を除く 単品での保存	-55 ~ +125	°C

## 5. 推奨動作条件

Table 5-1. 推奨動作条件

GND=0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧(1)	VACC	VDD 端子	1.6	3.0	5.5	V
動作電源電圧(2)	VACCSW	VDD 端子	2.5	3.0	5.5	V
バッテリー電源電圧	VBAT	VBAT 端子	1.6	3.0	5.5	V
温度補償電圧	VTEM	温度補償動作電圧	2.0	3.0	5.5	V
計時電源電圧	VCLK	-	1.6	3.0	5.5	V
動作温度範囲	TOPR	結露無きこと	-40	+25	+85	°C

- \* 動作/計時電源電圧 Min.は電源投入時の値ではなく、動作状態から電源電圧を降下させてきた時の電源電圧値を示します。
- \* 動作電源電圧 (2) は、電源切換機能を使用した場合の動作電源電圧範囲を示します。
- \* 計時電源電圧の Min. 値は、温度補償電圧 VTEM にて初期設定した後での計時保持下限値を示します。
- \* 温度補償電圧の Min. 値未満では温度に対する周波数補正機能が停止します。

## 6. 周波数特性、温度特性

Table 6-1. 周波数・温度特性

GND=0 V

項目	記号	条件	規格	単位	
周波数安定度	$\Delta f / f$	U A	Ta= 0 ~ +50 °C, VDD=3.0 V Ta=-40 ~ +85 °C, VDD=3.0 V	$\pm 1.9$ (*1) $\pm 3.4$ (*2)	$\times 10^{-6}$
		U B	Ta= 0 ~ +50 °C, VDD=3.0 V Ta=-40 ~ +85 °C, VDD=3.0 V	$\pm 3.8$ (*3) $\pm 5.0$ (*4)	
		U C	Ta= 0 ~ +50 °C, VDD=3.0 V Ta=-30 ~ +70 °C, VDD=3.0 V	$\pm 3.8$ (*3) $\pm 5.0$ (*4)	
周波数電圧特性	f / V	Ta= +25 °C, VDD=2.0 V ~ 5.5 V	$\pm 1.0$ Max.	$\times 10^{-6} / V$	
発振開始時間	tSTA	Ta= +25 °C, VDD=1.6 V ~ 5.5 V	1.0 Max.	s	
		Ta=-40 ~ +85 °C, VDD=1.6 V ~ 5.5 V	3.0 Max.		
エージング	fa	Ta= +25 °C, VDD=3.0 V : 初年度	$\pm 3$ Max.	$\times 10^{-6} / \text{year}$	
温度センサー精度	Temp	VDD=3.0 V	$\pm 5$ Max.	°C	

\*1 月差 $\pm 5$ 秒以内 \*2 月差 $\pm 9$ 秒以内 \*3 月差 $\pm 10$ 秒以内 \*4 月差 $\pm 13.2$ 秒以内

7.電気的特性

7.1 DC 電気的特性

Table 7-1. DC 電気特性

※特記無き場合、GND=0 V, VDD=VBAT=2.5 V ~ 5.5 V, Ta= -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流(1)	IDD1	fSCL = 0 Hz, /INT = VDD FOE = GND, VDD = VBAT VDD=5 V		0.72	1.50	μA
消費電流(2)	IDD2	FOUT : 出力 OFF ( Hi-z ) 温度補償間隔 2.0 s, 電圧検出時間 2msec VDD=3 V		0.70	1.40	
消費電流(3)	IDD3	fSCL = 0 Hz, /INT = VDD FOE = VDD, VDD = VBAT VDD=5 V		1.60	2.50	μA
消費電流(4)	IDD4	FOUT : 32 kHz 出力, CL= 0 pF 温度補償間隔 2.0 s, 電圧検出時間 2msec VDD=3 V		1.15	2.40	
消費電流(5)	IDD5	fSCL = 0 Hz, /INT= VDD FOE = VDD, VDD = VBAT VDD=5 V		6.70	8.00	μA
消費電流(6)	IDD6	FOUT :32 kHz 出力, CL= 30 pF 温度補償間隔 2.0 s, 電圧検出時間 2msec VDD=3 V		4.30	5.50	
消費電流(7)	IDD7	fSCL = 0 Hz, /INT = VDD FOE = GND, VDD = VBAT VDD=5 V		0.70	1.45	μA
消費電流(8)	IDD8	FOUT : 出力 OFF ( Hi-z ) 温度補償回路非動作時,電圧検出時間 2msec VDD=3 V		0.68	1.35	
消費電流(9)	IDD9	fSCL = 0 Hz, /INT = VDD FOE = GND, VDD = VBAT VDD=5 V		55	100	μA
消費電流(10)	IDD10	FOUT : 出力 OFF ( Hi-z ) 温度補償回路動作ピーク時 VDD=3 V		50	95	
"H" 入力電圧	VIH	SCL, SDA, FOE 端子	0.8 × VDD		5.5	V
"L" 入力電圧	VIL	SCL, SDA, FOE 端子	GND - 0.3		0.2 × VDD	V
"H" 出力電圧	VOH1	FOUT 端子	VDD=5 V, IOH=-1 mA	4.5	5.0	V
	VOH2		VDD=3 V, IOH=-1 mA	2.2	3.0	
	VOH3		VDD=3 V, IOH=-100 μA	2.9	3.0	
"L" 出力電圧	VOL1	FOUT 端子	VDD=5 V, IOL=1 mA	GND	GND+0.5	V
	VOL2		VDD=3 V, IOL=1 mA	GND	GND+0.8	
	VOL3		VDD=3 V, IOL=100 μA	GND	GND+0.1	
	VOL4	/INT 端子	VDD=5 V, IOL=1 mA	GND	GND+0.25	V
	VOL5		VDD=3 V, IOL=1 mA	GND	GND+0.4	
	VOL6	SDA 端子	VDD ≥2 V, IOL=3 mA	GND	GND+0.4	
入力リーク電流	ILK	SCL, SDA, FOE 端子 VIN = VDD or GND	-0.5		0.5	μA
出力リーク電流	IOZ	/INT, SDA, FOUT 端子 VOUT = VDD or GND	-0.5		0.5	μA

● 温度補償回路動作と消費電流

本モジュールでは、温度補償間隔ごとに温度補償回路を動作させ、温度補正值の更新を行なっている為、その期間消費電流が増加します。IDD1, IDD2 は、温度補償間隔 2.0 s 時の平均消費電流値となります。

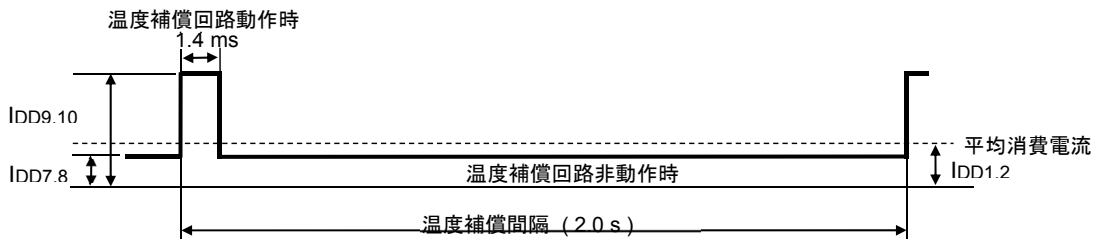


Figure 7-1. 温度補償回路動作、消費電流



7.2. AC 電気特性

Table 7-2. AC 電気特性

※特記無き場合、GND=0 V, VDD=2.5 V ~ 5.5 V, Ta= -40 °C ~ +85 °C

項目	記号	条件	100 kHz アクセス ( Standard-Mode )		400 kHz アクセス ( Fast-Mode )		単位
			Min.	Max.	Min.	Max.	
SCL クロック周波数	fSCL	-	-	100	-	400	kHz
開始条件 セットアップ時間	tsu;STA	-	4.7	-	0.6	-	μs
開始条件 ホールド時間	tHD;STA	-	4.0	-	0.6	-	μs
データ セットアップ時間	tsu;DAT	-	250	-	100	-	ns
データ ホールド時間	tHD;DAT	-	0	-	0	-	ns
停止条件 セットアップ時間	tsu;STO	-	4.0	-	0.6	-	μs
開始条件と停止条件の間の バスフリー時間	tBUF	-	4.7	-	1.3	-	μs
SCL "L"時間	tLOW	-	4.7	-	1.3	-	μs
SCL "H"時間	tHIGH	-	4.0	-	0.6	-	μs
SCL,SDA 立ち上がり時間	tr	-	-	1.0	-	0.3	μs
SCL,SDA 立ち下がり時間	tf	-	-	0.3	-	0.3	μs
バス上の許容スパイク時間	tSP	-	-	50	-	50	ns

タイミングチャート

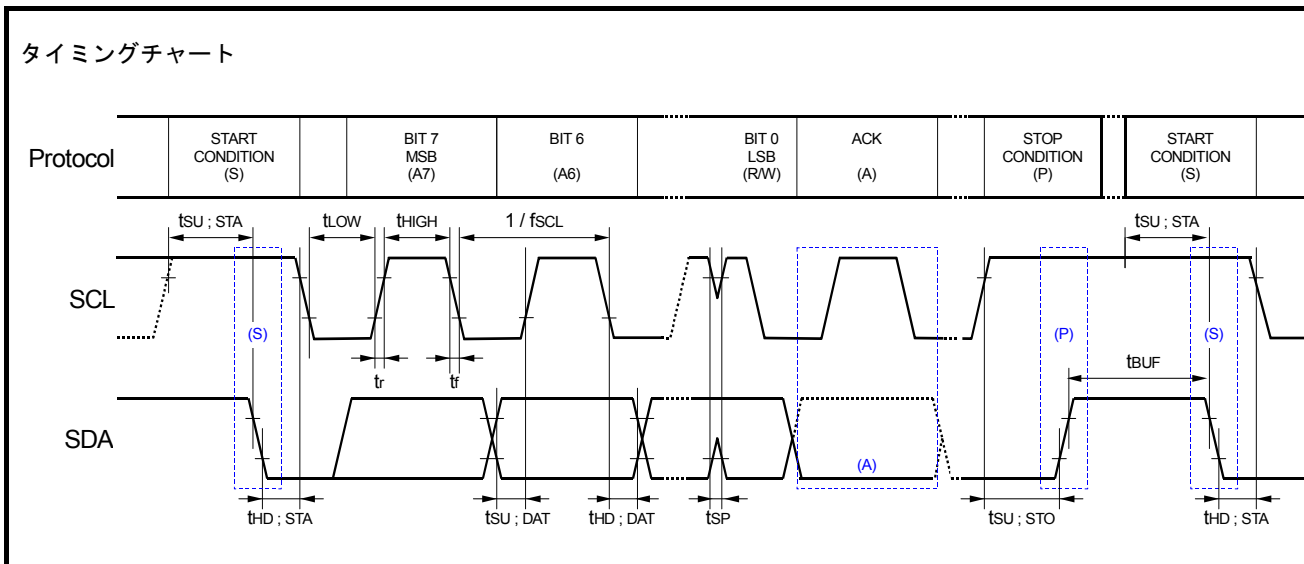


Figure 7-2. I2C バスタイミングチャート

注意：最初の START コンディションの送信から STOP コンディション送信までを 1 秒以内に終了してください。  
 1 秒以上の時間がかかった場合は、内部の監視タイマーにより RTC の I<sup>2</sup>C バス・インターフェースがリセットされます。この監視タイマーは、通信途中で発生される START コンディションによってリセットされません。  
 I<sup>2</sup>C バス・インターフェースがリセットされると、チップアクセスホールド機能による時刻更新の一時停止は解除され、時刻の更新が再開されます。

Table 7-3. FOUT デューティ

※特記無き場合、GND=0 V, VDD=2.5 V ~ 5.5 V, Ta= -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
FOUT デューティ	Duty	50% VDD レベル	40	50	60	%

## 8. 使用方法

## 8.1. レジスタ

## 8.1.1.書き込み/読み出しモード設定コード

レジスタに対するアドレス指定は8ビットです。00h~0Fhは弊社RTC(RA8803)の00h~0Fhと共通です。00h~06hと10h~16hは共通アドレスでどちらにデータを書いても同じ結果になります。また0Bh~0Fhおよび1Bh~1Fhも同様です。

アドレス循環：アドレスオートインクリメントを用いて連続アクセスすると以下のように、

アドレス上位4ビット固定の中で自動インクリメントされます。

START , , , 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, , , 08, 09, 0A, , , 0E, 0F, 00, 01, , ,

START , , , 1A, 1B, 1C, 1D, 1E, 1F, 10, 11, 12, 13, , , 18, 19, 1A, , , 1E, 1F, 10, 11, , ,

## 8.1.2.レジスタテーブル1

Table 8-1. 00h~1Fh (17~1Aを除く)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
00 or 10	SEC	○	40	20	10	8	4	2	1	可	可
01 or 11	MIN	○	40	20	10	8	4	2	1	可	可
02 or 12	HOUR	○	○	20	10	8	4	2	1	可	可
03 or 13	WEEK	○	6	5	4	3	2	1	0	可	可
04 or 14	DAY	○	○	20	10	8	4	2	1	可	可
05 or 15	MONTH	○	○	○	10	8	4	2	1	可	可
06 or 16	YEAR	80	40	20	10	8	4	2	1	可	可
07	RAM	●	●	●	●	●	●	●	●	可	可
08	MIN Alarm	AE	40	20	10	8	4	2	1	可	可
09	HOUR Alarm	AE	●	20	10	8	4	2	1	可	可
0A	WEEK Alarm	AE	6	5	4	3	2	1	0	可	可
	DAY Alarm		●	20	10	8	4	2	1		
0B or 1B	Timer Counter 0	128	64	32	16	8	4	2	1	可	可
0C or 1C	Timer Counter 1	●	●	●	●	2048	1024	512	256	可	可
0D or 1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0	可	可(*5)
0E or 1E	Flag Register	○	○	UF	TF	AF	○	VLF	VDET	可	可(*2)
0F or 1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	○	○	RESET	可	可

## 8.1.3.レジスタテーブル2

Table 8-2. 17h~1Ah

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
17	TEMP	128	64	32	16	8	4	2	1	可	不可
18	Backup Function	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP0	可	可
19	Not use	○	○	○	○	○	○	○	○	可	不可
1A	Not use	○	○	○	○	○	○	○	○	可	不可

## 8.1.4.レジスタテーブルに関する注意事項

\*1) 0V からの初期電源投入時、及び、VLF ビット読み出し時の結果、VLF="1"の時は、必ず全ての初期設定を実施してから使用してください。

日付・時間として存在しない設定はしないでください。その場合の計時動作は保証出来ません。

FSEL 1,0 の初期値は、"00"で FOUT 端子から 32.768Hz 出力が選択されます。

CSEL 1,0 の初期値は、"10"で温度補償動作 2s が選択されます。

0V からの初期電源投入時は以下のように初期設定が行われます。

"0"セット : TEST, WADA, USEL, TE, FSEL1, FSEL0, TSEL0, UF, TF, AF, CSEL1, UIE, TIE, AIE, RESET  
VDETOFF, SWOFF, BKSMP1, BKSMP0

"1"セット : TSEL1, VLF, VDET, CSEL0

◎ その他のビット値は不定ですので、必ず初期設定を実施してから使用してください。

初期電源投入 および バックアップからの復帰に関する電源電圧条件につきましては

【8.10. 電源初期投入 および バックアップへの移行、復帰】を参照ください。

\*2) UF, TF, AF, VLF, VDET ビットは "0"のみライト可能です。

\*3) "○"マークはライト不能でリード時"0"が読み出せます。

\*4) "●"マークは RAM bit で R/W 可能です。

\*5) TEST ビットは 弊社テスト用ビットです。必ず"0"にクリアして御使用ください。

\*6) アラームを使用しない場合 Address 8 ~ A は RAM として使用可能です。  
偶然のアラーム発生を避けるために AIE をゼロクリアしておいてください。

\*7) タイマーカウンタ (Address B, C) をリードすると、設定したプリセットデータ値がリードできます。  
また、タイマーを使用しない場合、Address B, C は RAM として使用可能です。( TE, TIE : "0" )

Table 8-3 制御ビットクイックリファレンス

時刻更新割込み		Default
USEL = 0	Once per seconds.	√
USEL = 1	Once per minutes.	
クロック出力周波数		
FSEL1, FSEL0 = 00	32.768Khz	√
FSEL1, FSEL0 = 01	1024Hz	
FSEL1, FSEL0 = 10	1Hz	
FSEL1, FSEL0 = 11	32.768kHz	
タイマーソースクロック		
TSEL1, TSEL0 = 00	4096Hz	
TSEL1, TSEL0 = 01	64Hz	
TSEL1, TSEL0 = 10	毎秒桁上げ	√
TSEL1, TSEL0 = 11	毎分桁上げ.	
温度補償周期		
CSEL1, CSEL0 = 00	0.5 sec	
CSEL1, CSEL0 = 01	2.0 sec	√
CSEL1, CSEL0 = 10	10 sec	
CSEL1, CSEL0 = 11	30 sec	

## 8.2. レジスタ説明

## 8.2.1. 計時・カレンダーレジスタ (SEC ~ YEAR)

## • データ形式

データはBCD形式で、例えば秒レジスタが "0101 1001" は 59 秒を意味します。  
時刻計時は 24 時間制(固定)です。(WEEK は除きます。)

Table 8-4. 計時・カレンダーレジスタ

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
00, 10	SEC	○	40	20	10	8	4	2	1
01, 11	MIN	○	40	20	10	8	4	2	1
02, 12	HOUR	○	○	20	10	8	4	2	1
03, 13	WEEK	○	6	5	4	3	2	1	0
04, 14	DAY	○	○	20	10	8	4	2	1
05, 15	MONTH	○	○	○	10	8	4	2	1
06, 16	YEAR	80	40	20	10	8	4	2	1

## • 計時レジスタ

## 1) [SEC] レジスタ

[ 秒 ] を計時するカウンタです。00 秒, 01 秒, 02 秒 ~ 59 秒, 00 秒, 01 秒 ~ の順に更新します。  
[SEC] レジスタに書き込みを行うと、1 秒未満の内部カウンタ (16KHz~2Hz) がリセットされます。  
この結果、秒の書き込み完了から次の秒桁更新までのタイミングを  
1000 ms (+0 μs ~ -30.5 μs の精度に収めることが可能です。

注意： マスター時刻と同期しない秒データの書き込みを繰り返すと秒未満リセットが累積されて  
大きな時刻遅れを招く場合があります。

(例) リセットによって 9 秒 99 が 9 秒 00 に約 1 秒戻るようなケースが想定されます。

## 2) [MIN] レジスタ

[ 分 ] を計時するカウンタです。00 分, 01 分, 02 分 ~ 59 分, 00 分, 01 分 ~ の順に更新します。

## 3) [HOUR] レジスタ

[ 時 ] を、24 時間制で計時するカウンタです。00 時, 01 時, 02 時 ~ 23 時, 00 時, 01 時 ~ の順に更新します。

## 4) [WEEK] レジスタ

[ 曜 ] を、Bit 0 ~ Bit 6 までの 7 ビットにて示します。カウンタの計数順序は以下のように更新されます。  
01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 (→ 01h 曜 → 02h 曜 ~)  
複数の曜日に "1" をセットしないでください。  
各ビットと曜日の割り付けはソフトウェア側で設定ください。

Table 8-5. WEEK レジスタ

bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜割り付け例
0	0	0	0	0	0	1	日
0	0	0	0	0	1	0	月
0	0	0	0	1	0	0	火
0	0	0	1	0	0	0	水
0	0	1	0	0	0	0	木
0	1	0	0	0	0	0	金
1	0	0	0	0	0	0	土

## 5) [DAY] レジスタ

[ 日 ] のカウンタです。月によって更新状況が異なります。

\* [年] が 4 の倍数のとき (00 年, 04 年, 08 年, 12 年 . . . . 88 年, 92 年, 96 年) はうるう年となります。

その場合、02 月の [日] の更新は 01 日, 02 日, 03 日 . . . . 28 日, 29 日 → 03 月 01 日 ~ となります。

Table 8-6. DAY レジスタ

DAY	月	DAY 更新内容
Write / Read	1, 3, 5, 7, 8, 10, 12 月	01 日, 02 日, 03 日 . . . 30 日, <b>31 日, 01 日</b> ~
	4, 6, 9, 11 月	01 日, 02 日, 03 日 . . . <b>30 日, 01 日</b> , 02 日 ~
	通常年の 2 月	01 日, 02 日, 03 日 . . . <b>28 日, 01 日</b> , 02 日 ~
	うるう年の 2 月	01 日, 02 日, 03 日 . . . 28 日, <b>29 日, 01 日</b> ~

6) [MONTH] レジスタ

[月] のカウンタです。 01 月, 02 月, 03 月 . . . 12 月, 01 月, 02 月 ~ の順に更新します。

7) [YEAR] レジスタ

[年] のカウンタです。 00 年, 01 年, 02 年 ~ 99 年, 00 年, 01 年 ~ の順に更新します。

[年] が 4 の倍数のとき (00 年, 04 年, 08 年, 12 年 . . . . 88 年, 92 年, 96 年) はうるう年となります。2100 年は通常年ですが RA8900 は閏年カウントするため、2 月 29 日以降に日付の修正が必要です。 (まですたります。)

うるう年の規定

4 で割り切れる西暦年はうるう年です。 2020 年 2024 年

100 の倍数の西暦年は通常年です。 2100 年 2200 年

400 の倍数の西暦年はうるう年です。 2000 年 2400 年

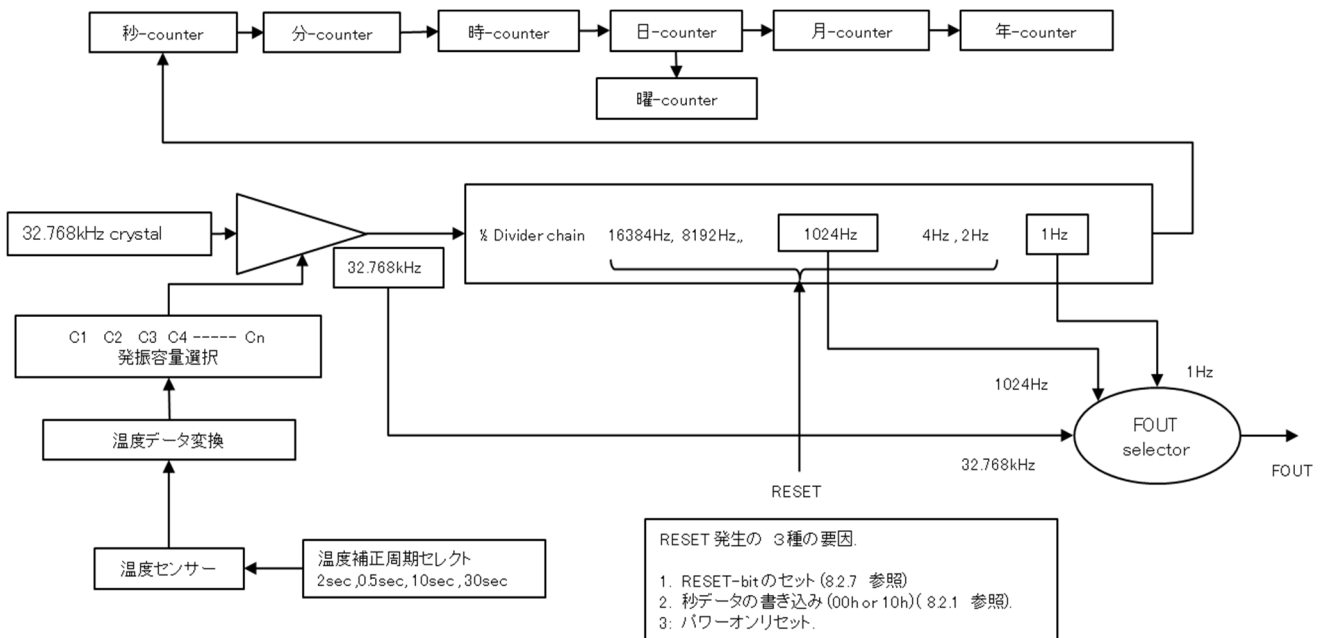


Figure 8-1. 32.768Hz カウンター FOUT

## 8.2.2. アラームレジスタ

Table 8-7. アラームレジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
08	MIN Alarm	AE	40	20	10	8	4	2	1
09	HOUR Alarm	AE	•	20	10	8	4	2	1
0A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1

アラームは、曜、日、時、分について設定が可能です。曜日、日は WADA ビットによりどちらをアラームとして使用するか指定します。

それぞれのアラームレジスタの bit7 に AE (Alarm Enable) ビットが付いていますのでこのビットを利用すると毎時アラーム、毎日アラームが簡単に設定できます。曜日は任意の複数の曜日にアラーム設定が可能です。AE ビットは"0"の時、該当レジスタと時計レジスタの比較を行い、"1"の時は don't care としてデータ不問でそのアラームレジスタは常に一致とみなされます。

アラームが発生すると Reg-E の AF (Alarm Flag) ビットに"1"がセットされ、この時 Reg-F の AIE (Alarm Interrupt Enable) ビットが"1"の場合は、/INT 端子を Low レベルとして割り込み信号を発生します。

AIE ビットが"0"の時は、/INT 端子からのアラーム割り込み出力は禁止されます。

アラーム割り込みを使用しない場合は Address 8 ~ A がメモリーレジスタとして使用できます。この時、AIE ビットを"0"に設定し、アラーム動作及び割り込みを禁止してください。

- 曜アラームのビットと各曜日の関係

Table 8-8. 曜日レジスタ

bit	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
曜日	土	金	木	水	火	月	日

お客様のシステムに応じてビットと曜の割り当てを変更されても問題ありません。

## 8.2.3. タイマーカウンタ

Table 8-9. タイマーカウンタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0B, 1B	Timer Counter 0	128	64	32	16	8	4	2	1
0C, 1C	Timer Counter 1	•	•	•	•	2048	1024	512	256

タイマー割り込みに使用する 12 ビットの内部プリセッタブル・ダウンカウンタを制御するレジスタです。ダウンカウンタのカウント周期(ソースクロック)は Reg-D の TSEL0, TSEL1 で指定し、タイマーカウンタ 0,1 でこのダウンカウンタのプリセット(分周)値を指定します。

Reg-D の TE ビットが"0"の時、タイマーカウンタは先に書き込まれたタイマー初期値をロードして停止しています。

その後、TE ビットが"1"にセットされるとカウントダウンを開始します。

指定したソースクロックの周期でダウンカウンタがカウントダウンを続け、データがゼロになると Reg-E の TF が"1"にセットされます。このとき、Reg-F の TIE (Timer Interrupt Enable) ビットが"1"の場合は、

/INT 端子から"Low"レベルの割り込み信号を出力します。

TIE ビットが"0"の時は /INT 端子からのタイマー割り込み出力は禁止されます。

次に、タイマーカウンタレジスタのデータを再ロードし、再びカウントダウンを開始します。(繰り返し動作)

尚、TE ビットが"1"の状態の時に、タイマーカウンタに"0"のデータをセットしても、/INT 端子からのタイマー割り込みは発生しません。

タイマー割り込みを使用しない場合は Address B, C がメモリーレジスタとして使用できます。この時、TE, TIE ビットを"0"に設定し、タイマー動作及び割り込みを禁止してください。

- タイマー割り込み ソースクロック選択

Table 8-10. タイマーソースクロック

TSEL1	TSEL0	ソース クロック	自動復帰時間 (tRTN)
0	0	4096 Hz / 244.14 $\mu$ s 周期	122 $\mu$ s
0	1	64 Hz / 15.625 ms 周期	7.813 ms
1	0	1 Hz / 1 秒周期	7.813 ms
1	1	1/60 Hz / 1 分周期	7.813 ms

## 8.2.4. コントロールレジスタ・フラグレジスタ

Table 8-11. コントロールレジスタ・フラグレジスタ

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0D, 1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E, 1E	Flag Register	○	○	UF	TF	AF	○	VLF	VDET
0F, 1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	○	○	RESET

- TEST ビット；弊社のテスト用のビットです。  
必ず"0"を設定してください。レジスタの他のビットの書き込みの際、誤って"1"を書込まないよう御注意願います。
- WADA ビット（Week Alarm / Day Alarm）  
WEEK / DAY アラームの設定ビットです。本ビットを"0"とすると 曜アラーム、"1"にすると日アラームとしてレジスタの設定内容を解釈します。
- USEL ビット（Update Interrupt Select）  
時刻更新割り込みを発生させるタイミングを指定します。

Table 8-12. USEL ビット

USEL	タイミング	自動復帰時間
0	秒更新	500 ms
1	分更新	7.813 ms

- FSEL ビット  
FOUT 端子出力周波数を指定します。初期電源投入時のビット値は"00"で 32.768 kHz が選択されています。

Table 8-13. FSEL ビット

FSEL1	FSEL0	FOUT 周波数
0	0	32.768 kHz
0	1	1024 Hz
1	0	1 Hz
1	1	32.768 kHz

- TE ビット（Timer Enable）  
本ビットを"1"とする事により、プリセッタブルダウンカウンタがカウントダウンを開始します。  
本ビットをゼロクリアすると、プリセッタブルカウンタはプリセット値をロードして停止します。
- AF, TF, UF ビット（Alarm Flag, Timer Flag, Update Flag）  
AF ビットはアラームが発生すると"1"に、TF ビットはタイマー割り込み用ダウンカウンタがゼロ時に"1"に、UF ビットは時刻更新終了後にセットされます。  
これらのビット共は、"0"を書き込むまでデータを保持します。また、"1"をライトすることはできません。
- AIE, TIE, UIE ビット（Alarm, Timer, Update Interrupt Enable）  
アラーム、タイマー、時刻更新の割り込み要因の発生時に各割り込み信号を発生させるか否かを指定します。  
AIE はアラーム割り込みに、TIE はタイマー割り込みに、UIE は時刻更新割り込みに対応します。
- CSEL ビット（Compensation interval Select 0, 1）  
温度補償動作の間隔を指定します。初期電源投入時、2.0s となっています。

Table 8-14. CSEL ビット

CSEL1	CSEL0	温度補償間隔
0	0	0.5 s
0	1	2.0 s
1	0	10 s
1	1	30 s

- VLF ( Voltage Low Flag )

本フラグは以下の2要因でセットされます。

- 1) : IC の電源電圧が VLOW 電圧を下回った時。
- 2) : 水晶発振が約 10ms 以上停止した時。

VLF ビットが"1"を示している場合は全てのレジスタデータの初期化を行ってください。

VLF は"0"を書き込むまで"1"を保持します。

RESET ビットには影響を受えません。

本ビットに対する"1"の書き込みはできません。VLOW 電圧の検出は常時監視です。

- VDET ( Voltage Detect Flag )

本フラグは IC の電源電圧が VDET 電圧よりも低下したことを検出して温度補償回路の停止を検出保持します。

VDET=1 の時は温度補正が停止した履歴を示し、"0"を書き込むまで保持します。

RESET ビットには影響を受えません。

本ビットに対する"1"書き込みはできません。VDET の検出は温度補正タイミングと同期して行われます。

- RESET

Table 8-15. RESET ビット

RESET	データ	内容
Write	0	"0"の書き込みは無効です。
	1	Clock&Calendar 回路の秒未満のカウンタ(16KHz ~ 2Hz)が書き込み終了の STOP 条件受信時にリセットされて RESET も自動クリアされます。
Read	0	RESET の読み出し値は常に"0"です。

RESET は高精度な時刻合せを行う場合に使用します。

RESET を"1"にすると Clock&Calendar 回路の秒未満のカウンタ(16KHz ~ 2Hz)が

RESET のセット書き込み終了の STOP 条件受信時にリセットされて RESET も自動クリアされます。

RESET 実行から次の秒桁上げまでの時間は 1000ms +0 ~ -30.5 $\mu$ s の精度が得られます。

RESET ビットのセットはアドレス指定による 1 回の書き込みを推奨します。

秒未満のカウンタがリセットされた時間は、アラーム、定周期タイマー、時刻更新割り込み等の動作に影響します。また冗長な RESET 実行は時刻遅れを招くリスクがあるので注意してください。

[SEC] レジスタ項を参照してください。

### 8.2.5. 温度データレジスタ

Table 8-16. TEMP レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
17	TEMP	128	64	32	16	8	4	2	1

#### 1) TEMP レジスタ

温度補償回路の温度センサーアナログ値を AD 変換した温度データを読み出すことが可能です。

温度データは温度補償動作タイミングで更新されます。

温度データから摂氏(°C)への変換は以下の式で求めることができます。

$$\text{温度}[\text{°C}] = (\text{TEMP}[7:0] * 2 - 187.19) / 3.218$$



## 8.2.6. バックアップ電源機能設定レジスタ

Table 8-17. バックアップ電源機能設定レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
18	Backup Function	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP2

メイン電源 VDD の電圧検出と逆流防止用内蔵 MOS スイッチの制御を設定するレジスタです。

- 1) VDETOFF ビット (Voltage Detector OFF)  
メイン電源 VDD の電圧検出回路の ON、OFF を制御します。  
詳細は [8-8 バックアップ電源切換機能] を参照してください。
- 2) SWOFF ビット (Switch OFF)  
逆流防止用内蔵 P-MOS スイッチの ON、OFF を制御します。  
詳細は [8-8 バックアップ電源切換機能] を参照してください。
- 3) BKSMP1、BKSMP0 ビット (Backup mode Sampling time)  
メイン電源の電圧検出を間欠駆動させるときの、動作時間を制御します。  
詳細は [8-8 バックアップ電源切換機能] を参照してください。

## 8.3. アラーム割り込み機能

## 8.3.1. アラーム割り込み

[日], [曜], [時], [分]の指定でアラーム割り込みイベントを発生させる機能です。  
アラーム発生の際は AF ビットがセットされる他、INT 端子からの割り込み出力が可能です。  
\*アラームの割り込み出力は、意図的な解除を行わない限り自動解除されず、/INT"L"が保持されます。

## 8.3.2. アラーム割り込み機能 関連レジスタ

Table 8-18. アラーム割り込み機能レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
08	MIN Alarm	<b>AE</b>	40	20	10	8	4	2	1
09	HOUR Alarm	<b>AE</b>	•	20	10	8	4	2	1
0A	WEEK Alarm	<b>AE</b>	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1
0D,1D	Extension Register	TEST	<b>WADA</b>	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E,1E	Flag Register	○	○	UF	TF	<b>AF</b>	○	VLF	VDET
0F,1F	Control Register	CSEL1	CSEL0	UIE	TIE	<b>AIE</b>	○	○	RESET

\* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、最初に AIE ビットを"0"にすることを推奨します。  
\* アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 08 ~ 0A) を RAM レジスタとして使用できます。  
その場合は、AIE ビットを必ず "0" にしてください。

## 1) アラームレジスタ (Reg - 08[h] ~ 0A[h])

Reg - 0A は、WADA ビットで選択した [曜]または [日]データを設定できます。  
[曜]を選択したときは、曜日設定を月・水・金・土のような複数曜日の設定が可能です。

- \*1) 各アラームレジスタの AE ビットがセットされると該当アラームレジスタはアラーム一致となります。
- \*2) 現時刻と同じ状況を設定してもアラームは発生しません。次の分析更新時にアラーム比較されます。

2) WADA ビット ( Week Alarm / Day Alarm Select )

アラーム割り込み機能の対象を選択指定するビットです。

Table 8-19. WADA ビット

WADA	データ	内容
Write	0	0Ah が WEEK Alarm(曜)で動作します。
	1	0Ah が DAY Alarm(日)で動作します。

3) AF ビット ( Alarm Flag )

アラーム割り込み発生を保持するフラグビットです。

Table 8-20. AF ビット

AF	データ	内容
Write	0	アラーム割り込みは解除されます。
	1	"1" の書き込みは無効です。
Read	0	-
	1	アラーム割り込みイベント発生有り * 結果は、0 クリアするまで保持されます。

4) AIE ビット ( Alarm Interrupt Enable )

アラーム割り込み発生時の、アラーム割り込み信号の出力可否を設定します。

Table 8-21. AIE ビット

AIE	データ	内容
Write	0	アラーム割り込み信号は INT 端子に出力しない
	1	アラーム割り込み信号を INT 端子に出力する

\* AIE ビットは/INT 端子の出力制御のみです。アラームを解除するには AF フラグを"0"クリアする必要があります。

8.3.3. アラーム設定例

1) [ 曜 ] 指定時の アラーム設定例 / WADA ビット = " 0 "

Table 8-22. アラーム設定例 1

[ 曜 ] 指定時 WADA ビット " 0 "	Reg - 0A								Reg - 09	Reg - 08
	bit 7 AE	bit 6 土	bit 5 金	bit 4 木	bit 3 水	bit 2 火	bit 1 月	bit 0 日	HOUR Alarm	MIN Alarm
毎週 月 ~ 金, 午前 7 時 * [分]不問	0	0	1	1	1	1	1	0	07 h	AE bit " 1 "
毎週 日, 土, 毎時 30 分 * [時]不問	0	1	0	0	0	0	0	1	AE bit " 1 "	30 h
毎日, 午後 6 時 59 分	0	1	1	1	1	1	1	1	18 h	59 h
	1	X	X	X	X	X	X	X		

X : don't care

2) [ 日 ] 指定時の アラーム設定例 / WADA ビット = " 1 "

Table 8-23. アラーム設定例 2

[ 日 ] 指定時 WADA ビット " 1 "	Reg - 0A								Reg - 09	Reg - 08
	bit 7 AE	bit 6 ●	bit 5 20	bit 4 10	bit 3 08	bit 2 04	bit 1 02	bit 0 01	HOUR Alarm	MIN Alarm
毎月 01 日, 午前 7 時 * [分]不問	0	0	0	0	0	0	0	1	07 h	AE bit " 1 "
毎月 15 日, 毎時 30 分 * [時]不問	0	0	0	1	0	1	0	1	AE bit " 1 "	30 h
毎日, 午後 6 時 59 分	1	X	X	X	X	X	X	X	18 h	59 h

X : don't care

8.3.4. アラーム割り込み機能

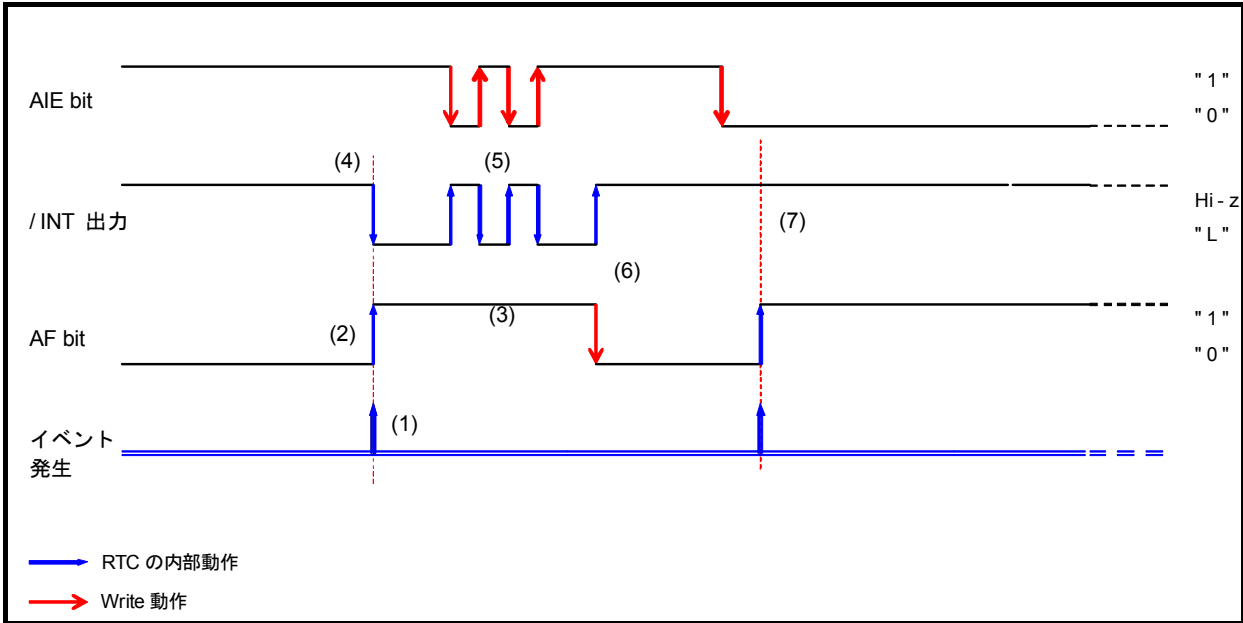


Figure 8-2. アラーム割り込みタイムチャート

- (1) アラーム割り込みイベントを発生させたい [時], [分], [日 or 曜] を WADA ビットとともに予め設定しておき、アラーム設定値と現在時刻が計時動作によって一致すると割り込みイベントが発生します。アラーム一致比較は、分更新のタイミングで行なわれます。このため計時カウンタにアラーム設定値と同じ時刻を設定してもアラームは発生しません。次の分更新タイミングで改めて比較されます。
- (2) セットされた AF ビットは 0 クリアされるまで "1" が保持されます。
- (3) アラーム発生時に AIE="1" ならば、/INT 端子は "L" を出力します。この LOW 出力は AF ビットか AIE ビットのクリアまで保持されます。
- (4) /INT="L" 時に AF か AIE をクリアすると、直ちに /INT へのアラーム出力は停止されます。
- (5) 各 AE ビットの組み合わせで、土曜の朝 9 時だけにアラームを出すなどの設定が可能です。

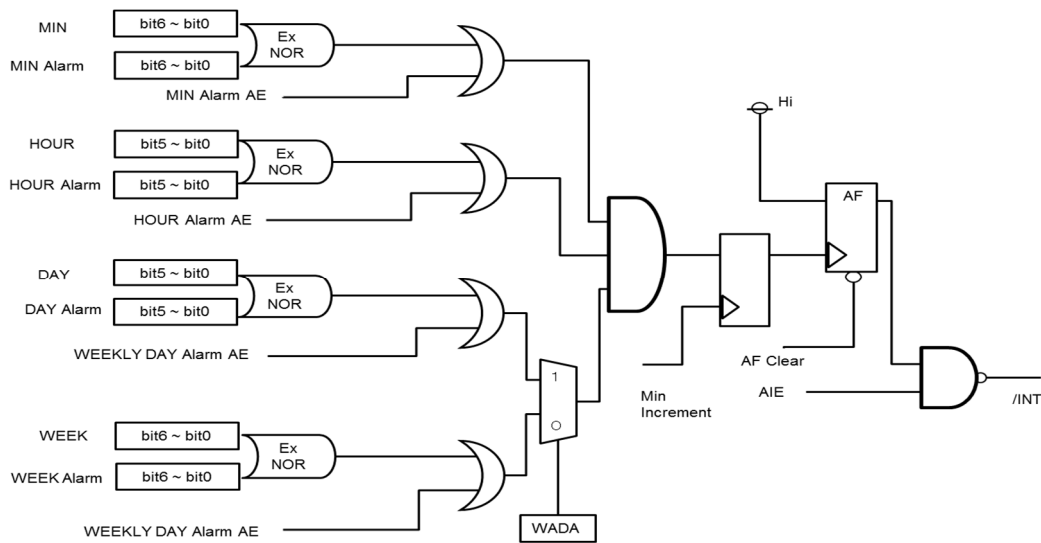


Figure 8-3. アラーム割り込みブロック図

8.4. 定周期タイマー割り込み機能

8.4.1. タイマー割り込み

244.14  $\mu$ s ~ 4095 min までの任意の周期で定期的な割り込みイベントを発生させる機能です。  
 割り込みイベント発生時の /INT "L" 出力は、7.813 ms ( min ) で自動解除 されます。  
 タイマーカウントダウンは一時停止できません。 カウントダウン中のデータは読み出せません。

8.4.2. 定周期タイマー割り込み機能 関連レジスタ

Table 8-24. 定周期タイマー割り込みレジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0B,1B	Timer Counter 0	128	64	32	16	8	4	2	1
0C,1C	Timer Counter 1	•	•	•	•	2048	1024	512	256
0D,1D	Extension Register	TEST	WADA	USEL	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E,1E	Flag Register	○	○	UF	TF	AF	○	VLF	VDET
0F,1F	Control Register	CSEL1	CSEL0	UIE	TIE	AIE	○	○	RESET

\* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、①TE ビット"0" ,②TF ビット"0",③TIE ビット"0"□の順に"0"クリアしてから始めることを推奨します。

\* 機能を使用しないときは、Reg - B, C [h] を RAM レジスタとして使用できます。 その場合は TE, TIE = " 0 " に設定して機能を停止させてください。

1) 定周期タイマー用ダウンカウンタ ( Reg - 0B[h] ~ 0C[h] )

- ・プリセッタブル・ダウンカウンタの初期値 ( プリセット値 ) を設定するレジスタで、カウント値は 1 ~ 4095 まで設定できます。プリセット値の書き込みは、必ず TE ビットが " 0 " の状態で行ってください。
- ・本レジスタの読み出し値は常にカウントダウン初期値 ( プリセット値 ) が読み出されます。

2) TSEL1, TESL0 ビット

- カウントダウン周期 ( ソースクロック ) を選択するビットです。
- \* ソースクロックの設定は、必ず TE ビットが " 0 " の状態で行ってください。

Table 8-25. TESL ビット

TSEL1	TSEL0	ソース クロック周期	自動復帰時間 (tRTN)
0	0	4096 Hz / 244.14 $\mu$ s	122 $\mu$ s
0	1	64 Hz / 15.625 ms	7.813 ms
1	0	1 Hz / 1 秒 (時計と同期)	7.813 ms
1	1	1/60 Hz / 1 分 (時計と同期)	7.813 ms(Min.)

\*1) /INT 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

\*2) ソースクロック 1Hz 選択時のカウントダウンは、内部計時の[秒]更新に連動しています。

\*3) ソースクロック 1/60Hz 選択時のカウントダウンは、内部計時の[分]更新に連動しています。

内部計時の[分]更新に連動していますので、例えば 50 秒の時点でタイマー動作を開始した場合には、10 秒後に 1 回目のカウントダウンが発生します。( 2 回目以降は正しい 1 分周期で行われます。)

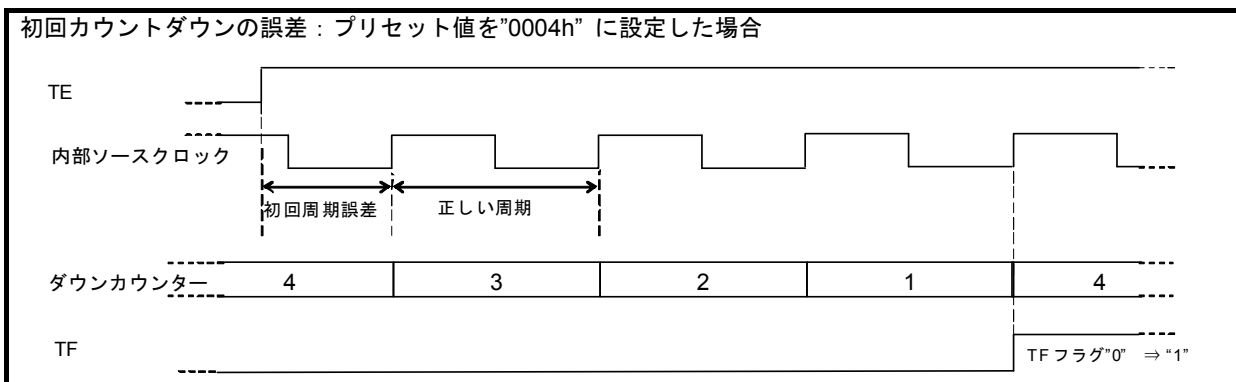


Figure 8-4. 定周期タイマーのカウントダウンスタート誤差

3) TE ビット (Timer Enable)

定周期タイマーのカウンタダウンを制御します。

Table 8-26. TE ビット

TE	データ	内容
Write	0	タイマーカウンタにプリセット値がロードされます。 /INT へのタイマー割り込み出力は、直ちに停止されます。
	1	タイマーカウンタダウンがプリセット値からスタートします。

4) TF ビット (Timer Flag)

定周期タイマー割り込みイベントを検出して、結果を保持するフラグビットです。

Table 8-27. TF ビット

TF	データ	内容
Write	0	/INT へのタイマー割り込み出力は、直ちに停止されます。
	1	"1" は 書き込めません。
Read	0	-
	1	定周期タイマー割り込みイベントが発生した * 結果は、0 クリアするまで保持されます。

5) TIE ビット (Timer Interrupt Enable)

定周期タイマー割り込みイベント発生時 (TF, "0" → "1") の、/INT への出力可否を設定します。

Table 8-28. TIE ビット

TIE	データ	内容
Write	0	1) タイマー割り込み信号のを/INT への出力を禁止します。 2) 出力中のタイマー割り込み出力を停止する。
	1	タイマー割り込み信号の/INT への出力を許可する。

8.4.3. タイマースタートタイミング

定周期タイマー割り込み機能のタイマーカウンタダウンは、TEビット="0"→"1"へのライト終了時の、SCLの立ち上りエッジ(ACK出力時)から開始します。

タイマースークロック選択ビット(TSEL1,TSEL0)も CLK の立ち上りエッジで取り込みます。

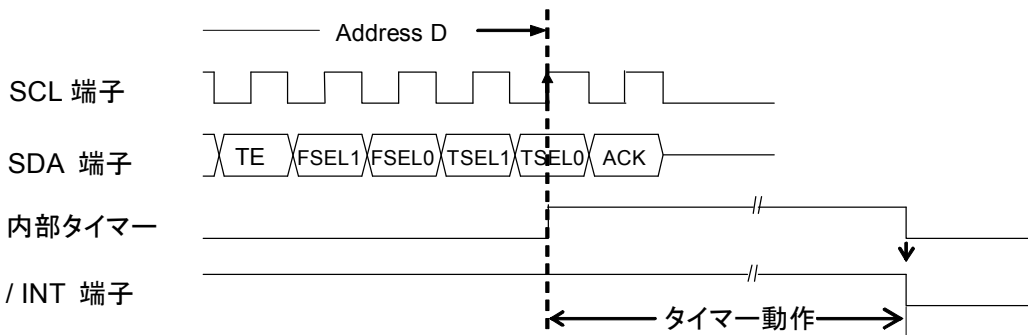


Figure 8-5. 定周期タイマースタートタイミング

## 8.4.4. 定周期タイマー割り込み周期□

ソースクロック設定とダウンカウンタ設定□の組み合わせによる割り込み周期の例を示します。

- タイマー割り込み間隔

Table 8-29. タイマー割り込み間隔

Timer Counter 設定値	ソースクロック			
	4096 Hz	64 Hz	秒 更新	分 更新
0	–	–	–	–
1	244.14 $\mu$ s	15.625 ms	1 s	1 min
2	488.28 $\mu$ s	31.25 ms	2 s	2 min
⋮	⋮	⋮	⋮	⋮
41	10.010 ms	640.63 ms	41 s	41 min
82	20.020 ms	1.281 s	82 s	82 min
128	31.250 ms	2.000 s	128 s	128 min
192	46.875 ms	3.000 s	192 s	192 min
205	50.049 ms	3.203 s	205 s	205 min
320	78.125 ms	5.000 s	320 s	320 min
410	100.10 ms	6.406 s	410 s	410 min
640	156.25 ms	10.000 s	640 s	640 min
820	200.20 ms	12.813 s	820 s	820 min
1229	300.05 ms	19.203 s	1229 s	1229 min
1280	312.50 ms	20.000 s	1280 s	1280 min
1920	468.75 ms	30.000 s	1920 s	1920 min
2048	500.00 ms	32.000 s	2048 s	2048 min
2560	625.00 ms	40.000 s	2560 s	2560 min
3200	0.7813 s	50.000 s	3200 s	3200 min
3840	0.9375 s	60.000 s	3840 s	3840 min
⋮	⋮	⋮	⋮	⋮
4095	0.9998 s	63.984 s	4095 s	4095 min

- タイマーの時間誤差

タイマーカウントダウンスタート誤差について Figure 8-4.を参照してください。

8.4.5. 定周期タイマー割り込み機能

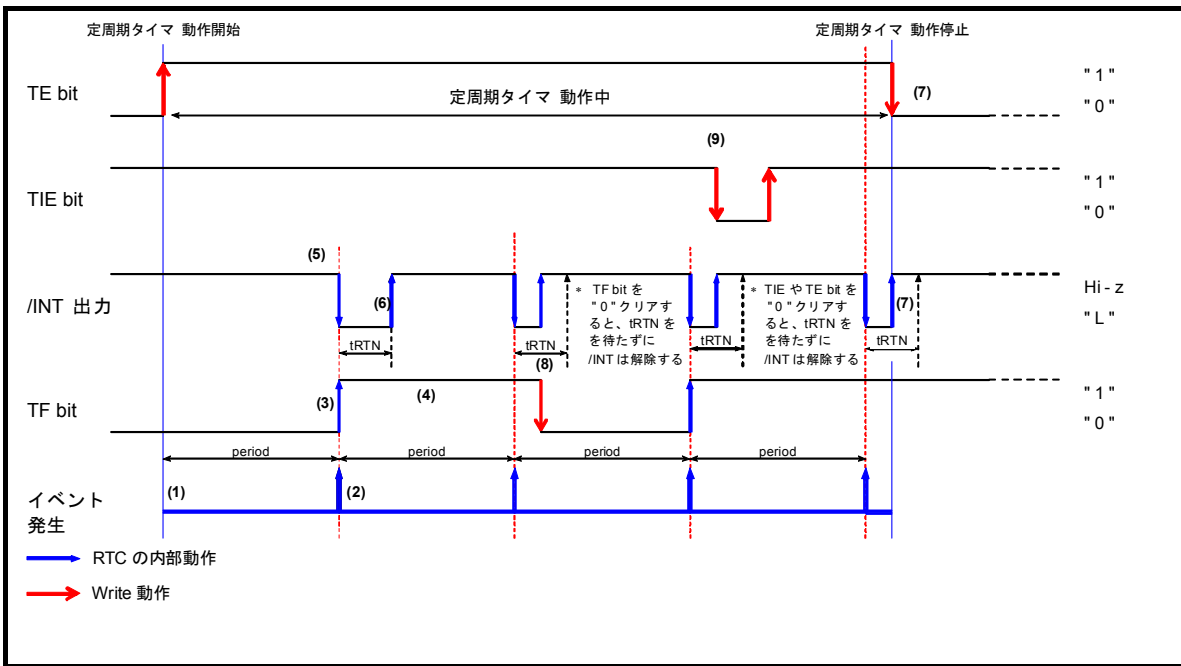


Figure 8-6. 定周期タイマータイミングチャート

- (1) TE="1"の書き込みから、定周期タイマーのカウントダウンがプリセット値から開始されます。
- (2) 定周期タイマー割り込みイベントはダウンカウンタのカウント値をソースクロックの周期でカウントダウンしていき、ダウンカウンタが 0001[h]→0000[h]になると割り込みイベントが発生します。  
割り込みイベントが発生するとダウンカウンタにプリセット値がロードされ、再びカウントダウンを開始します。
- (3) 定周期タイマー割り込みイベントが発生すると、TF ビットは"1"にセットされます。  
TF ビットの動作は TE ビット、TIE ビットの影響を受けません。
- (4) セットされた TF ビットは 0 クリアされるまで"1"を保持します。
- (5) TF = TE = TIE = 1 なら /INT 端子から "L" が出力されます。  
TE="0"のときは、タイマー割り込みは /INT 端子に出力されません。  
タイマー割り込み出力は tRTN 時間だけ LOW 駆動された後に解除されます。
- (7) /INT="L"時に TE がゼロクリアされるとタイマー割り込み出力は停止されます。
- (8) /INT="L"時に TF がゼロクリアされると、タイマー割り込み出力は停止されます。
- (9) /INT="L"時に TIE がゼロクリアされると、タイマー割り込み出力は停止されます。

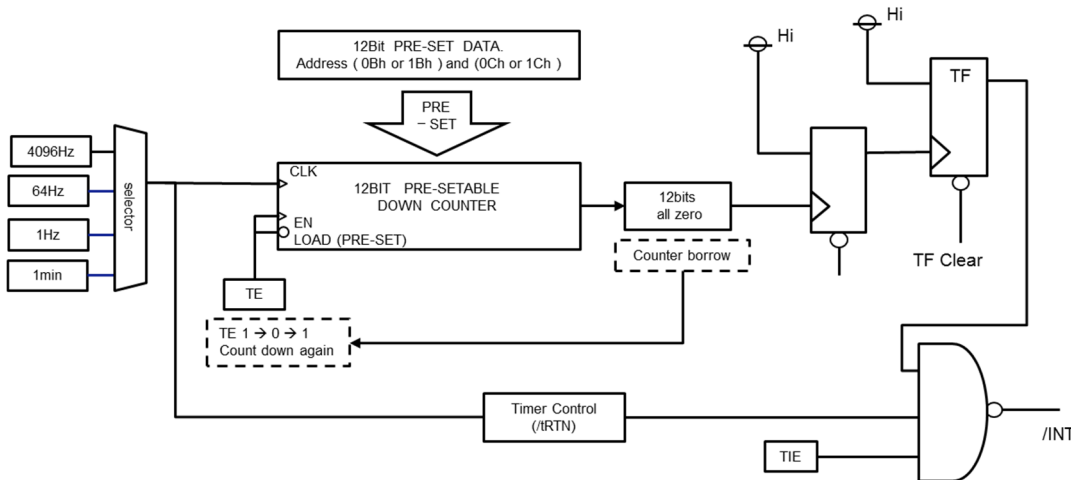


Figure 8-7. 定周期タイマーブロック図

8.5. 時刻更新割り込み機能

8.5.1. 時刻更新割り込み

時刻更新割り込み機能は、毎秒更新または毎分更新のタイミングで割り込みを発生させる機能です。

8.5.2. 時刻更新割り込み機能 関連レジスタ

Table 8-30. 時刻更新割り込みレジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0D,1D	Extension Register	TEST	WADA	<b>USEL</b>	TE	FSEL1	FSEL0	TSEL1	TSEL0
0E,1E	Flag Register	○	○	<b>UF</b>	TF	AF	○	VLF	VDET
0F,1F	Control Register	CSEL1	CSEL0	<b>UIE</b>	TIE	AIE	○	○	RESET

- \* 動作設定時は、不要な INT 端子割り込み出力を避けるために、最初に UIE ビットを "0" にすることを推奨します。
- \* 時刻更新割り込み機能は停止できません。時刻更新割り込み機能による /INT 出力を禁止することは可能です。

1) USEL ビット ( Update Interrupt Select )

時刻更新割り込みの発生タイミングを[秒]更新か[分]更新に設定するビットです。

Table 8-31. USEL ビット

USEL	データ	内容	自動復帰時間 tRTN
Write / Read	0	[秒]更新時(1秒毎に繰り返し)にする。	500ms 50%duty
	1	[分]更新時(1分毎に繰り返し)にする。	15.63ms(Min.7.81ms)

- ① /INT 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。
- ② 自動復帰時間はアクセスホールドでは 7.813ms(Min.)を保証します。
- ③ 通常時は 15.626ms となります。

2) UF ビット ( Update Flag )

時刻更新割り込みイベントを検出して、結果を保持するフラグビットです。

Table 8-32. UF ビット

UF	データ	内容
Write	0	0 クリアすると /INT への割り込み出力を停止できます。
	1	"1" の書き込みは無効です。
Read	0	-
	1	時刻更新割り込みイベント発生有り (0 クリアするまでホールドします )

3) UIE ビット ( Update Interrupt Enable )

時刻更新割り込みイベント発生時の、 /INT への出力可否を設定します。

Table 8-33. UIE ビット

UIE	データ	内容
Write / Read	0	時刻更新割り込み割り込み信号の /INT への出力を禁止します。
	1	時刻更新割り込み信号の /INT への出力を許可します。



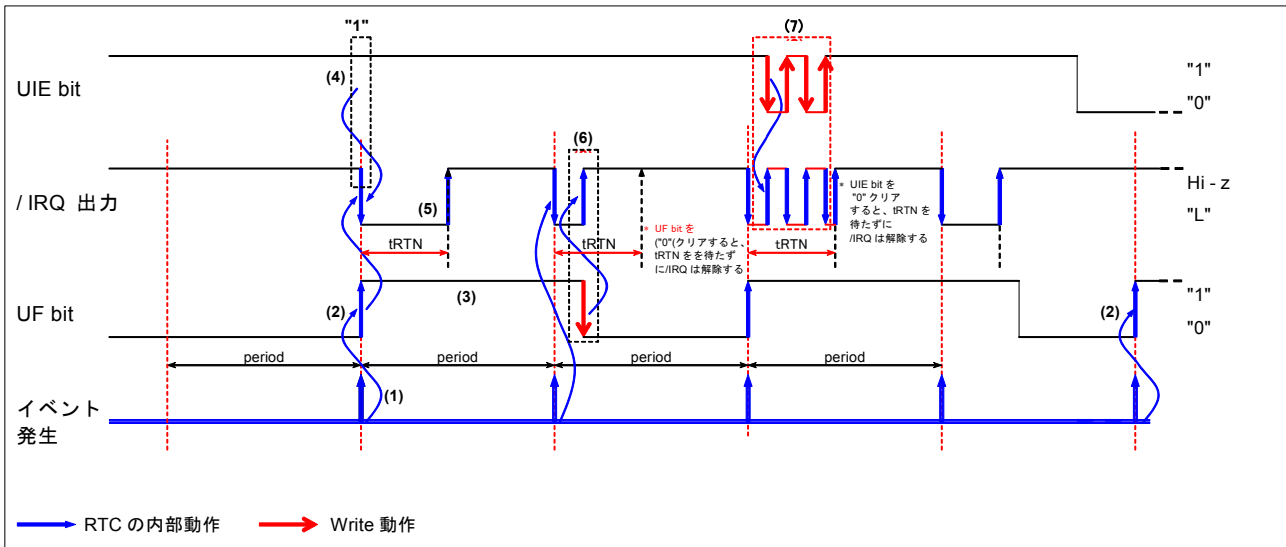


Figure 8-8. 時刻更新割り込みタイミングチャート

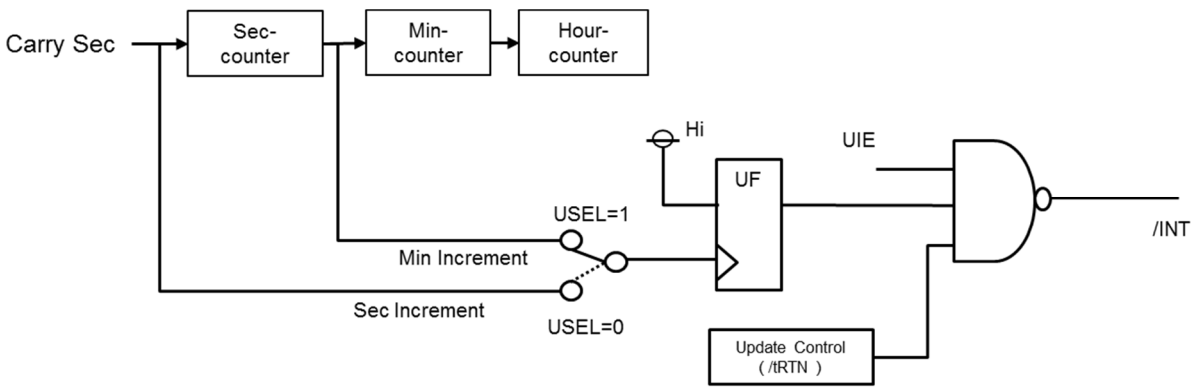


Figure 8-9. 時刻更新割り込みブロック図

## 8.6. 割り込み機能動作時の /INT "L" 割り込み出力

### 1) /INT "L" 割り込み出力発生時の 割り込みイベント特定方法

/INT 割り込み出力端子は、定周期タイマー割り込み機能、アラーム割り込み機能、時刻更新割り込み機能の 3 種類の割り込みイベントの共通出力端子になっています。

割り込みが発生したときは TF, AF, UF フラグを読み出して、どの割り込みイベントが発生したのかを確認してください。

### 2) /INT 出力を使用しない場合の処理方法

- ・ /INT 出力を使用しない場合は、端子は OPEN で使用してください。
- ・ TIE, AIE, UIE ビットの全てのビットを "0" にしてください。
- ・ 割り込みイベント発生を検出する時は、TF, AF, UF フラグを監視して、対象となる割り込みの発生を確認してください。

8.7. 温度補償機能

8.7.1. 温度補償機能

本製品は高精度な温度補償回路を搭載しています。内蔵温度センサーの値に合わせた発振回路に対する周波数補正値を、弊社出荷検査時に内蔵メモリーに設定しており、温度変動に対する発振周波数が補償されます。温度補償動作電圧(VTEM)以上では機能停止することはできません。

8.7.2. 温度補償機能 関連レジスタ

Table 8-34. 温度補償レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0F,1F	Control Register	<b>CSEL1</b>	<b>CSEL0</b>	UIE	TIE	AIE	○	○	RESET

1) CSEL1,CSEL0ビット(Compensation Interval Select 1,0)

温度補償動作の間隔を設定します。温度補償回路は間欠動作により低消費化を図っています。

本ビットは間欠動作の間隔を設定します。初期電源投入時にはCSEL1, CSEL0=("0","1")選択され2.0sとなります。

Table 8-35. CSELビット

CSEL1	CSEL0	温度補償間隔
0	0	0.5 s
0	1	2.0 s
1	0	10 s
1	1	30 s

温度補償動作中は指定された時間間隔で内蔵温度センサー値がラッチされます。ただし、電源電圧が温度補償動作電圧(VTEM)以下の場合には温度補償動作が停止します。その場合は最後にラッチした温度データが保持されています

電源電圧が低下してVDET ビットに"1"がセットされていても、温度補償動作電圧以上に電圧復帰すると温度補償動作が再開されます。

8.8. バックアップ電源切換機能

8.8.1.バックアップ電源切換機能の概要

メイン電源 VDD の電圧低下を検出する電源電圧検出回路 VDD Detector と、メイン電源端子 VDD とバックアップ電源端子 VBAT 間に配置された内蔵 Pch-Switch, Diode から構成されます。Pch-Switch が open 状態で VDD 電圧がスレッシュホールド電圧(VDET3)以下の場合にはバックアップモードに移行します。逆に VDD 電圧が VDET3 より大きい場合にはノーマルモードに移行します。VDD 電圧の測定のため毎秒ごとに Pch-Switch を open にして電圧を検出しその間は diode により VBAT 端子の電池から VDD 端子へのリーク電流を阻止します。

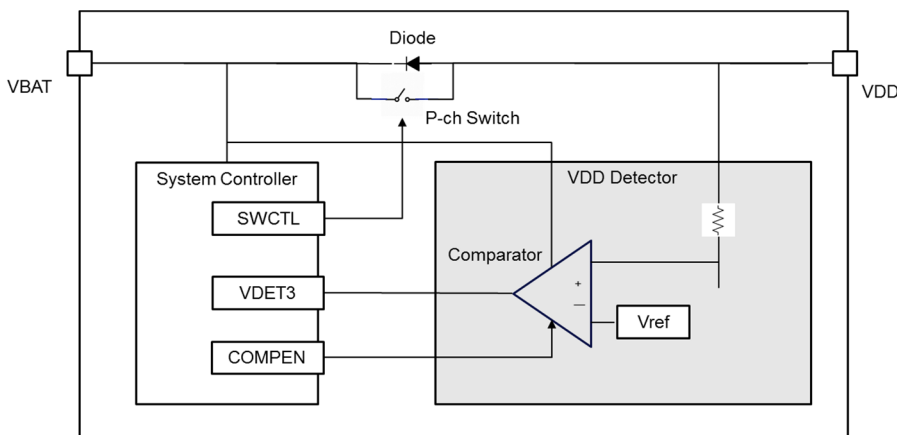


Figure 8-10. バックアップ電源切換機能ブロック図

- ノーマルモード 毎秒桁上げ後の 62.5ms から VDD 電圧を検定します。  
 VDD 検定時は Comparator ON, Pch-Switch = OFF です。  
 VDD ≤ VDET3 ならば バックアップモードへ移行します。
- バックアップモード 毎秒桁上げ後の 62.5ms 後から VDD 電圧を検定します。  
 VDD 検定時は Comparator ON, Pch-Switch = OFF です。  
 VDET3 < VDD ならば ノーマルモードへ移行します。

### 8.8.2. バックアップモード時の制限機能

バックアップモードではメイン電源 VDD の電圧低下のため以下の機能が制約されます。

Table 8-40. バックアップモード時の各機能

機能	状態
I2C インターフェース等	I2C 通信は動作しません。CMOS 出力は VSS、Nch Open Drain 出力は Hi-Z に移行します。
計時	ノーマルモードと同様に動作します。 *1
アラーム割り込み	AE="1"で AF ビットに結果を保持。/IRQ は常に Hi-Z です。
タイマー割り込み	TE="1"で TF ビットに結果を保持。/IRQ は常に Hi-Z です。
時刻更新割り込み	UF ビットに結果を保持。/IRQ は常に Hi-Z です。
FOUT 出力	FOUT は出力せず VSS レベルです。
VBAT 電圧低下検出	ノーマルモードと同様に動作します。 *1
温度補償	内部電源電圧が 2.0V 以下の場合は停止します。 *2

\*1 : バックアップ中の計時停止の有無を、Bank1 0Eh Bit1 VLF ビットで確認できます。

\*2 : バックアップ中の温度補正停止の有無を、Bank1 0Eh Bit0 VDET ビットで確認できます。

### 8.8.3 .電源切換素子参考特性

Table 8-38. スイッチ素子参考特性

項目	参考特性値	条件
ON抵抗値. ( Pch-Switch )	100 Ω (typ)	VDD = 3.0 V 25 °C
ダイオード定格電流	10mA (Max.)	25 °C
Pch-Switch定格電流	10mA (Max.)	25 °C
ダイオード Vf	0.60V / 1 mA (typ) 0.85 V / 10 mA (typ)	VDD = 3.0 V 25 °C
ダイオード IR	4 nA (Max.)	VR = 5.5 V -40°C ~ 85 °C

#### 8.8.4. 電源切換機能の制御レジスタ

電源切換機能、VDD 検定時間を制御します。

Table 8-36. バックアップ電源切換レジスタ

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
18	Backup Function	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP0

#### 8.8.5. 電源切換機能の制御レジスタのセッティング

電源 ON 後のパワーオンリセットにより VDETOFF=0、SWOFF=0、BKSMP0=0、BKSMP1=0 がセットされます。

1 秒後に VDD 電圧検定し  $VDD \leq VDET3$  の場合バックアップモード、 $VDET3 < VDD$  の場合はノーマルモードに移行します。

VDD 電圧検定時間は BKSMP0 bit、BKSMP1 bit により制御され 2m 秒、16m 秒、128m 秒、256m 秒が選択可能です。

電圧検出結果は検出時間最後に取り込みラッチされます。Figure 8-12. 電源切換機能タイミングチャート参照ください。

Table 8-37. バックアップ電源切換レジスタセッティング

VDD detector	VDETOFF	SWOFF	BKSMP1	BKSMP0	VDET3 検定時間	Pch-Switch ON/OFF	備考
ON	0	X	0	0	2ms	2ms OFF	VDETOFF:0,BKSMP1:0 ,BKSMP0:0 default
			0	1	16ms	16ms OFF	
			1	0	128ms	128ms OFF	
			1	1	256ms	256ms OFF	
OFF	1	0	X	X	OFF	ON	VDD と VBAT は Pch-switch で ショートされます。
		1	X	X	OFF	OFF	VDD は内蔵ダイオードを介して VBAT に接続されます。

8.8.6 . 電源切換機能のモード状態遷移

電源投入後のパワーオンリセット後の RTC の状態遷移を示します。

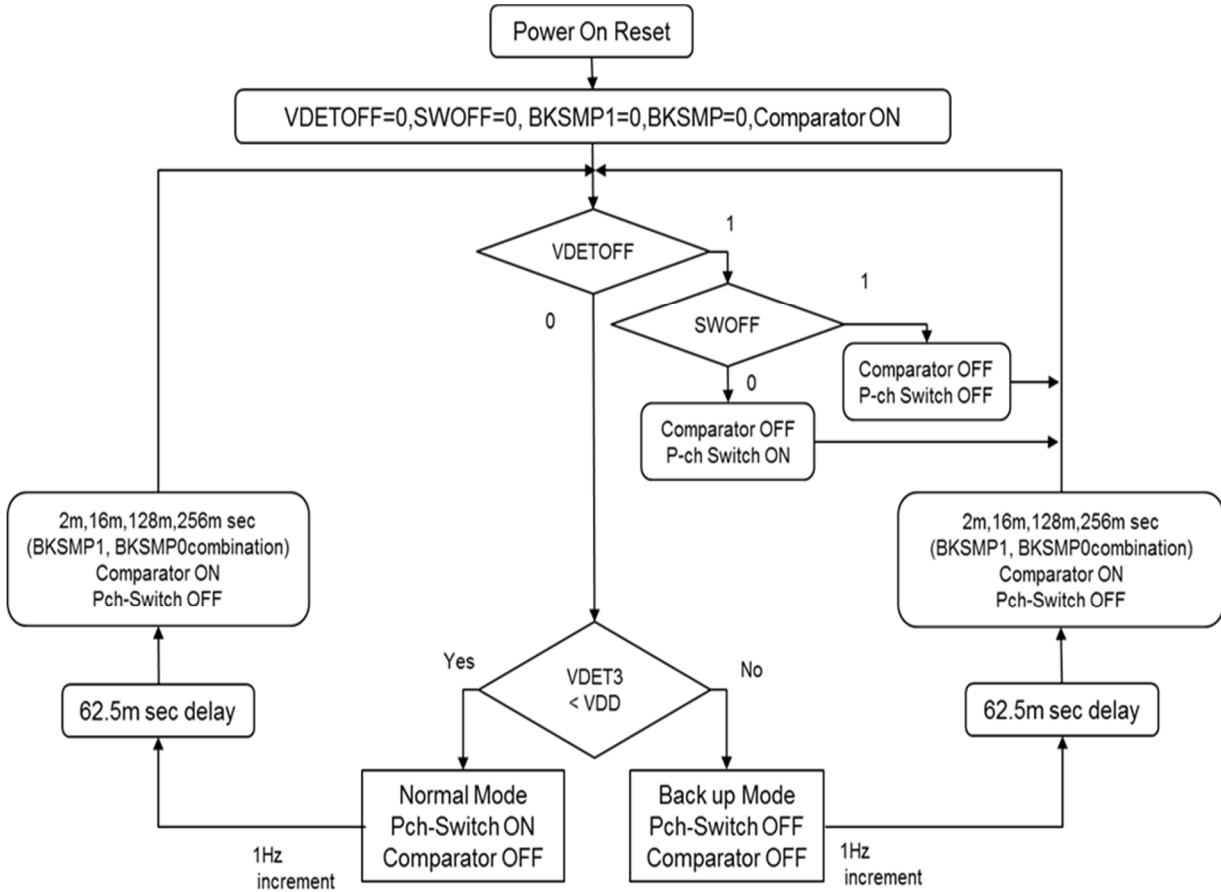


Figure 8-11. バックアップ電源切換モード遷移

8.8.7. 電源電圧監視時間のトレードオフ特性

VDD 電圧の監視は電圧降下のタイミングなどに応じて最適な VDD 検出時間が設定可能です。

Table 8-39. 電源電圧監視期間トレードオフ

項目	VDD 電圧検出時間		備考
	[2 m 秒]	~ [256 m 秒]	
消費電流 (ノーマルモード)	消費電流少	消費電流大	検出時間を長くすると消費電流が増加します。
2次電池充電効率 (ノーマルモード)	ダイオードを経由して VF 電下した充電時間が最も少なくなります。	電圧低下しない電圧による充電時間が最も少なくなります。	検出時間中はダイオードを経由して二次電池が充電されます。
実効性のある電圧検出 (ノーマルモード)	短時間の VDD 電圧検出はゆっくりした電圧低下の検出に有効です。	検出時間を長くすると急峻な電圧低下の検出率が高くなります。	検出結果は検出時間 (コンパレータ ON) の立下りエッジでラッチされます。(Figure 8-8- 参照)

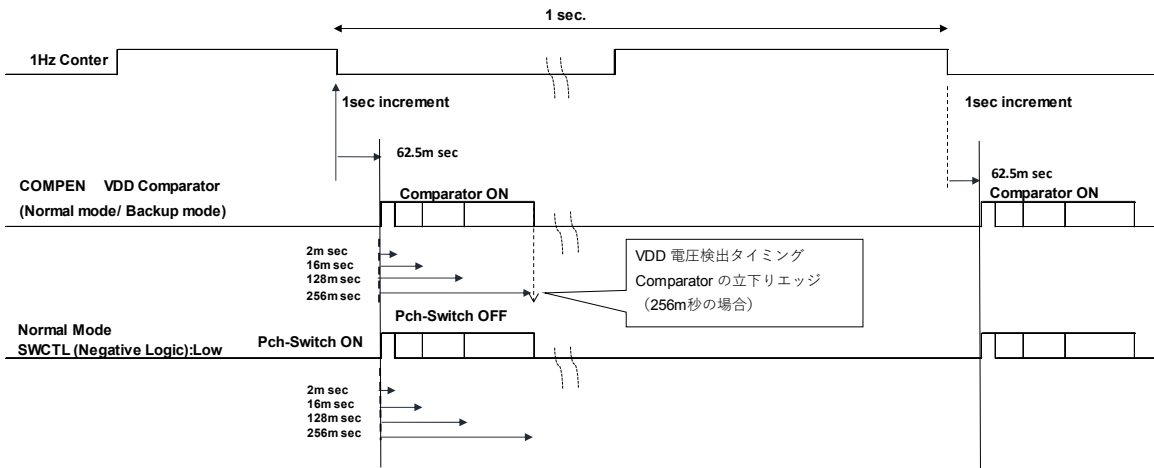


Figure 8-12. VDD 電圧検定 基本タイミングチャート

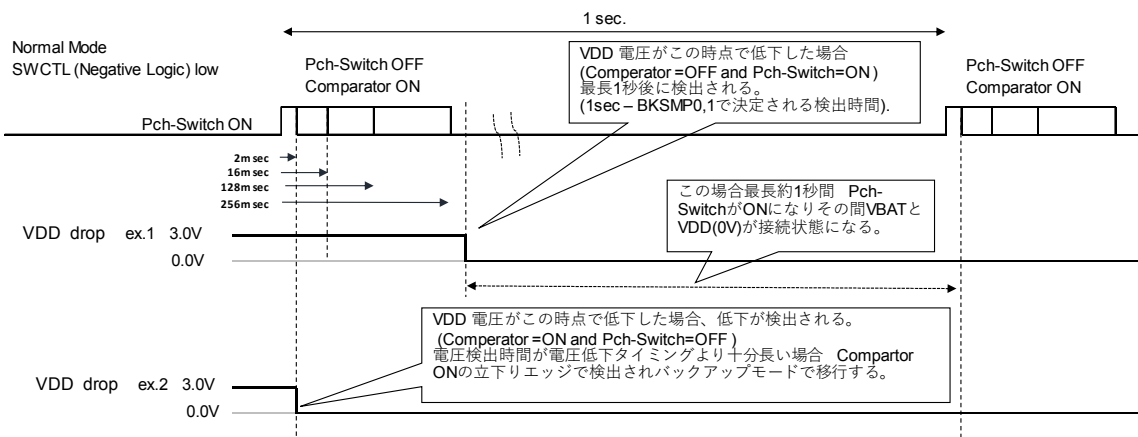


Figure 8-13. 電圧低下検出例 1

電圧低下検出がされず最長約 1 秒間 VBAT 端子と VDD 端子が接続状態になる場合があります。その間は電池 VBAT から VDD(0V)にリークが発生して VBAT の電圧低下が起こる場合があります。このリークを防止するには VDD 端子と電源ラインにダイオードを接続します。(8-8 例 4 参照)

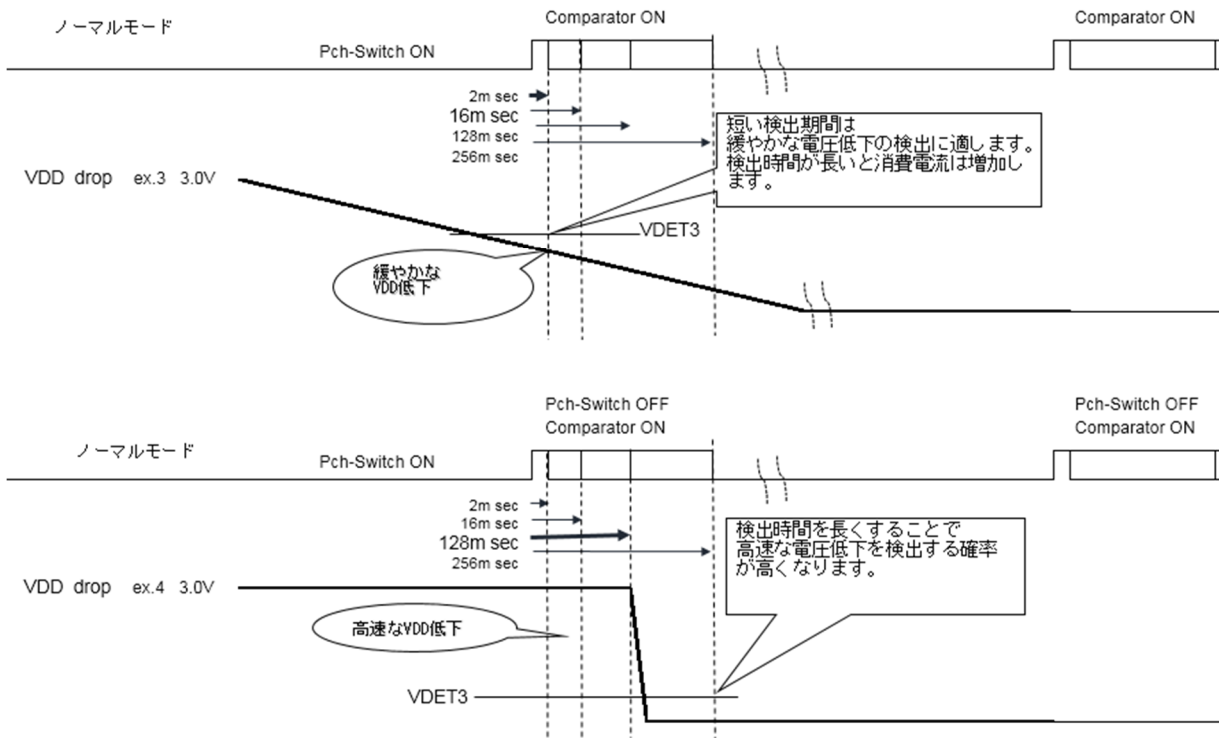


Figure 8 -14. 電圧低下検出例 2

電源電圧低下時間の長短（ゆっくりした低下、急峻な低下）に応じて電圧低下検出時間が調整可能です。

8.8.8. 電源回路接続例

[Ex-1] VDD からの単一電源供給.

外部電源 VDD は VDD 端子と VBAT 端子に接続します。この場合 I2C イターフェース, FOOUT は 1.6V~5.5V で動作します。

Address	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
18h	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP0
Data	0	0	0	0	1	X	X	X

Parts  
X Bit = 不問です。  
C = 0.1uF

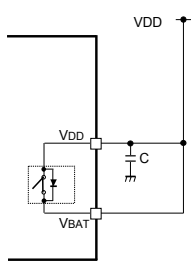


Figure 8-15. EX.1 (回路例 1)

[Ex-2] VDD からの電源と 1 次電池 (CR2032, AAA-battery 等) の 2 つの電源を利用する場合。

VDD 端子電圧が急峻に低下した場合は最長約 1 秒間 1 次電池から VDD(0.0V)がスイッチ ON によって導通状態になる可能性が有り、リーク電流と VBAT 電圧低下に注意が必要です。Figure 8-13 を参照ください。

Address	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
18h	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP0
Data	0	0	0	0	0	0	X	X

Parts  
C = 0.1uF.  
R = 100ohm(Min.)  
D = ショットキーバリアタイプ  
X Bit = 任意です。

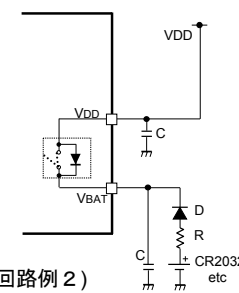


Figure 8-16. EX.2 (回路例 2)

[Ex-3] VDD からの電源と 2 次電池 (EDLC, ML-series 等) を利用する場合

この場合 100Ω の電流制限抵抗を 2 次電池に直列に挿入します。100Ω より小さい抵抗の場合には RTC に過電流の恐れがあります。また 100Ω より大きい場合には切り替え時に RTC への電圧が VDET3 より低下するリスクがあります。2 次電池への電流制限から 100Ω よりも大きい抵抗が必要な場合や 1 秒間の VBAT と VDD 端子の導通が問題の場合は Ex-4 の回路をご検討ください。

Address	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
18h	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP0
Data	0	0	0	0	0	0	X	X

Parts  
C = 0.1uF.  
R = 100ohm(Min.)  
X Bit = 任意です。

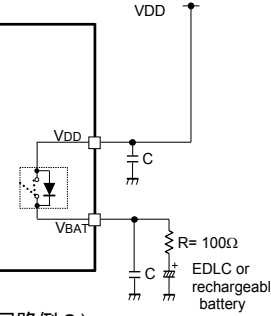


Figure 8-17. EX.3 (回路例 3)

[Ex-4] 2 次電池の電流制限抵抗が 100Ω より大きい場合。

Ex-3 の場合で電流制限抵抗が 100Ω より大きい場合や、電源切換のタイミングで生じる 1 秒間(Max.) の VBAT 端子と VDD 端子の導通リークが懸念される場合は、VDD 端子にダイオードを挿入して VD へのリーク防止をご検討ください。

Address	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
18h	○	○	○	○	VDET OFF	SWOFF	BKSMP1	BKSMP0
Data	0	0	0	0	1	0	X	X

Parts  
C = 0.1uF. (Max.)  
R = 100ohm(Min.) 100Ω 以上でも問題ありません。  
D = ショットキーバリアタイプ  
X Bit = 不問です。

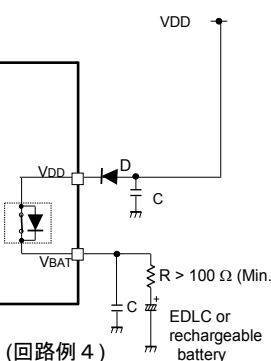


Figure 8-18. EX.4 (回路例 4)



電源切替回路 注意事項

前ページの EX.2 (回路例 2) におきまして、VDD=3.3V CR2032=3.0V と仮定します。  
 RTC 内蔵のダイオードの VF が 0.6V とすると RTC 内の BAT 部で 2.7V です。  
 電池側のダイオードの VF が 0.2V とすると電池電圧は VBAT 部で 2.8V です。

この場合は、VDD が ON 状態でも、わずかでも VBAT 部の電圧が高い CR2032 から常に RTC 電力が消費されてしまいます。  
 このように各電源電圧とダイオードの VF 特性がもたらすバランスにご注意ください。

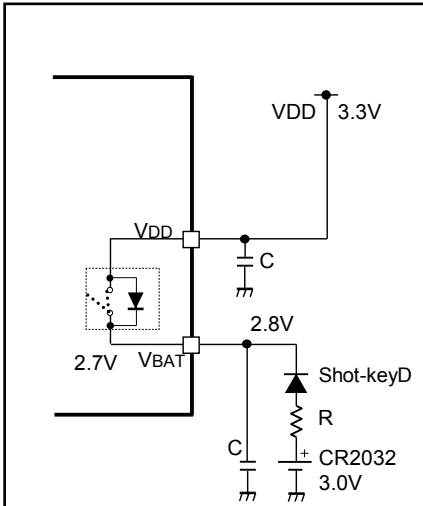


Figure 8-19. EX.5 (回路例 5)

上記のように電池側の電圧が高く電池の消耗を防ぐ VDD 側にショットキーダイオードを設置する方法があります。  
 下図のような外付けダイオードオア回路を構成して内蔵ダイオードの VF をバイパスすると  
 VDD の電圧低下は D2 に依存するため VDD が ON 状態でも電池が消耗してしまう現象の回避検討がしやすくなります。

対策回路例								
外付けのダイオードオア回路構成です。 上記の VF 特性バランスの注意事項にご配慮ください。								
Address 18h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	○	○	○	○	VDET OFF	SWOFF	BKSMP 1	BKSMP0
Data	0	0	0	0	1	0	X	X
Parts	X Bit = 不問です。 C = 0.1uF. R = 100Ω (Min.) D1 & D2 ショットキーバリアタイプ VDD が OFF された時に、電池から 0.0V の VDD に D2 経由で逆リークする電流量(D2 の IR 特性)をご確認ください。 RTC の消費電流よりも大きなリークが生じる場合があります。							

Figure 8-20. EX.6 (回路例 6)

8.9. データの リード/ライト

8.9.1. I<sup>2</sup>C-BUS の特性

I<sup>2</sup>C -BUS は 2 線式の双方向通信です。

信号線は、SDA（データライン）と SCL（クロックライン）とで構成されており、両ラインとも、プルアップ抵抗を介して VDD ラインに接続します。

複数のデバイスの AND 接続を実行するために、I<sup>2</sup>C-BUS につながる全てのポートは オープンドレイン またはオープンコレクタでなければなりません。 I<sup>2</sup>C-Bus は、NXP Semiconductors の商標です。

8.9.2. ビット転送

SCL ラインの 1 クロックパルス毎に 1 ビットのデータ転送を行います。送信時、SDA ライン上のデータ変更は SCL ラインが LOW の区間で行います。受信側では、SCL ラインが HIGH の区間でデータを取り込みます。

8.9.3. 開始条件と停止条件

I<sup>2</sup>C-BUS が非通信状態の時、2 本のラインは HIGH を保っています。この時、SDA が HIGH から LOW に変化した状態を、通信の"開始条件"と定義します。この後、データ転送を行います。さらに、SCL が HIGH の時、SDA が LOW から HIGH に変化した状態を、通信の"停止条件"と定義します。

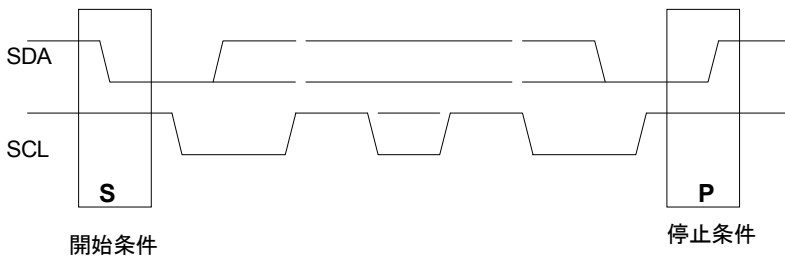
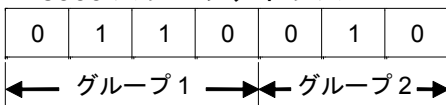


Figure 8-21. I2C バススタート/ストップ条件

8.9.4. スレーブアドレス

I<sup>2</sup>C-BUS デバイスは、通常のロジックデバイスが有するチップセレクト端子を持ちません。全ての I<sup>2</sup>C-BUS デバイスは、機種ごとにユニークなデバイスナンバが内部にあらかじめ固定記憶されています。I<sup>2</sup>C-BUS デバイスのチップセレクトは、通信開始時にこのデバイスナンバを I<sup>2</sup>C-BUS によりスレーブアドレスとして送信することによって行います。受信デバイスは、スレーブアドレスが一致した場合のみ、その後の通信に反応します。スレーブアドレスは、4 ビットの固定値によるグループ 1 と 3 ビットからなるグループ 2 の合計 7 ビットからなります。RA8900 ではグループ 1 が"0110"、グループ 2 が"010"です。

RA8900 スレーブアドレス



\*通信時には、スレーブアドレスと共に R/W( リードライト )ビットを付加した 8 ビットデータを送信します。



0; 書き込みモード  
1; 読み出しモード

Figure 8-22. I2C スレーブアドレス

## 8.9.5. システム構成

メッセージの送受信を制御するデバイスを"マスタ"、マスタによって制御されるデバイスを"スレーブ"と定義します。また、メッセージを送信するデバイスを、"トランスミッタ"、メッセージを受信するデバイスを"レシーバ"と定義します。RA8900の場合、CPU等のコントローラがマスタ、RA8900がスレーブとなります。トランスミッタ、レシーバには双方とも成り得ます。

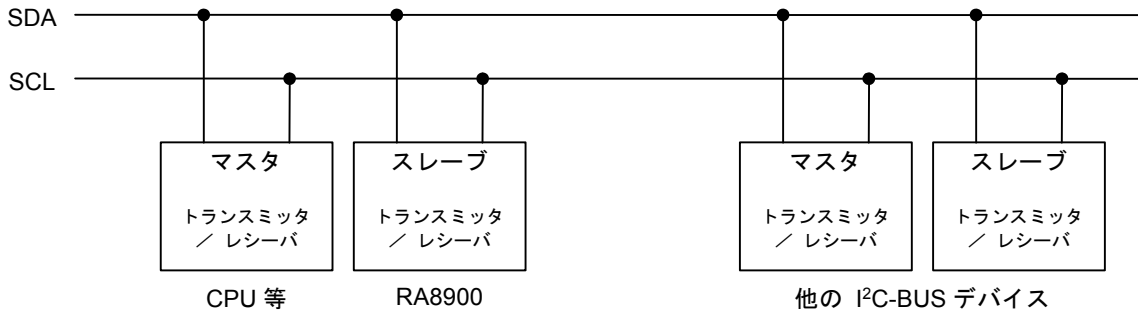


Figure 8-23. I2Cバス接続

## 8.9.6. アクノリッジ

開始条件と停止条件との間で転送するデータのバイト数に制限は有りません。

この時、1バイトの転送毎に、レシーバ(受信側)は、トランスミッタ(送信側)に対し、アクノリッジビットというデータの受信確認のビットを生成します。

アクノリッジビットはLOWアクティブですから、トランスミッタはSDAラインをHIGHにし、アクノリッジビット用のクロックを送出します。

レシーバは、それまでにトランスミッタから送られた8ビットのデータを正しく受け取ってれば、最終ビット用のクロックが終了した時点でSDAラインをLOWにします。I<sup>2</sup>C-BUSラインはプルアップされているので、トランスミッタ側のSDAラインもLOWになります。ここで、トランスミッタはアクノリッジが返って来たことを確認し、次のデータを送信します。レシーバは、アクノリッジビット用のクロックが終了した時点で、SDAラインをHIGH(開放)にして次のデータ受信に備えます。

マスタがトランスミッタの時は、レシーバからのアクノリッジ確認後、次のデータ送受信をせずに停止条件を生成すれば、通信を正常終了することができます。マスタがレシーバの時は、アクノリッジビットを"1"として送出した後、停止条件を生成すれば通信を正常終了することができます。

## 8.9.7. チップアクセスホールド機能

シリアル通信中に時刻更新が起こった場合は、時刻更新前のデータと時刻更新後のデータが混在して、不整合な時刻データが読み出されたり、意図しない書き込みが行われたりする場合があります。

RA8900は、このような不整合なデータ生成を防止するために、以下のリカバリ機能を備えています。

- START条件受信後、スレーブアドレスが一致すると、時刻更新は一時的にホールドされて、安定したデータ通信を可能にし、再START条件かSTOP条件の受信でホールドは解除されます。
- このホールド中に発生した秒の更新は内部で1回まで記憶されており、I<sup>2</sup>C通信完了後に、自動追加補正されます。
- また、アクセス時間の監視タイマーにより、2回以上の秒補正が必要になる前に、自ホールドが解除されて、時刻更新が再開されます。同時に、I<sup>2</sup>Cバスインターフェースは初期化されます。

以上のシーケンスで、万が一、長時間のアクセス中断が起こった場合でも、正確な時刻の計時とともに、新たなデータ通信に正しく応答するようにリカバリされます。

## ※アドレスオートインクリメント機能のアドレス循環

アドレスオートインクリメントを用いて連続アクセスすると

以下のようにアドレス上位4ビット固定の中で自動インクリメントされます。

START , , , 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, , , 08, 09, 0A, , , 0E, 0F, 00, 01, 02, , ,

START , , , 1A, 1B, 1C, 1D, 1E, 1F, 10, 11, 12, 13, , , 18, 19, 1A, , , 1E, 1F, 10, 11, 12, , ,

8.9.8. I<sup>2</sup>C-BUS プロトコル

以下に、マスタを CPU、スレーブを RA8900 と想定して通信手順を記します。

## ① アドレス指定の書き込み手順

RA8900 はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、RA8900 の受け取りアドレスは 1 バイト毎に加算されます。

- (1) CPU が開始条件を送信。
- (2) CPU が 8900 のスレーブアドレス、及び R/W ビットを書き込みモードで送出。
- (3) 8900 からのアクノリッジ確認。
- (4) CPU が 8900 へ書き込むアドレスを送出。
- (5) 8900 からのアクノリッジ確認。
- (6) CPU が(4)で指定したアドレスへ書き込むデータを送出。
- (7) 8900 からのアクノリッジ確認。
- (8) 必要に応じ(6)(7)のくり返し。アドレスは RA8900 内部でオートインクリメント。
- (9) CPU が停止条件を送出。

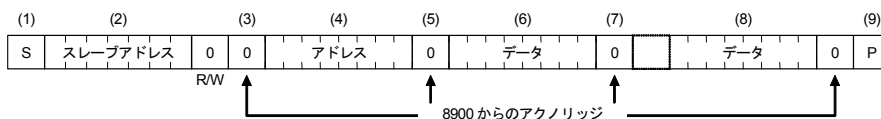


Figure 8-24. I2C バスアドレス指定書き込み

## ② アドレス指定の読みだし手順

書き込みモードによって、リードするアドレスをライトした後、読みだしモードを設定して、データをリードします。

- (1) CPU が開始条件を送出
- (2) CPU が RA8900 のスレーブアドレス、及び R/W ビットを書き込みモードで送出。
- (3) 8900 からのアクノリッジ確認。
- (4) CPU が RA8900 から読みだすアドレスを送出。
- (5) 8900 からのアクノリッジ確認。
- (6) CPU が開始条件を送信 ( 停止条件は送信しない )。
- (7) CPU が RA8900 のスレーブアドレス、及び R/W ビットを読み出しモードで送出。
- (8) 8900 からのアクノリッジ確認 (ここから、CPU がレシーバ、8900 がトランスマッタとなる)。
- (9) 8900 から(4)で指定したアドレスのデータが出る。
- (10) CPU が RA8900 へアクノリッジ送出。
- (11) 必要に応じ、(9)(10)のくり返し。読みだしアドレスは RA8900 内部でオートインクリメント。
- (12) CPU が"1"のアクノリッジを出す。
- (13) CPU が停止条件を送出。

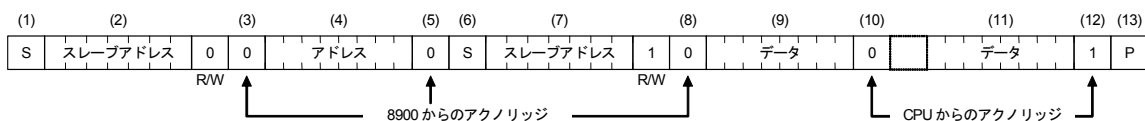


Figure 8-25. I2C バスアドレス指定読み出し

## ③ アドレス指定しない読み出し手順

最初に読みだしモードを設定することで、その後すぐにデータをリードできます。この場合のアドレスは、前回のアクセスで終了したアドレス+1 となります。

- (1) CPU が開始条件を送出。
- (2) CPU が RA8900 のスレーブアドレス、及び R/W ビットを読み出しモードで送出。
- (3) RA8900 からのアクノリッジ確認 (以降、CPU がレシーバ、RA8900 がトランスマッタとなる)。
- (4) RA8900 から、前回のアクセスにおける最終アドレス+1 のデータが出る。
- (5) CPU が RA8900 へアクノリッジ送出。
- (6) 必要に応じ、(4)(5)のくり返し。読み出しアドレスは RA8900 内部でオートインクリメント。
- (7) CPU が"1"のアクノリッジを出す。
- (8) CPU が停止条件を送出。

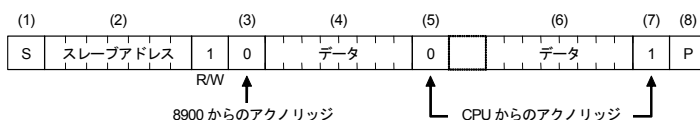


Figure 8-26. I2C バスアドレス指定なし読み出し

8.10. 電源初期投入およびバックアップへの移行、復帰

- ※ 本規格に対するバックアップ期間は電源に対するノイズ特性を示すものではありません。バックアップ期間は十分に長い時間とします。(60秒以上)
- ※  $tR1$  はパワーオンリセットを有効とするための制限事項です。本規格を満足できない場合には、パワーオンリセットが正常に動作しない可能性があるため、必ず、ソフトウェアでICの初期設定を行ってください。
- ※ パワーオンリセットはVDET系CR回路で構成されているため短時間の電源ON/OFFでは動作不十分となることがあります。確実にパワーオンリセットを有効とするためには、VBAT電源OFF後、 $VBAT=VDD=VSS$ の状態を10秒以上確保してください。またはソフトウェアによる初期設定を行ってください。
- ※ I2C通信中にコントローラがダウンしてRX8900がバックアップに移行する際は、RX8900にSTOP条件を送信して通信終了状態にすることで電圧低下時の不安定な信号による想定外のデータ書き込み等のリスクが抑制されます。

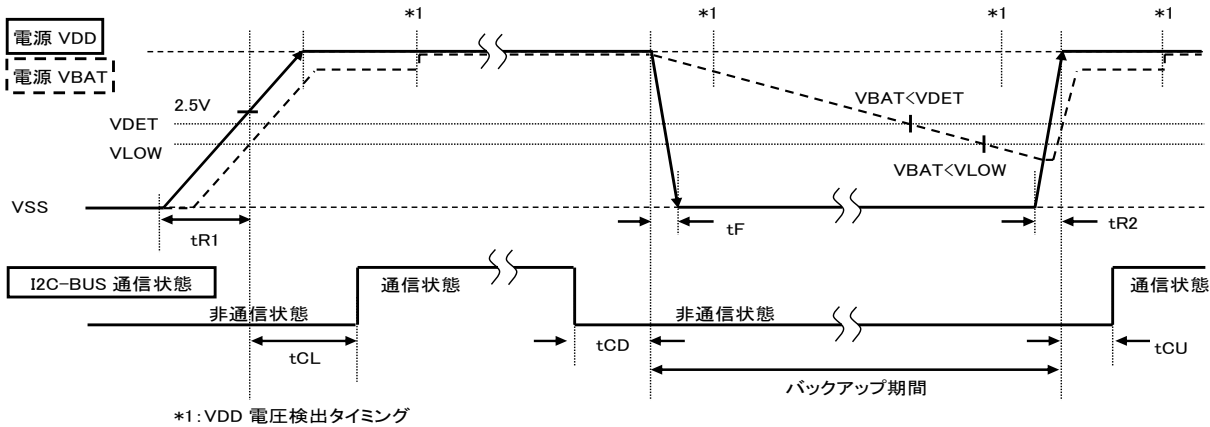


Figure 8-27. VDD 電源投入タイミング

Table 8-41. 電源投入特性

※特記無き場合、 $VSS = 0V$ ,  $VDD = 2.5V \sim 5.5V$ ,  $Ta = -40^\circ C \sim +85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧検出電圧(1)	VDET	-	1.9	1.95	2.0	V
電源電圧検出電圧(2)	VLOW	-	1.16	-	1.6	V
電源電圧検出電圧(3)	VDET3	-	2.3	2.4	2.5	V
電源立上時間 1	$tR1$	$VSS$ から $VDD=2.5V$ 到達までの $VDD$ 立上り時間	1	-	10	ms / V
電源投入後 非通信時間	$tCL$	$VDD=2.5V$ 到達以後の非通信状態を維持する時間	30	-	-	ms
電源降下前 非通信時間	$tCD$	$VDD$ をバックアップ電圧に移行させる前の非通信状態を維持する時間	0	-	-	$\mu s / V$
電源降下時間	$tF$	$VDD$ をバックアップ電圧に移行させる時間	2	-	-	$\mu s / V$
電源立上時間 2 *	$tR2$	$VDD$ を動作電圧まで復帰させる時間	15	-	-	$\mu s / V$
電源復帰後 非通信時間	$tCU$	$VDD$ 電源復帰後の非通信状態を維持する時間	0	-	-	$\mu s$

\* :  $tR2$  は発振が停止しないことを前提としています。FOUT 出力時には FOUT のクロックが数クロック抜けることがあります。

【電源切換機能使用時の注意事項】

電源切換機能を使用するにあたり、以下の項目に対して注意が必要です。

- ・バックアップ時は  $VDD=0V$  にしてください。  
 $VDD$  レベルが動作電源電圧(2)  $V_{ACCSW}$  以下の時は、入出力回路に不要な電流が流れる可能性があります。通常動作からバックアップ移行時は、速やかに  $VDD=0V$  に設定してください。また、バックアップからの復帰時も、速やかに所望  $VDD$  レベルに設定してください。
- ・VBAT 端子と外部バッテリー(2次電池)間に、VBAT-VDD 間の電流制限用の抵抗を設けてください。

- ・通常動作から  $V_{DD}=0V$  になったとき、次の  $V_{DD}$  電圧検出期間まで、 $V_{BAT}-V_{DD}$  間 PMOS スイッチはオン状態を保持します。 $V_{DD}$  電圧検出は 1 秒毎の間欠動作なので、最大約 1 秒間  $V_{BAT}-V_{DD}$  間が短絡状態になります。

### 8.11. 電源初期投入時 および バックアップ復帰時のアクセス制限

- ・ RTC レジスタの多くは内蔵水晶振動子の発振クロックに同期して機能しますので、内部発振が無い状態では、正常な動作ができません。

そのため、電源初期投入時 および バックアップ復帰異常時 (電圧低下などが原因で、発振が停止していた状態)からの電源電圧復帰時の初期設定は、発振開始時間経過後に行うことを推奨します。

- ・電源初期投入時 および バックアップ状態からの電源電圧復帰時 (以降、[動作電圧移行時]とする)のアクセス動作は、次の点に注意してください。

1) バックアップからの復帰時は、最初に VLF-bit (バックアップ電圧低下記録ビット) を読み出してください。

2) VLF-bit の読み出し結果が  $VLF = "1"$  (電圧低下記録) のときは、全てのレジスタの初期設定が必要です。

$VLF = "1"$  のときの初期設定は、内部発振が安定する 発振開始時間 ( $t_{STA}$ ) 経過後に行うことを推奨します。

VLF-bit が "1" で読み出された原因は次のとおりで、いずれの場合も初期設定が必要です。

状態 1) 初期電源投入時 Cold Start.

状態 2) バックアップ中に、水晶発振が維持できないような電圧低下が発生した。

- \* 初期電源投入時 および 計時保持電圧以下から電源電圧復帰したときのアクセス可能タイミング  
初期電源投入時、および計時保持電圧以下からの電源復帰時は、計時電源電圧下限値 ( $V_{DD} = 1.6V$ ) 到達後 30[ms] 経過するまではアクセス禁止です。  
但し、時計カウンタなど、水晶発振クロックに依存するデータへのアクセスは、 $t_{STA}$  時間後に行ってください。

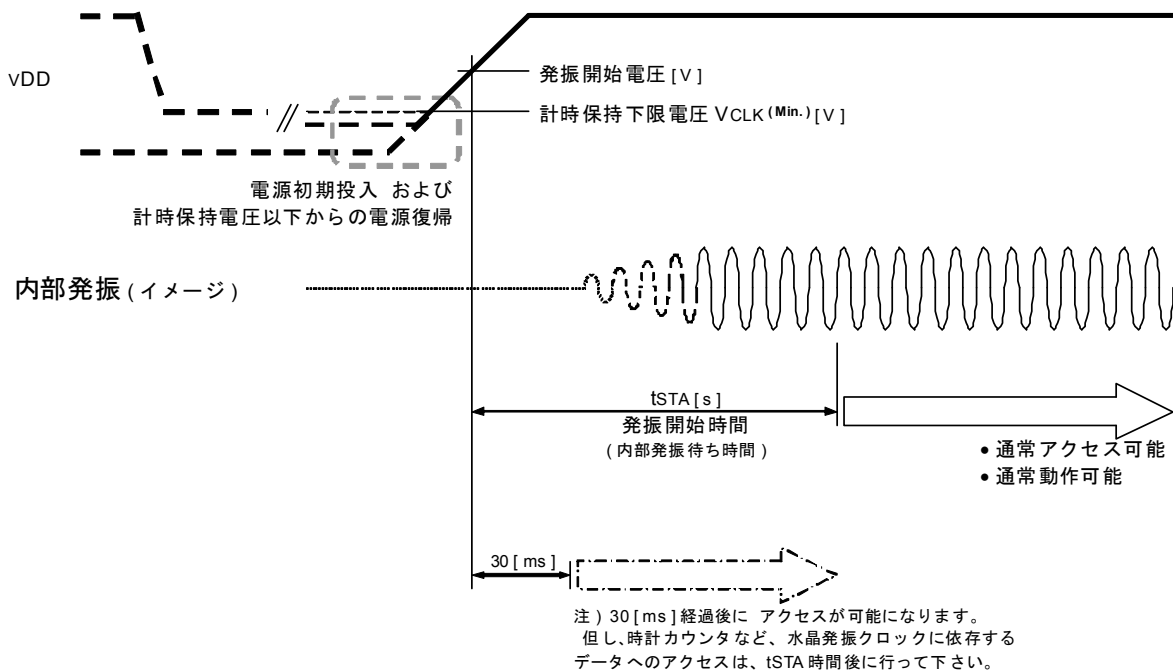


Figure 8-28. 発振開始シーケンス

3) VLF-bit の読み出し結果が  $VLF = "0"$  (正常状態) の場合は、発振開始時間を待たずに アクセス可能です。

RA8900 の I2C インターフェースは、内蔵水晶発振が停止状態でも正常動作いたします。

## 8.12. フローチャート

- 以下のフローチャートは 一例です。
- \* わかりやすさを優先した記載にしていますので、非効率な部分があります。
- \* より効率的な処理を行いたいときは、いくつかの処理を同時に行っていただくことや、操作手順を入れ替えても問題無い部分などを確認調整ください。(記載内容の中には、使用状況によっては 必要のない処理もあります)
- \* 期待通りの動作を行うためには、必ず 使用条件(使用環境)に合わせた調整をお願いいたします。

## 1) 初期化例

## 例 1

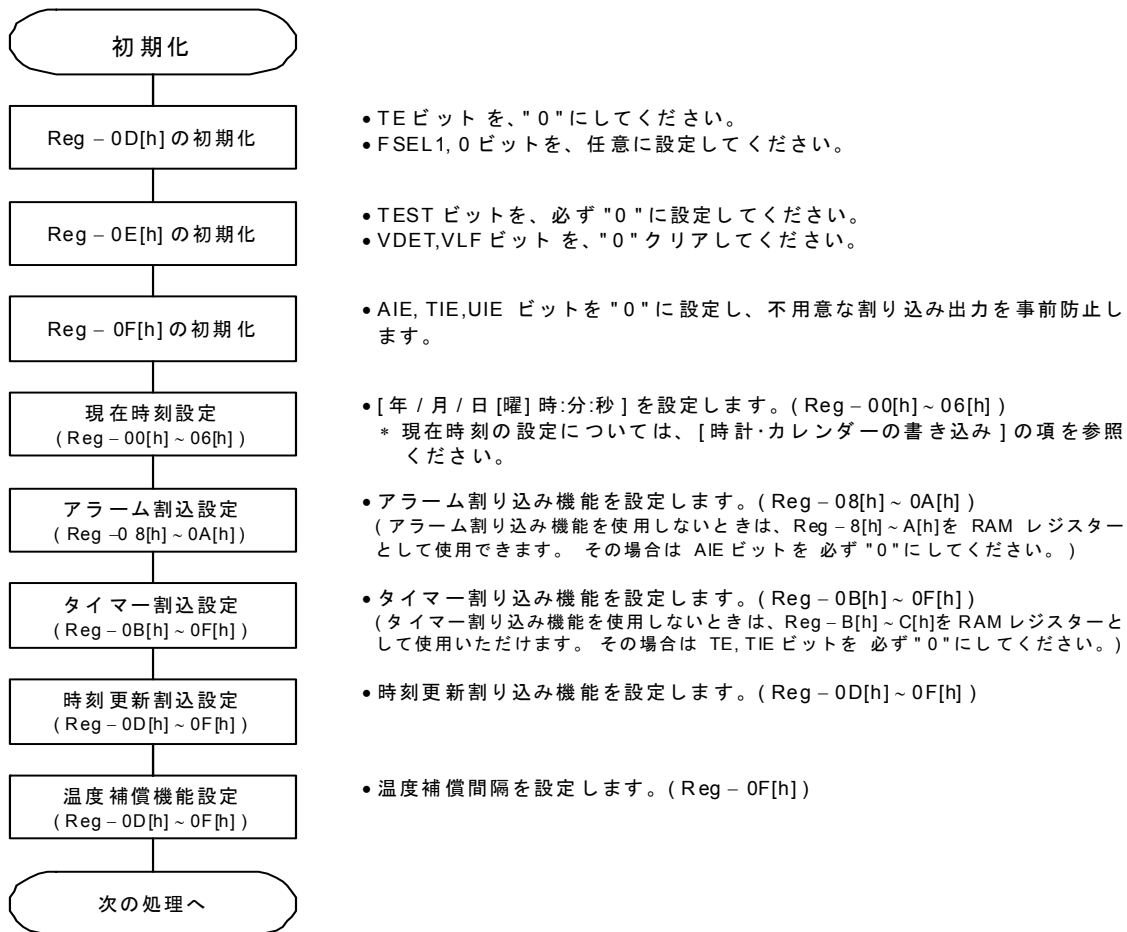


Figure 8-29. 初期化フローチャート例

例 2 時計機能のみ使用する場合の初期化例

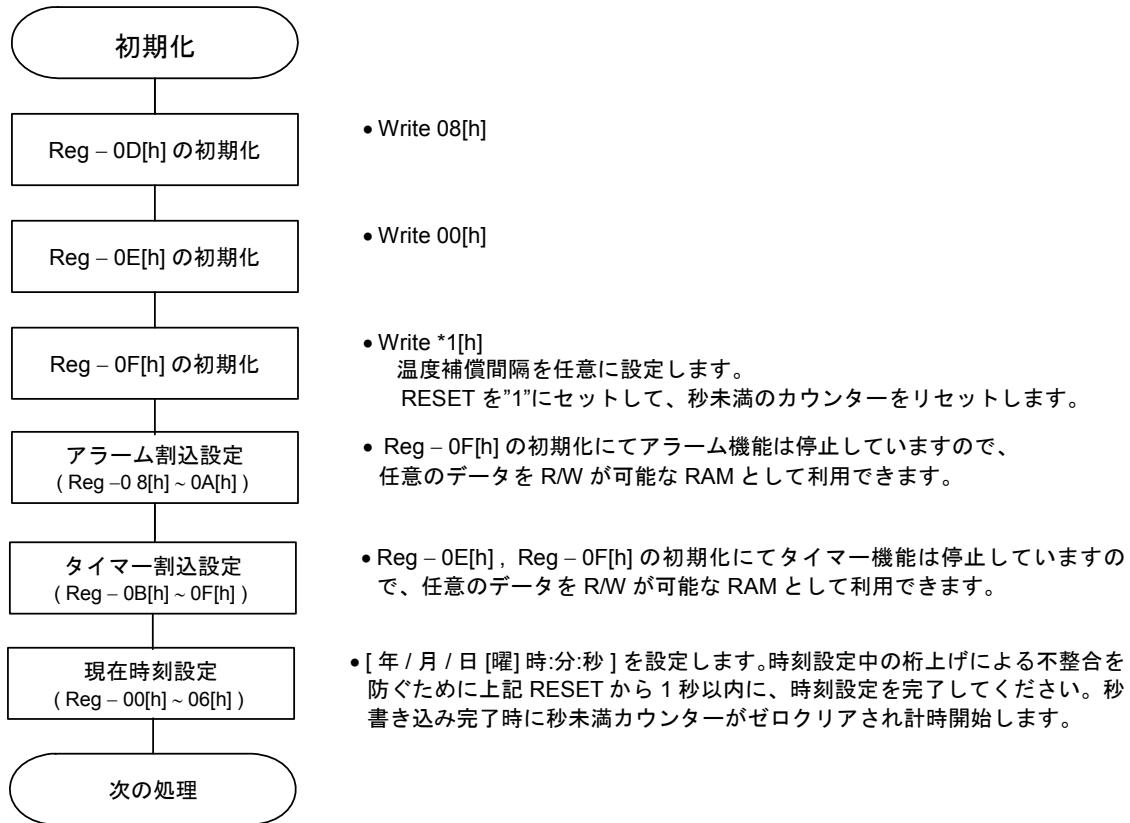


Figure 8-30. 時計機能初期化フローチャート例

2) 電源投入時の処理例

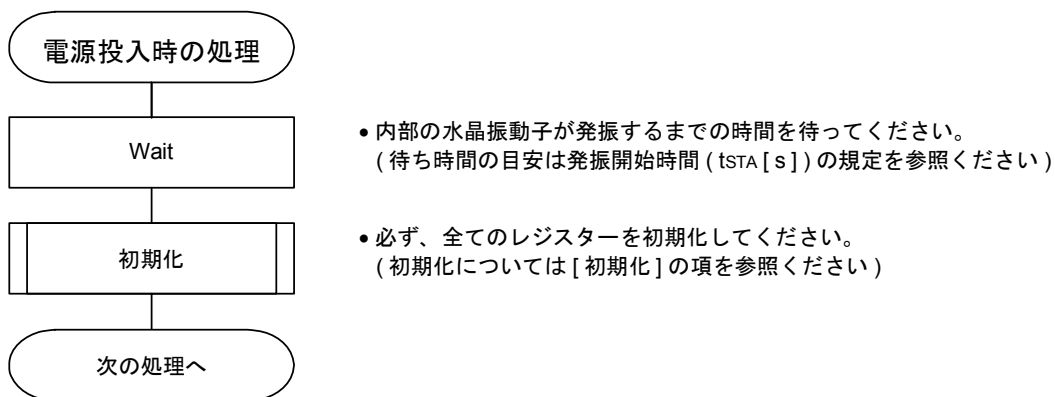


Figure 8-31. 電源投入時初期化フローチャート例



3) バックアップ状態から復帰したときの処理例

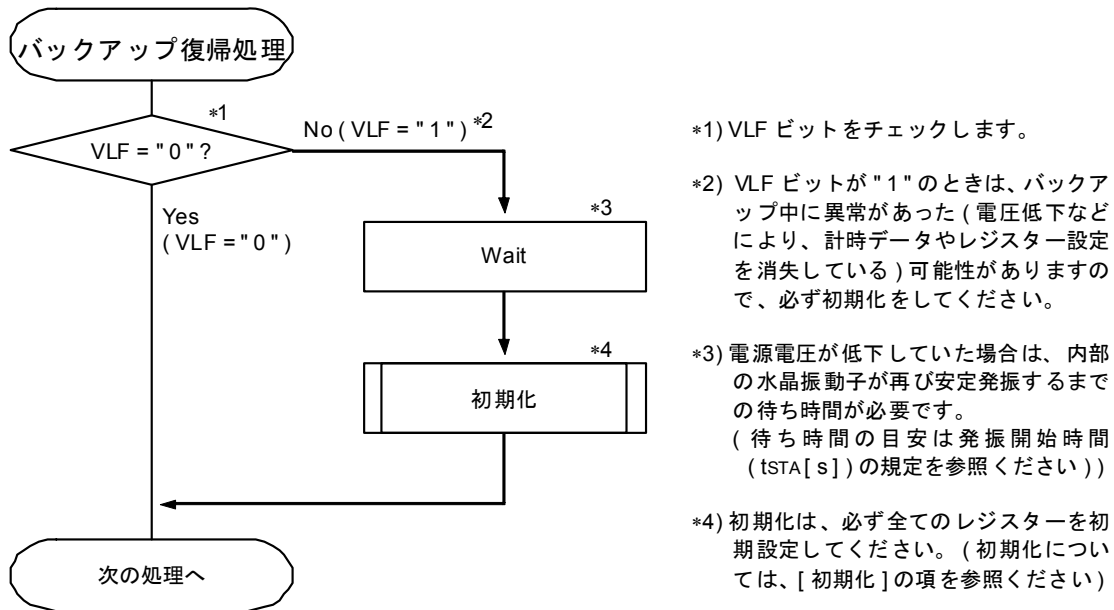


Figure 8-32. バックアップモードから復帰したときのフローチャート例

4) 時計・カレンダーの書き込み例

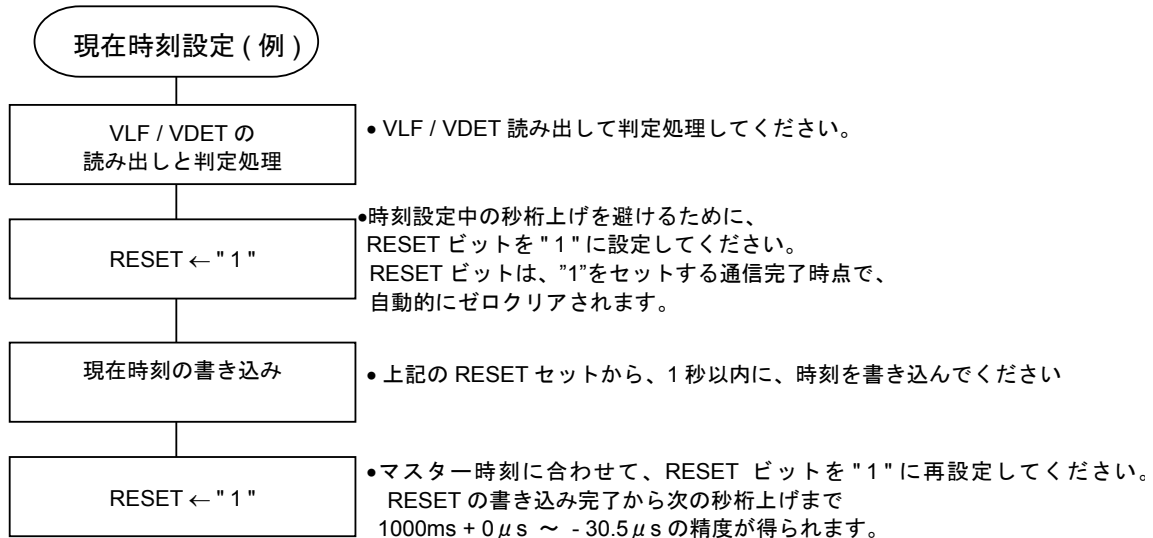


Figure 8-33. 時計・カレンダー書き込みフローチャート例

5) 時計・カレンダーの読み出し例

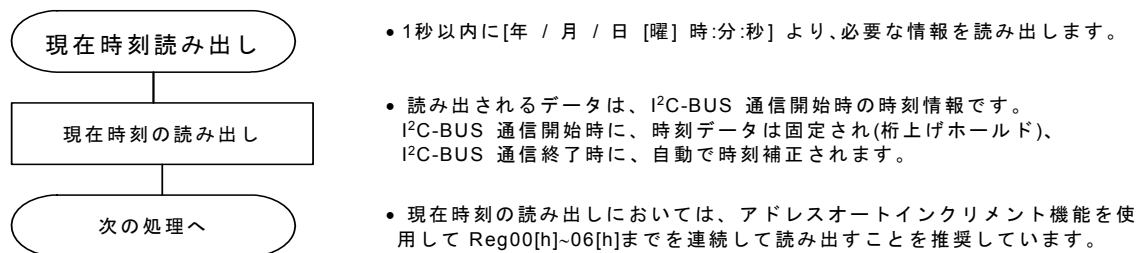


Figure 8-34. 時計・カレンダー読み出しフローチャート例

8.13. 一般的なマイコンとの接続

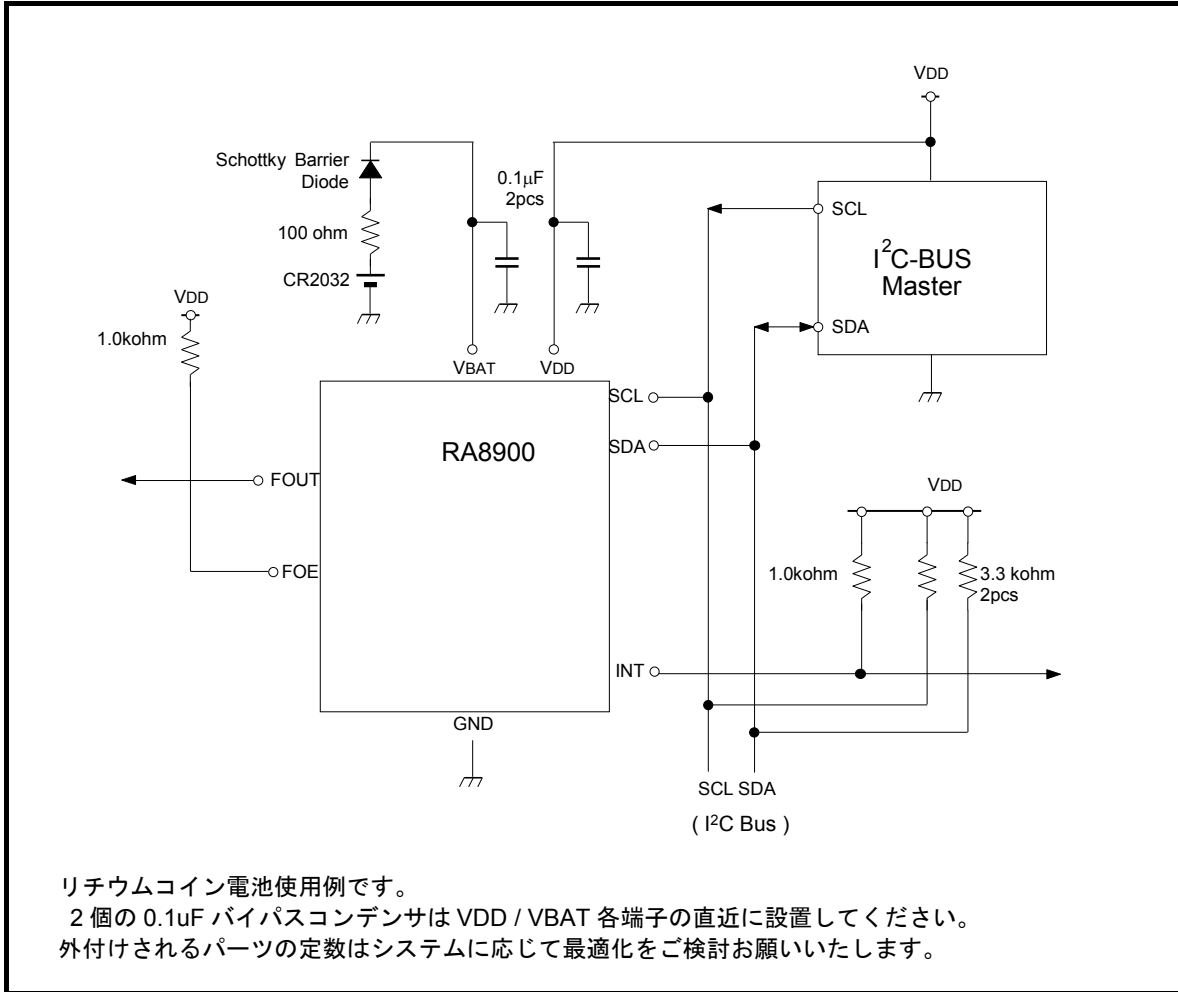


Figure 8-35. 一般的なマイコンとの接続例

8.14. 発振器 ( 32 kHz-DTCXO ) としての使用

以下の端子接続例で RA8900 を温度補償された高精度発振器( 32 kHz-DTCXO ) として使用できます。

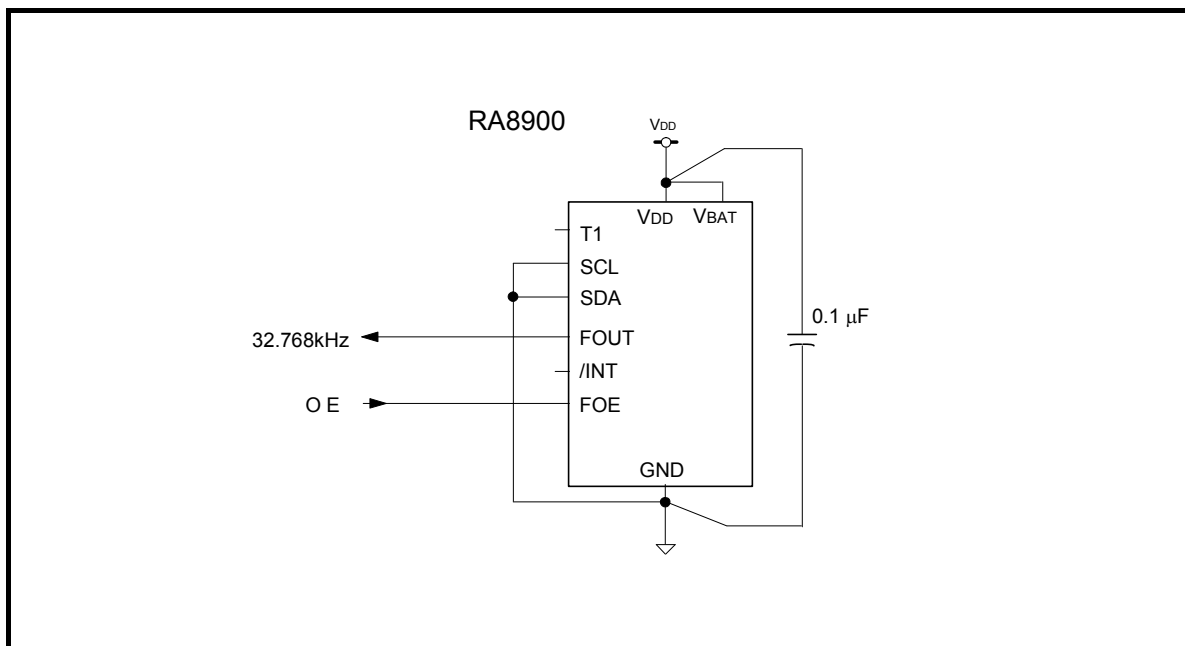


Figure 8-36. 32kHz 発振器として利用する場合の接続例

9. 外形寸法図 / マーキングレイアウト

9.1. RA8900CE

9.1.1. CE 外形寸法図

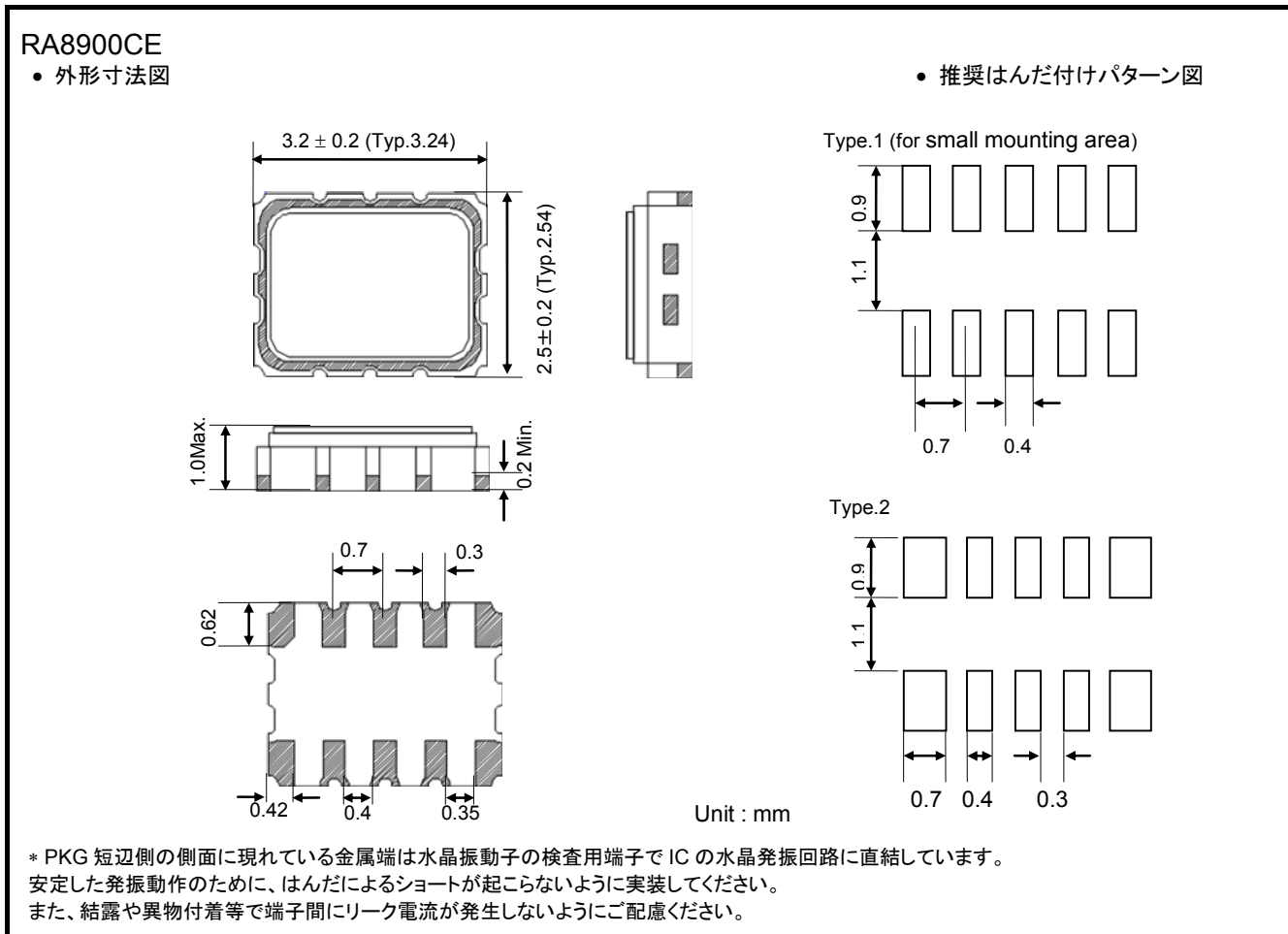


Figure 9-1. CE 外形寸法図

9.1.2. CE マーキングレイアウト

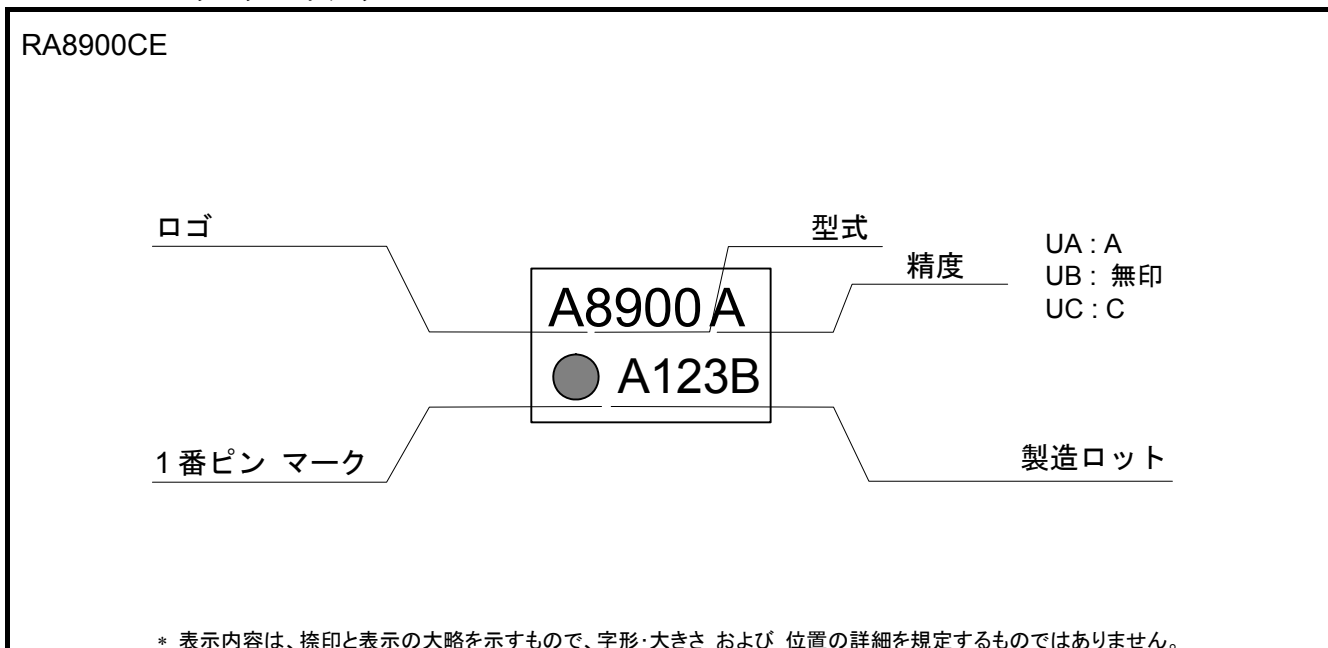


Figure 9-2. CE マーキングレイアウト

## 10. 使用上の注意事項

## 1) 取り扱い上の注意事項

- 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。  
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

## (1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および 運搬容器には導電性の物を使用してください。  
はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

## (2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ現象等による破壊の原因となることがあります。  
安定動作のため、本モジュールの電源端子 (VDD - GND 間、VBAT - GND 間) の極力近い場所に、0.1  $\mu$ F 以上のパコン (セラミックを推奨) を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないでください。

## (3) 入力端子の電位

入力端子が中間レベルに電圧固定されると、過大電流や誤動作や素子破壊等の原因になります。  
入力端子電圧は入力電圧仕様の範囲内でご使用ください。

## (4) 未使用入力端子の処理

入力端子の入力インピーダンスは非常に高く、開放状態での使用は過大電流、誤動作、素子破壊などの原因になります。  
未使用の入力端子は GND または VDD に電圧固定してください。

## (5) 保管条件

本製品は JEDEC J-STD-020D.1 Moisture Sensitivity Level 1 相当品です。  
梱包開封後は 温度 +30  $^{\circ}$ C 以下、湿度 85 % 以下の環境にて保管し、また 6 ヶ月以内に実装してください。

## 2) 実装上の注意事項

## (1) はんだ付け温度

パッケージ内部が +260  $^{\circ}$ C を越えまると、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを超えない領域でのご使用を推奨します。ご実装前に必ず実装条件 (温度・時間) をご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。  
※以下の図 に、弊社はんだ耐熱性評価プロファイルを参考掲載します。

## (2) 実装機

汎用実装機の使用が可能ですが、使用機器、条件等によっては実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には必ず貴社にてご確認ください。  
条件変更時も同様の確認をしていただいた後に ご使用ください。  
実装時・作業時には、静電気対策をお願いいたします。

## (3) 超音波洗浄

超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。  
貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

## (4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

## (5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので、洗浄し さらに 乾燥させた後に電源投入を行なってください。

図 1. はんだ耐熱性評価プロファイル (参考)

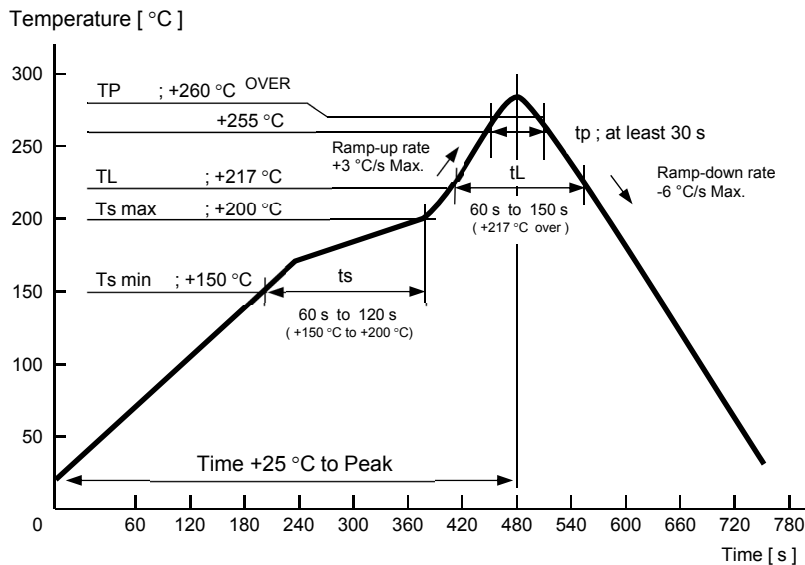


Figure 10-1. はんだ耐熱性評価プロファイル

## 11. Tables and Figures.

## Tables

Table 3-1. 端子機能
Table 4-1. 絶対最大定格
Table 5-1. 推奨動作条件
Table 6-1. 周波数・温度特性
Table 7-1. DC 電気特性
Table 7-2. AC 電気特性
Table 7-3. FOUT デューティ
Table 8-1. 00~1F(17h ~1Ahを除く)
Table 8-2. 17h ~1Ah
Table 8-3 レジスタ default 値
Table 8-4. 計時・カレンダーレジスタ
Table 8-5. WEEK レジスタ
Table 8-6. DAY レジスタ
Table 8-7. アラームレジスタ
Table 8-8. 曜日レジスタ
Table 8-9. タイマーカウンタ
Table 8-10. タイマーソースクロック
Table 8-11. コントロールレジスタ・フラグレジスタ
Table 8-12. USEL ビット
Table 8-13. FSEL ビット
Table 8-14. CSEL ビット
Table 8-15. RESET ビット
Table 8-16. TEMP レジスタ
Table 8-17. バックアップ電源機能設定レジスタ
Table 8-18. アラーム割り込み機能レジスタ
Table 8-19. WADA ビット
Table 8-20. AF ビット
Table 8-21. AIE ビット
Table 8-22. アラーム設定例 1
Table 8-23. アラーム設定例 2
Table 8-24. 定周期タイマー割り込みレジスタ
Table 8-25. TESL ビット
Table 8-26. TE ビット
Table 8-27. TF ビット
Table 8-28. TIE ビット
Table 8-29. タイマー割り込み間隔
Table 8-30. 時刻更新割り込みレジスタ
Table 8-31. USEL ビット
Table 8-32. UF ビット
Table 8-33. UIE ビット
Table 8-34. 温度補償レジスタ
Table 8-35. CSEL ビット
Table 8-36. バックアップ電源切換レジスタ
Table 8-37. バックアップ電源切換レジスタセッティング
Table 8-38. Diode 特性
Table 8-39. 電源電圧監視期間トレードオフ
Table 8-40. バックアップモード時の各機能
Table 8-41. 電源投入特性

## Figures

Figure 2-1. ブロック図
Figure 3-1. 端子配置図
Figure 7-1. 温度補償回路動作、消費電流
Figure 7-2. I2C バスタイミングチャート
Figure 8-1. 32768Hz カウンター FOUT
Figure 8-2. アラーム割り込みタイムチャート
Figure 8-3. アラーム割り込みブロック図
Figure 8-4. 定周期タイマーのカウントダウンスタート誤差
Figure 8-5. 定周期タイマースタートタイミング
Figure 8-6. 定周期タイマータイミングチャート
Figure 8-7. 定周期タイマーブロック図
Figure 8-8. 時刻更新割り込みタイミングチャート
Figure 8-9. 時刻更新割り込みブロック図
Figure 8-10. バックアップ電源切換機能ブロック図
Figure 8-11. バックアップ電源切換モード遷移
Figure 8-12. 電源切換機能タイミングチャート
Figure 8-13. 電圧低下検出例 1
Figure 8-14. 電圧低下検出例 2
Figure 8-15. Ex-1 (回路例 1)
Figure 8-16. Ex-2 (回路例 2)
Figure 8-17. Ex-3 (回路例 3)
Figure 8-18. Ex-4 (回路例 4)
Figure 8-19. Ex-5 (回路例 5)
Figure 8-20. Ex-6 (回路例 6)
Figure 8-21. I2C バススタート/ストップ条件
Figure 8-22. I2C スレーブアドレス
Figure 8-23. I2C バス接続
Figure 8-24. I2C バスアドレス指定書き込み
Figure 8-25. I2C バスアドレス指定読み出し
Figure 8-26. I2C バスアドレス指定なし読み出し
Figure 8-27. VDD 電源投入タイミング
Figure 8-28. 発振開始シーケンス
Figure 8-29. 初期化フローチャート例
Figure 8-30. 時計機能初期化フローチャート例
Figure 8-31. 電源投入時初期化フローチャート例
Figure 8-32. バックアップモードから復帰したときのフローチャート例
Figure 8-33. 時計・カレンダー書き込みフローチャート例
Figure 8-34. 時計・カレンダー読み出しフローチャート例
Figure 8-35. 一般的なマイコンとの接続例 (電源切換機能を使用しない場合)
Figure 8-36. 32kHz 発振器として利用する場合の接続例
Figure 9-1 CE 外形寸法図、推奨半田付けパターン図
Figure 9-2. CE マーキングレイアウト
Figure 10-1. はんだ耐熱性評価プロファイル

# Application Manual

## セイコーエプソン株式会社

〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F  
TEL (06) 7711-6770 (代表) FAX(06) 7711-6771

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F  
TEL (052) 205-8431 (直通) FAX (052) 231-2537

インターネットによる情報配信

[www5.epsondevice.com/ja/](http://www5.epsondevice.com/ja/)

代理店 \_\_\_\_\_