

アプリケーションマニュアル

Real Time Clock Module

RX-4571LC

エプソントヨコム株式会社

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

- 1) 本マニュアルの内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
- 2) 本マニュアルの一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 3) 本マニュアルに記載された応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。
また、本カタログによって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
- 4) 特性表の数値の大小は、数値線上の大小関係で表します。
- 5) 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
- 6) 製品は一般電子機器に使用されることを意図し設計されたものです。
特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得て下さい。
承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等）2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器4 海底中継機器5 発電所制御機器6 防災・防犯装置7 交通用機器
 - 8 その他：1～7と同等の信頼性を必要とする用途
- 7) 製品呼称、識別マークにつきましては順次統合していく予定ですが本マニュアルにおきましては統合前に両社が使用していた呼称、識別マークを継承しています。正式型番、識別マーク等詳細につきましては仕様書等でご確認いただけますようお願いいたします。

本マニュアルに記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

目次

1. 概要.....	1
2. ブロック図.....	1
3. 端子説明 (端子配置 / 端子機能)	2
4. 外形寸法図 / マーキングレイアウト	3
5. 絶対最大定格.....	4
6. 推奨動作条件.....	4
7. 周波数特性.....	4
8. 電気的特性	5
9. 使用上の注意事項	7
9.1. 電源投入時の VDD と CE のタイミング	7
9.2. バックアップへの移行 および 復帰.....	7
9.3. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限	8
10. 参考資料	9
10.1. 参考データ	9
10.2. 外部接続例.....	9
11. 取り扱い上の注意事項	10
12. 機能概要 および レジスタテーブル.....	11
12.1. 機能概要	11
12.2. レジスタテーブル.....	12
13. 使用方法	13
13.1. レジスタ説明	13
13.2. 定周期タイマ割り込み機能.....	19
13.3. アラーム割り込み機能.....	23
13.4. 割り込み機能動作時の /IRQ " L " 割り込み出力に関して	26
13.5. FOUT 機能 (クロック出力機能)	27
13.6. フローチャート	29
13.7. データのリード / ライト および カレンダー設定時の注意事項	32

低電圧計時保持

シリアルインタフェース リアルタイムクロックモジュール

RX – 4571 LC

- 32.768 kHz 水晶振動子 (周波数精度 調整済み) を内蔵。
- インタフェース方式 : 3 線式シリアルインタフェース
- インタフェース電圧範囲 : 1.6 V ~ 5.5 V
- 計時 (保持) 電圧範囲 : 1.0 V ~ 5.5 V / Ta = +25 °C
- バックアップ時消費電流 : 320 nA (Typ.) / 3 V
- 32.768 kHz 出力機能 : C-MOS 出力
- リアルタイムクロック機能
時計・カレンダー機能, 自動うるう年補正機能, アラーム割り込み機能, 定周期タイマ割り込み機能 等

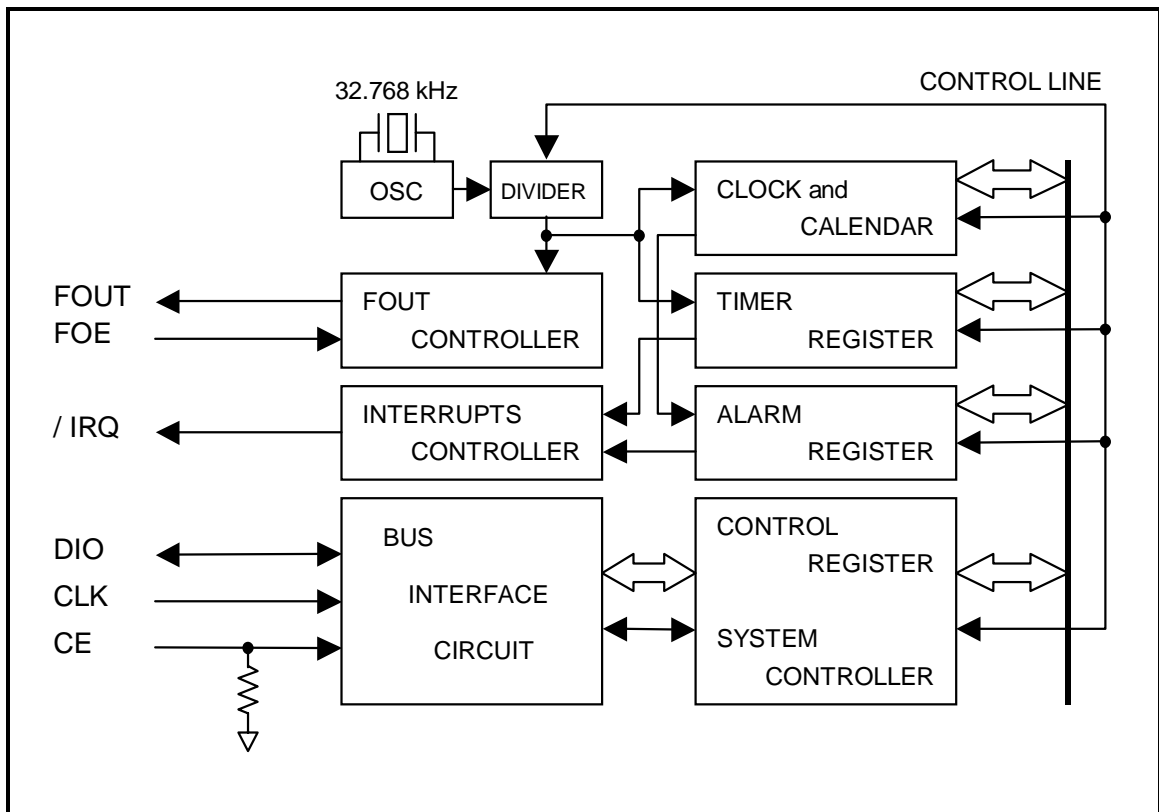
1. 概要

本製品は、32.768 kHz の水晶振動子を内蔵した 3 線式シリアルインタフェース方式のリアルタイムクロック・モジュールです。

年, 月, 日, 曜日, 時, 分, 秒のカレンダー・時計カウンタをはじめ、時刻アラーム割り込み機能, 定周期タイマ割り込み機能などを内蔵しています。

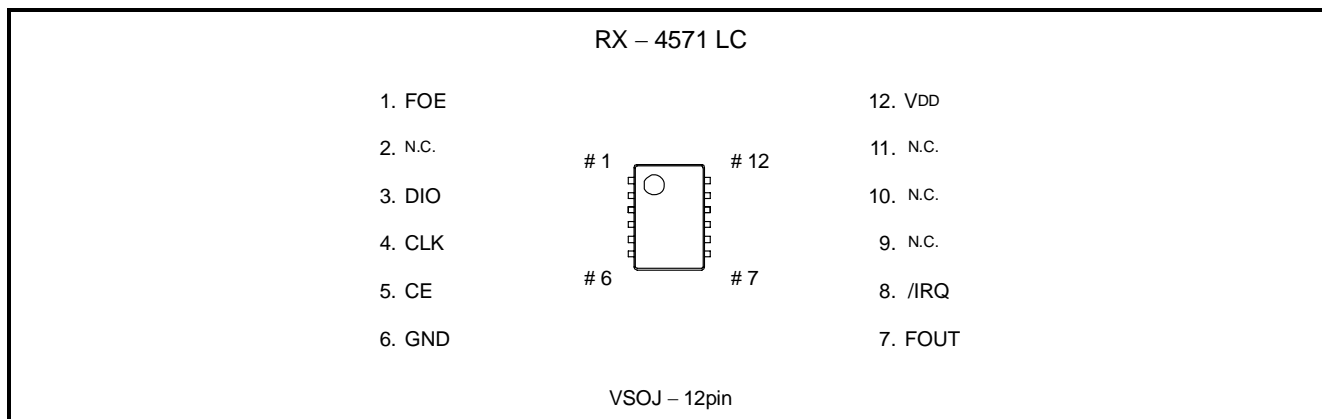
デバイスは C-MOS プロセスによる低消費電流となっておりますので、長期間におけるバッテリーバックアップが必要とされる 各種携帯電話, ハンディターミナル, その他の小型電子機器等の用途に最適です。

2. ブロック図



3. 端子説明 (端子配置 / 端子機能)

3.1. 端子配置



3.2. 端子機能

端子名	入出力	機 能																						
CE	入力	CE 入力端子は、チップイネーブル入力端子です。ブルダウン抵抗を内蔵しています。 CE 端子が "H" レベルのとき、本製品へのアクセスが可能になります。 CE 端子が "L" レベルのとき、本製品は非選択状態になります。そのときの DIO 入出力端子はハイインピーダンスとなり、また CLK 入力端子は 入力受付禁止状態になります。																						
CLK	入力	CLK 入力端子は、シリアルデータ転送時の シフトクロック入力端子です。 ライトモード時は、CLK 信号の立ち上がりエッジで DIO 端子からデータを取り込みます。またリードモード時は、立ち下がりエッジで DIO 端子からデータを出します。																						
DIO	双方向	DIO 入出力端子は、シリアルデータ転送時の データ入出力端子です。																						
FOUT	出力	FOUT 端子は、出力制御付きのクロック出力端子 (C-MOS 出力) です。 FOE 端子は、FSEL1 ビット、FSEL0 ビットと組み合わせることで FOUT 出力端子の出力状態を制御するための入力端子です。 FOE 入力端子、FSEL1 ビット、FSEL0 ビットの組み合わせにより、FOUT 出力端子から 32.768 kHz、1024 Hz、1 Hz を選択出力する または 出力を停止させることができます。 出力停止時の FOUT 出力端子はハイインピーダンスになります。																						
FOE	入力	<table border="1" style="width: 100%; border-collapse: collapse; margin-bottom: 5px;"> <thead> <tr> <th style="width: 15%;">FOE pin input</th> <th style="width: 15%;">FSEL1 bit</th> <th style="width: 15%;">FSEL0 bit</th> <th style="width: 55%;">FOUT pin output</th> </tr> </thead> <tbody> <tr> <td rowspan="3" style="text-align: center;">X (Don't care)</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>32768 Hz Output (C-MOS output)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>1024 Hz Output (C-MOS output)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>1 Hz Output (C-MOS output)</td> </tr> <tr> <td style="text-align: center;">"H"</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>32768 Hz Output (C-MOS output) *</td> </tr> <tr> <td style="text-align: center;">"L"</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>OFF (high impedance)</td> </tr> </tbody> </table> <p style="font-size: small;">* 初期電源投入時 (0V からの電源投入時) に FOE 入力端子 = "H" であったときは、パワーオンリセット機能により 32.768 kHz が選択出力されます。</p>	FOE pin input	FSEL1 bit	FSEL0 bit	FOUT pin output	X (Don't care)	0	0	32768 Hz Output (C-MOS output)	0	1	1024 Hz Output (C-MOS output)	1	0	1 Hz Output (C-MOS output)	"H"	1	1	32768 Hz Output (C-MOS output) *	"L"	1	1	OFF (high impedance)
FOE pin input	FSEL1 bit	FSEL0 bit	FOUT pin output																					
X (Don't care)	0	0	32768 Hz Output (C-MOS output)																					
	0	1	1024 Hz Output (C-MOS output)																					
	1	0	1 Hz Output (C-MOS output)																					
"H"	1	1	32768 Hz Output (C-MOS output) *																					
"L"	1	1	OFF (high impedance)																					
/IRQ	出力	アラーム、インターバルタイマなどの 割り込み信号 ("L" レベル) を出力します。 この端子は、N-ch オープンドレイン出力です。																						
VDD	–	電源のプラス側に接続します。																						
GND	–	グラウンドに接続します。																						
N.C.	–	内部 IC と結線されていません。 OPEN もしくは、GND または VDD と接続してください。																						

注) VDD – GND 間 直近に 0.1 μF 以上のパスコンを必ず接続してください。

4. 外形寸法図 / マーキングレイアウト

4.1. 外形寸法図

RX – 4571 LC (VSOJ – 12pin)

- 外形寸法図
- 推奨はんだ付けパターン図

本製品は、裏面に硝子を使用しております。
(下記注意事項を参照ください)

Unit : mm

注意事項)

本製品は 裏面 (* 部) に硝子を使用しておりますので、次について 十分に配慮いただけますよう お願いいたします。

- 1) 実装機

使用機器, 条件等によっては、実装時の衝撃力により 製品の破壊を招く場合があります。
ご使用前には 必ず、実装時の製品への負荷が極力少なくなる条件 (基板上への搭載速度を遅くする, チャックを弱くする など) を確認していただいてから ご使用ください。 条件変更時も、同様の確認をしていただいてから ご使用ください。
本製品と実装基板の間に異物などがあると、製品の破壊を招く場合があります。 実装時には 異物にも ご注意ください。
- 2) 製品実装後の接着剤の使用禁止

製品を基板実装後に、アンダーフィル等の接着剤が 実装面と製品裏面のガラス面の間に侵入すると、その後、接着剤の熱膨張などにより 硝子が割れる可能性があります。 この場合は、水晶発振が停止しますので、接着剤は ご使用を中止していただくか、本製品に接着剤が接近しないように、実装上の配慮をお願いいたします。

4.2. マーキングレイアウト

RX – 4571 LC (VSOJ – 12pin)

ロゴ

型式

1 番ピン マーク

製造ロット

* 表示内容は、捺印と表示の大略を示すもので、字形・大きさ および 位置の詳細を規定するものではありません。

5. 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
電源電圧	V _{DD}	V _{DD} – GND間	–0.3 ~ +6.5	V
入力電圧	V _{IN}	CE, CLK, DIO, FOE 端子	–0.3 ~ +6.5	V
出力電圧 1	V _{OUT1}	DIO, FOUT 端子	–0.3 ~ V _{DD} +0.3	V
出力電圧 2	V _{OUT2}	/IRQ端子	–0.3 ~ +6.5	V
保存温度	T _{STG}	梱包状態を除く 単品での保存	–55 ~ +125	°C

6. 推奨動作条件

GND = 0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V _{ACC}	–	1.6	3.0	5.5	V
計時電源電圧	V _{CLK}	T _a = +25 °C	1.0	3.0	5.5	V
		T _a = –40 °C ~ +85 °C	1.1	3.0	5.5	V
動作温度範囲	T _{OPR}	結露無きこと	–40	+25	+85	°C

* 計時電源電圧 V_{CLK} の Min. 値は、動作電源電圧 V_{ACC} にて初期設定した後での 計時保持下限値である。

7. 周波数特性

※特記無き場合、GND = 0 V , T_a = +25 °C , V_{DD} = 3.0 V

項目	記号	条件	Min.	Typ.	Max.	Unit
出力周波数	f _o			32.768 (Typ.)		kHz
周波数偏差	Δf / f	T _a = +25 °C V _{DD} = 3.0 V		5 ± 23 ^{(*)1) (*)2)}		× 10 ^{–6}
周波数電圧特性	f / V	T _a = +25 °C V _{DD} = 2.0 V ~ 5.0 V	–2		+2	× 10 ^{–6} / V
周波数温度特性	T _{op}	T _a = –20 °C ~ +70 °C V _{DD} = 3.0 V ; +25 °C 基準	–120		+10	× 10 ^{–6}
発振開始時間	t _{STA}	T _a = +25 °C V _{DD} = 1.6 V		0.5	1.0	s
		T _a = –40 °C ~ +85 °C V _{DD} = 1.6 V			3.0	s
エージング	f _a	T _a = +25 °C , V _{DD} = 3.0 V ; 初年度	–5		+5	× 10 ^{–6} / year

*1) 月差 1 分相当。(オフセット値を除く)

*2) リフロー処理 3 回による 周波数変動分を含む。

* リフロー処理は、弊社条件による。(個別仕様書を参照ください)

8. 電気的特性

8.1. DC 電気的特性

8.1.1. DC 電気的特性 (1)

※特記無き場合、GND = 0 V, V_{DD} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件		Min.	Typ.	Max.	単位
消費電流(1)	I _{DD1}	CE = OPEN (or GND) /IRQ = OFF	V _{DD} = 5 V		0.40	1.00	μA
消費電流(2)	I _{DD2}		FOUT ; 出力 OFF (Hi - z)	V _{DD} = 3 V		0.32	
消費電流(3)	I _{DD3}	CE = OPEN (or GND) /IRQ = OFF, FOE = V _{DD}	V _{DD} = 5 V		3.5	6.0	μA
消費電流(4)	I _{DD4}		FOUT ; 32.768 kHz 出力 ON , C _L = 0 pF	V _{DD} = 3 V		2.0	
消費電流(3)	I _{DD5}	CE = OPEN (or GND) /IRQ = OFF, FOE = V _{DD}	V _{DD} = 5 V		8.0	14.0	μA
消費電流(4)	I _{DD6}		FOUT ; 32.768 kHz 出力 ON , C _L = 30 pF	V _{DD} = 3 V		5.0	
入力 リーク電流	I _{LK}	CE を除く入力端子, V _{IN} = V _{DD} or GND		-0.5		0.5	μA
出力 リーク電流	I _{OZ}	出力端子, V _{OUT} = V _{DD} or GND		-0.5		0.5	μA

8.1.2. DC 電気的特性 (2)

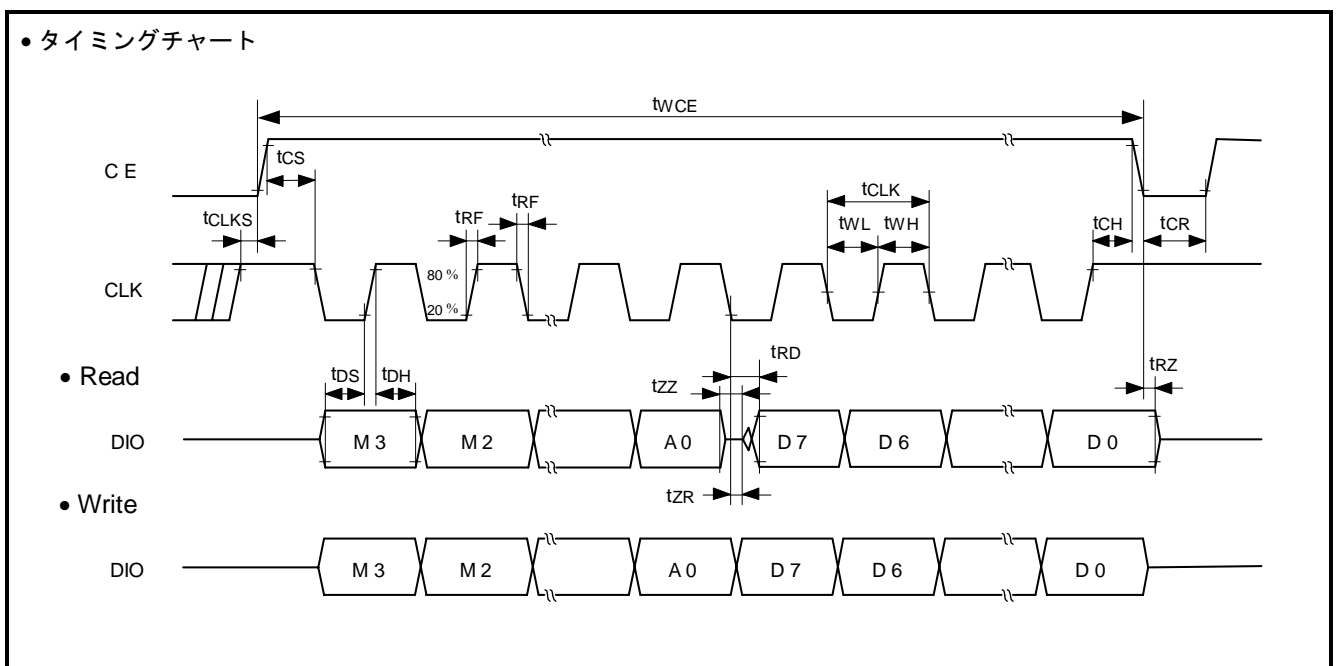
※特記無き場合、GND = 0 V, V_{DD} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	条件		Min.	Typ.	Max.	単位
"H" 入力電圧	V _{IH1}	CE, CLK, FOE 端子	V _{DD} = 1.6 V ~ 5.5 V	0.70 × V _{DD}		6.5	V
	V _{IH2}		V _{DD} = 5 V ± 10 %	0.75 × V _{DD}	6.5		
	V _{IH3}	DIO 端子	V _{DD} = 1.6 V ~ 5.5 V	0.70 × V _{DD}		V _{DD} + 0.3	V
	V _{IH4}		V _{DD} = 5 V ± 10 %	0.75 × V _{DD}	V _{DD} + 0.3		
"L" 入力電圧	V _{IL1}	入力端子		GND - 0.3		0.30 × V _{DD}	V
	V _{IL2}	入力端子 (5 V ± 10 %)		GND - 0.3		0.25 × V _{DD}	V
"H" 出力電圧	V _{OH1}	DIO, FOUT 端子	V _{DD} = 5 V, I _{OH} = -1 mA	4.5		5.0	V
	V _{OH2}		V _{DD} = 3 V, I _{OH} = -1 mA	2.2		3.0	
	V _{OH3}		V _{DD} = 3 V, I _{OH} = -100 μA	2.9		3.0	
"L" 出力電圧	V _{OL1}	DIO, FOUT 端子	V _{DD} = 5 V, I _{OL} = 1 mA	GND		GND+0.5	V
	V _{OL2}		V _{DD} = 3 V, I _{OL} = 1 mA	GND		GND+0.8	
	V _{OL3}		V _{DD} = 3 V, I _{OL} = 100 μA	GND		GND+0.1	
	V _{OL4}	/IRQ 端子	V _{DD} = 5 V, I _{OL} = 1 mA	GND		GND+0.25	
	V _{OL5}		V _{DD} = 3 V, I _{OL} = 1 mA	GND		GND+0.4	
入力抵抗(1)	R _{DWN1}	CE 端子 V _{IN} = V _{DD}	V _{DD} = 5 V	75	150	300	kΩ
入力抵抗(2)	R _{DWN2}		V _{DD} = 3 V	150	300	600	

8.2. AC 電気的特性

※特記無き場合、GND = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	VDD = 3 V ± 10 %		VDD = 5 V ± 10 %		単位
			Min.	Max.	Min.	Max.	
CLK クロック周期	tCLK		500		350		ns
CLK H パルス幅	tWH		250		175		ns
CLK L パルス幅	tWL		250		175		ns
CLK 立ち上がり・立ち下り時間	tRF			100		50	ns
CLK セットアップ時間	tCLKS		50		25		ns
CE セットアップ時間	tCS		200		150		ns
CE 保持時間	tCH		200		100		ns
CE リカバリー時間	tCR		300		200		ns
CE イネーブル時間	twCE			0.95		0.95	s
書き込みデータ セットアップ時間	tDS		100		50		ns
書き込みデータ 保持時間	tDH		100		50		ns
読み出しデータ 遅延時間	tRD	CL=50 pF		200		150	ns
DIO 出力 切り替え時間	tzR			50		25	ns
DIO 出力 ディセーブル時間	trZ	CL=50 pF RL=10 kΩ		200		100	ns
DIO コンフリクト回避時間	tZZ		0		0		ns



9.3. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限

- 本製品の動作の多くは 内蔵水晶振動子の発振クロックに連動していますので、[内部発振が ない状態 = 発振停止状態] では、正しい動作ができません。

そのため、電源初期投入時 および バックアップ復帰異常時 (電圧低下などが原因で、発振が停止していた状態からの電源電圧復帰時) の初期設定は、[内部発振が 開始してから → 発振開始時間 (tSTA 規定参照) 経過以降] に行うことを 推奨しています。

- 電源初期投入時 および バックアップ状態からの電源電圧復帰時 (以降、[動作電圧移行時] とする) の アクセス動作は、次の点に注意してください。

1) 動作電圧移行時は、まず はじめに VLF-bit (内部の異常状態を示すビット) を読み出してください。

2) VLF-bit の読み出し結果が VLF = " 1 (異常状態) " のときは、初期設定が必要です。

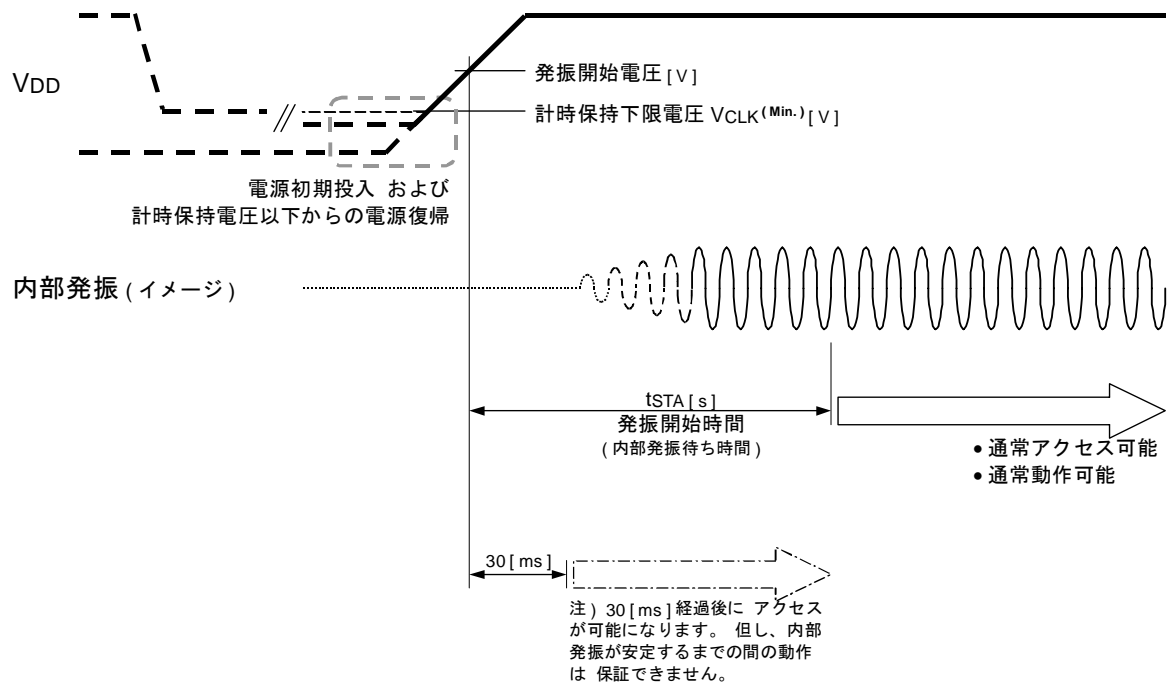
VLF = " 1 " のときの初期設定は、内部発振が安定してから (= 発振開始時間 (tSTA 規定参照) 経過以降に) 行うことを 推奨しています。

VLF-bit を " 1 " として読み出したときの状態は次のとおりで、いずれの場合も初期設定が必要です。

状態 1) 電源初期投入時

状態 2) バックアップ中の電圧低下等により、計時内容が 有効ではないとき

* 電源初期投入時 および 計時保持電圧以下から電源電圧復帰したときの アクセス可能タイミング



3) VLF-bit の読み出し結果が VLF = " 0 (正常状態) " のときのみ、発振開始時間を待たずに アクセス可能です。

VLF-bit を " 0 " として読み出したときの状態は次のとおりで、通常動作が可能です。

状態 1) 正しい動作が可能なき (使用時の誤設定時は除く)

状態 2) バックアップ状態からの動作電圧移行時、正常にデータ保持されていたとき

10. 参考資料

10.1. 参考データ

周波数温度特性例

$\theta_T = +25 \text{ }^\circ\text{C Typ.}$
 $\alpha = -0.035 \times 10^{-6} \text{ Typ.}$

[周波数安定度の求め方]

- 周波数温度特性は、以下の式で近似できます。

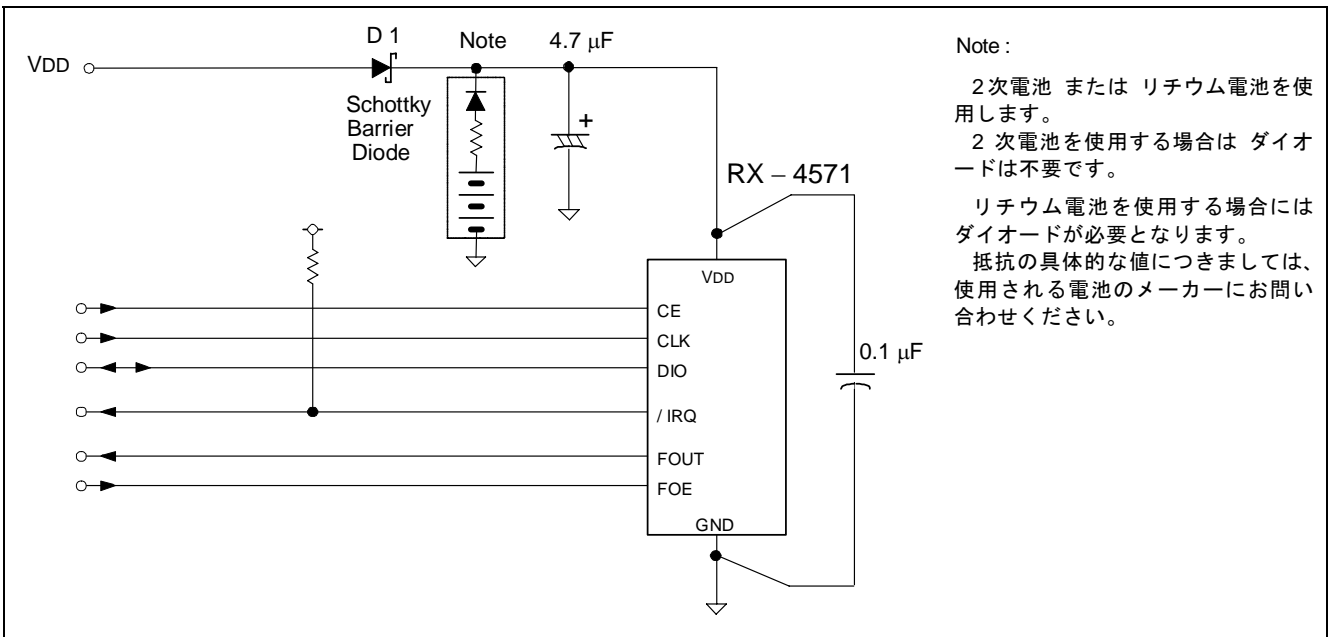
$$\Delta f_T = \alpha (\theta_T - \theta_X)^2$$
 - Δf_T : 任意の温度における周波数偏差
 - $\alpha [1 / ^\circ\text{C}^2]$: 2次温度係数
 $(-0.035 \pm 0.005) \times 10^{-6} / ^\circ\text{C}^2$
 - $\theta_T [^\circ\text{C}]$: 頂点温度 ($+25 \pm 5 \text{ }^\circ\text{C}$)
 - $\theta_X [^\circ\text{C}]$: 任意の温度
- 時計精度を求めるためには、更に周波数精度と電圧特性を加えます。

$$\Delta f/f = \Delta f/f_0 + \Delta f_T + \Delta f_V$$
 - $\Delta f/f$: 任意の温度,電圧における時計精度 (周波数安定度)
 - $\Delta f/f_0$: 周波数精度
 - Δf_T : 任意の温度における周波数偏差
 - Δf_V : 任意の電圧における周波数偏差
- 日差の求め方

$$\text{日差} = \Delta f/f \times 86400[\text{秒}]$$

* たとえば、 $\Delta f/f = 11.574 \times 10^{-6}$ で
 約 1 秒/日の誤差になります。

10.2. 外部接続例



11. 取り扱い上の注意事項

1) 取り扱い上の注意事項

- 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動をあたえないようにしてください。また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および 運搬容器には導電性の物を使用してください。 はんだごてや測定回路などは 高電圧リークの無いものを使用し、また、実装時・作業時にも 静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ現象等による 破壊の原因となることがあります。安定動作のため、本モジュールの電源端子 (VDD – GND 間) の極力近い場所に 0.1 μ F 以上のバスコン (セラミックを推奨) を使用してください。 また、本モジュールの近くには、高ノイズを発生するデバイスを 配置しないようにしてください。

※ 図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ VDD または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入カインピーダンスは非常に高く、開放状態での使用は 不定電位やノイズによる誤動作の原因につながります。 未使用の入力端子は、プルアップ または プルダウン抵抗による処理を 必ず施してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 $^{\circ}$ C を越えますと、水晶振動子の特性劣化 および 破壊を招くばあいがありますので、弊社はんだ耐熱性評価プロファイルを超えない領域でのご使用を推奨します。 ご実装前に 必ず実装条件 (温度・時間) を ご確認ください。 また、条件変更時も同様の確認をしていただいた後に ご使用ください。

※ 図 2 に、弊社はんだ耐熱性評価プロファイル (Ref. JEDEC J – STD – 020C) を 掲載します。

(2) 実装機

本製品は裏面にガラスを使用しておりますので、使用機器、条件等によっては 実装時の衝撃力により製品の破壊をまねくばあいがあります。ご使用前には必ず、実装時の製品への負荷が極力少なくなる条件 (基板上への搭載速度を遅くする、チャックを弱くする など) を確認していただいてから ご使用ください。 条件変更時も、同様の確認をしていただいてから ご使用ください。

本製品と実装基板の間に異物などがあると、製品の破壊を招くばあいがあります。 実装時には、異物にも ご注意ください。

また、実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

超音波洗浄は、使用条件によっては 内蔵の水晶振動子が共振破壊されるばあいがあります。 貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証は いたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。 方向を確認した上で実装を行なってください。

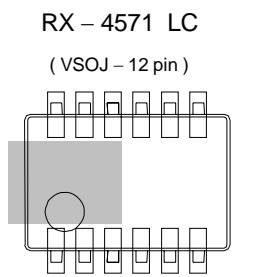
(5) 端子間リーク

製品が汚れていたり 結露している状態などで 電源投入しますと、端子間リークをまねくばあいがありますので、洗浄し さらに 乾燥させた後に 電源投入を行なってください。

(6) 製品実装後の接着剤の使用禁止

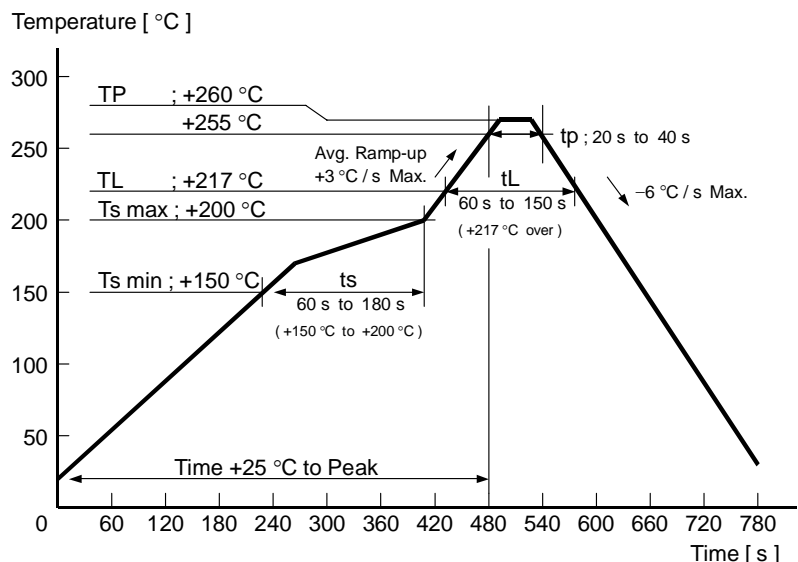
本製品は、パッケージの裏面にガラスを使用しています。 本製品を実装後に、アンダーフィル等の接着剤が 実装面とガラス面の間に侵入すると、その後の接着剤の熱膨張などの影響で ガラスが割れる可能性があります。 このばあいは 水晶発振が停止しますので、接着剤のご使用を中止していただくか、本製品には接着剤が接近しないように 実装上の配慮を お願いいたします。

図 1 : GND パターン例



※ 網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

図 2 : 弊社 はんだ耐熱性評価プロファイル (参考)



12. 機能概要 および レジスタテーブル

12.1. 機能概要

1) 時計機能

西暦の下二桁と 年・月・日, 曜, 時・分・秒までのデータの設定 / 計時 / 読み出しが可能です。

西暦の下二桁が 4 の倍数のときは自動的にうるう年と認識し、2099 年までを自動判別します。

* 詳細は [項 13.1. レジスタ説明] を参照してください。

2) 定周期タイマ割り込み機能

定周期タイマ割り込み機能は、244.14 μ s ~ 4095 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /IRQ 端子 = "L" になるなど、イベントの発生を知ることができます。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

3) アラーム割り込み機能

アラーム割り込み機能は、[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

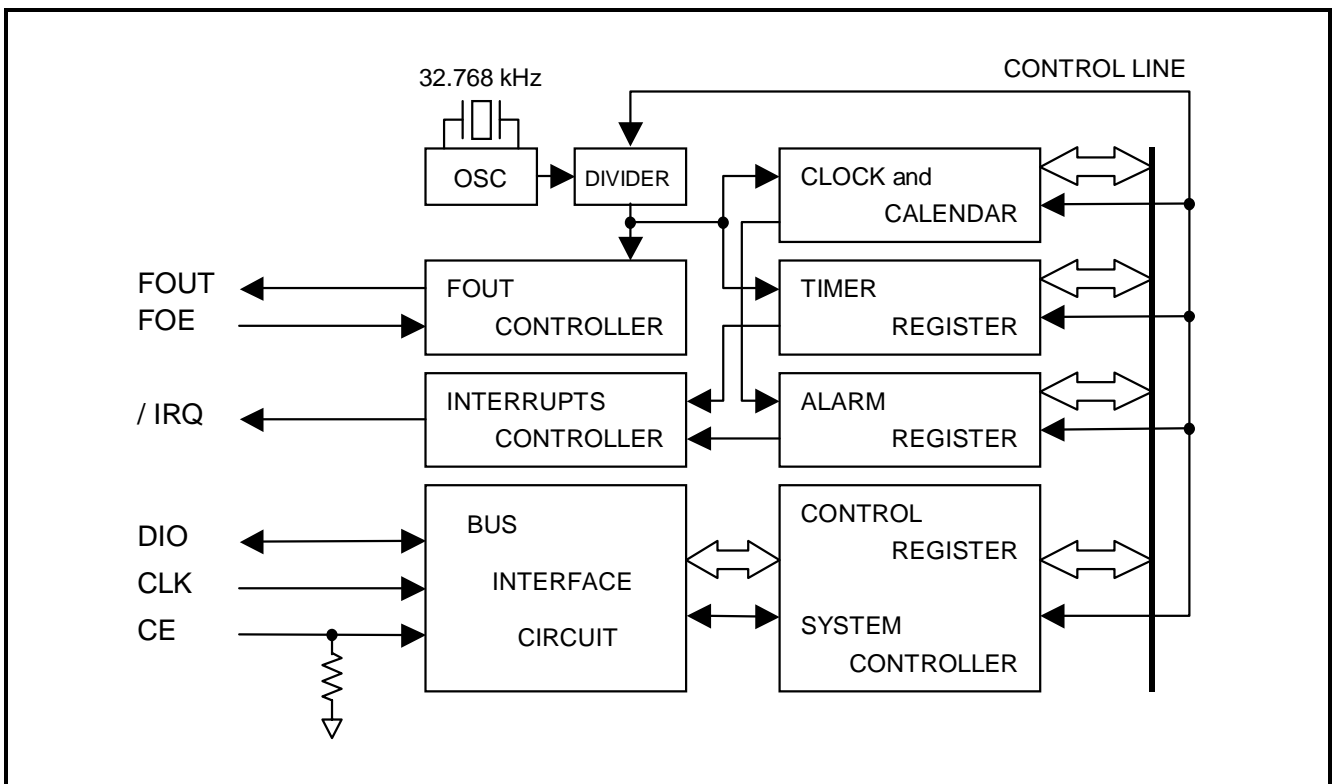
割り込みイベント発生時には AF ビット = "1" かつ /IRQ 端子 = "L" になるなど、イベントの発生を知ることができます。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

4) FOUT 機能 (クロック出力機能)

FOUT 出力端子から、32.768 kHz などのクロック出力 (C-MOS 出力) を得ることができます。

* 詳細は [項 13.5. FOUT 機能 (クロック出力機能)] を参照してください。



12.2. レジスタテーブル

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	note
0	SEC	○	40	20	10	8	4	2	1	*3
1	MIN	○	40	20	10	8	4	2	1	*3
2	HOUR	○	○	20	10	8	4	2	1	*3
3	WEEK	○	6	5	4	3	2	1	0	*3
4	DAY	○	○	20	10	8	4	2	1	*3
5	MONTH	○	○	○	10	8	4	2	1	*3
6	YEAR	80	40	20	10	8	4	2	1	
7	RAM	•	•	•	•	•	•	•	•	*4
8	MIN Alarm	AE	40	20	10	8	4	2	1	
9	HOUR Alarm	AE	•	20	10	8	4	2	1	*4
A	WEEK Alarm	AE	6	5	4	3	2	1	0	*4
	DAY Alarm		•	20	10	8	4	2	1	
B	Timer Counter 0	128	64	32	16	8	4	2	1	–
C	Timer Counter 1	•	•	•	•	2048	1024	512	256	*4
D	Extension Register	<u>TEST1</u>	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0	*1, *3
E	Flag Register	<u>TEST2</u>	○	○	TF	AF	○	VLF	<u>RSV</u>	*1, *3, *5
F	Control Register	<u>TEST3</u>	○	○	TIE	AIE	○	STOP	○	*3

注) 0Vからの初期電源投入時 および VLF ビット読み出し時の結果が VLF = "1" のときは、必ず 全てのレジスタを初期設定してから 使用してください。

その際、日付・時間として正しくないデータの設定はしないでください。 その場合の計時動作は 保証できません。

*1. 0Vからの初期電源投入時、VLF, FSEL1, FSEL0 ビットは "1" にセットされ、また TE ビットは "0" にリセットされます。

* このときの他のレジスタの値は不定ですので、必ず初期設定を実施してから使用してください。

*2. TEST1 ~ TEST3 までの3つの TEST ビットは 弊社テスト用ビットです。

* 書き込み時は 必ず "0" を設定してください。

*3. '○' マークは、初期設定以降 "0" にて ご使用ください。

* 書き込み不可能で、読み出し時は 常時 "0" が 読み出せます。

*4. '•' マークは、任意データの R/W が可能な RAM bit です。

*5. RSV ビットは 弊社 Reserved ビットです。

* 書き込み時は 必ず "0" を設定してください。

* 読み出し値は不定です。 読み出し後は、必要により マスク処理などをしてください。

13. 使用方法

13.1. レジスタ説明

13.1.1. 時計カウンタ (Reg - 0[h] ~ 2[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	SEC	○	40	20	10	8	4	2	1
1	MIN	○	40	20	10	8	4	2	1
2	HOUR	○	○	20	10	8	4	2	1

• [秒], [分], [時] を計時します。

• データ形式はBCD形式で、たとえば [SEC]レジスタが "0101 1001" ならば 59[秒]を意味します。

* 存在しない時刻データが書き込まれた場合は 正常な動作ができない原因になりますので ご注意ください。

1) [SEC] レジスタ

[秒] を計時するカウンタです。

00 秒, 01 秒, 02 秒 ~ 59 秒, 00 秒, 01 秒 ~ の順に更新します。

* [SEC]レジスタに書き込みを行うと、1 秒未満の内部カウンタ (512kHz~1Hz) が 0 リセットされます。

2) [MIN] レジスタ

[分] を計時するカウンタです。

00 分, 01 分, 02 分 ~ 59 分, 00 分, 01 分 ~ の順に更新します。

3) [HOUR] レジスタ

[時] を、24 時間制で計時するカウンタです。

00 時, 01 時, 02 時 ~ 23 時, 00 時, 01 時 ~ の順に更新します。

13.1.2. 曜日カウンタ (Reg - 3[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
3	WEEK	○	6	5	4	3	2	1	0

• [曜 (曜日)] を bit 0 ~ bit 6 までの 7 ビットにて示します。

01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 (→ 01h 曜 → 02h 曜 ~) の順に更新します。

• 曜日と値は 次のように対応しています。

[WEEK]	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日	Data [h]
Write / Read	0	0	0	0	0	0	0	1	日	01 h
	0	0	0	0	0	0	1	0	月	02 h
	0	0	0	0	0	1	0	0	火	04 h
	0	0	0	0	1	0	0	0	水	08 h
	0	0	0	1	0	0	0	0	木	10 h
	0	0	1	0	0	0	0	0	金	20 h
	0	1	0	0	0	0	0	0	土	40 h
Write 禁止	* 複数の曜日を "1" に設定しないでください。 また、上記 7 種以外の設定は 正常な動作ができない原因 になりますので ご注意ください。								-	-

13.1.3. カレンダカウンタ (Reg - 4[h] ~ 6[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
4	DAY	○	○	20	10	8	4	2	1
5	MONTH	○	○	○	10	8	4	2	1
6	YEAR	80	40	20	10	8	4	2	1

- 2001年01月01日～2099年12月31日までの[日],[月],[年]を、オートカレンダー機能によって更新します。
- データ形式はBCD形式で、たとえば[DAY]レジスタが"0011 0001"ならば31日を意味します。
- 存在しないカレンダーデータが書き込まれた場合は正常な動作ができない原因になりますので ご注意ください。

1) [DAY] レジスタ

- [日]のカウンタです。
月によって更新状況が異なります。

* [年]が4の倍数のとき(04年,08年,12年-88年,92年,96年)はうるう年になりますので、その年の02月の[日]の更新は02月01日,02日,03日~28日,29日→03月01日~となります。

DAY	月	更新内容
Write / Read	1, 3, 5, 7, 8, 12月	01日, 02日, 03日~30日, 31日, 01日~
	4, 6, 9, 11月	01日, 02日, 03日~30日, 01日, 02日~
	2月 かつ 通常年	01日, 02日, 03日~28日, 01日, 02日~
	2月 かつ うるう年	01日, 02日, 03日~28日, 29日, 01日~

2) [MONTH] レジスタ

- [月]のカウンタです。
01月,02月,03月~12月,01月,02月~の順に更新します。

3) [YEAR] レジスタ

- [年]のカウンタです。
00年,01年,02年~99年,00年,01年~の順に更新します。
- [年]が4の倍数のとき(04年,08年,12年-88年,92年,96年)はうるう年になります。

13.1.4. RAM レジスタ (Reg - 7[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
7	RAM	•	•	•	•	•	•	•	•

- 00h~FFhまでの、任意データのR/Wが可能なRAMレジスタです。

13.1.5. アラームレジスタ (Reg - 8[h] ~ A[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
8	MIN Alarm	AE	40	20	10	8	4	2	1
9	HOUR Alarm	AE	•	20	10	8	4	2	1
A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1

- アラーム割り込み機能を使用して [日], [曜], [時], [分] に対する割り込みイベントを得たいときに、AIE, AF ビット および WADA ビットと ともに設定/使用します。
- 上記アラームレジスタの設定状況 および WADA ビットの設定状況に 現時刻が一致すると、AF ビット = "1" かつ /IRQ 端子 = "L" となるなど、アラーム割り込みイベントの発生を知ることができます。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

13.1.6. 定周期タイマ用ダウンカウンタ (Reg - B[h] ~ C[h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
B	Timer Counter 0	128	64	32	16	8	4	2	1
C	Timer Counter 1	•	•	•	•	2048	1024	512	256

- 定周期タイマ割り込み機能を使用するさいの、カウントダウン初期値 (プリセット値) を設定するレジスタです。カウンタの設定は 1 (001 h) ~ 4095 (FFF h) の範囲で設定できます。
- 定周期タイマ割り込み機能を使用するには、TE, TF, TIE, TSEL1, TSEL0 ビットと ともに設定/使用します。
- 本ダウンカウンタのカウント値が 001 h → 000 h になると、TF ビット = "1" , /IRQ 端子 = "L" となるなど、定周期タイマ割り込みイベントの発生を知ることができます。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.7. 拡張レジスタ 0 (Reg - D [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register	<u>TEST1</u>	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0

- アラーム割り込み機能, 定周期タイマ割り込み機能, FOUT 機能に関する動作設定をするためのレジスタです。

1) TEST1 ビット

弊社のテスト用のビットです。

書き込み時は、必ず "0" を設定してください。

他のビットへの書き込みのさいに、誤って "1" を書き込まないよう ご注意願います。

2) WADA ビット (Week Alarm / Day Alarm Select)

アラーム割り込み機能の対象を選択指定するビットです。

"1" の書き込みで、DAY (日) を比較対象にします。

"0" の書き込みで、WEEK (週) を比較対象にします。

- * 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

3) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を制御するビットです。

"1" の書き込みで、定周期タイマ割り込み機能が動作を開始します。

"0" の書き込みで、定周期タイマ割り込み機能を停止させます。

- * 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

4) FSEL1, FSEL0 ビット (Frequency Select 1, 0)

FOUT 機能 (32.768kHz などのクロック出力を得る機能) を使用するとき、FOUT 出力端子の状態を選択設定するビットです。

FSEL1, FSEL0 ビット と FOE 入力端子の組み合わせで、出力周波数の選択 (3 種類) または 出力停止を設定できます。

- * 詳細は [項 13.5. FOUT 機能 (クロック出力機能)] を参照してください。

5) TSEL1, TSEL0 ビット (Timer Select 1, 0)

定周期タイマ割り込み機能のカウントダウン周期 (ソースクロック) を選択指定するビットです。

この2つのビットの組み合わせで、全4種類より選択できます。

- * 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

13.1.8. フラグレジスタ 1 (Reg - E [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
E	Flag Register	TEST2	○	○	TF	AF	○	VLF	RSV

- 電源状況、各種割り込みイベント発生状況、内部データの信頼性などの状況結果を示す、フラグレジスタです。

1) **TEST2** ビット

弊社のテスト用のビットです。

書き込み時は、必ず "0" を設定してください。

他のビットへの書き込みのさいに、誤って "1" を書き込まないように ご注意願います。

2) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

定周期タイマ割り込みイベントが発生すると、"0" → "1" に変化します。

- * 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

3) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

アラーム割り込みイベントが発生すると、"0" → "1" に変化します。

- * 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

4) VLF ビット (Voltage Low Flag)

本製品の状態を検出して、結果を保持するフラグビットです。

電源電圧の低下などによって計時内容が有効でないとき、"0" → "1" に変化します。

読み出し時 "1" のときの本製品の内容は無効ですので、その場合は、必ず 全てのレジスタを初期設定してから 使用してください。

- * バックアップ状態からの復帰時などに読み出し、バックアップ動作中の異常の有無について確認することを推奨します。

VLF	データ	内容
Write	0	VLF ビットを 0 クリアし、また、次回検出に備える。
	1	設定禁止 ("1" は書き込めません)
Read	0	動作異常の 検出なし。
	1	動作異常の 検出あり。本製品の内容は無効。 必ず 全てのレジスタを初期設定してから 使用してください。 * 結果は、0 クリアするまで保持されます。

5) **RSV** ビット

弊社の Reserved ビットです。

書き込み時は、必ず "0" を設定してください。

読み出し値は不定です。読み出し後は、必要により マスク処理などをしてください。

13.1.9. コントロールレジスタ (Reg - F [h])

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
F	Control Register	<u>TEST3</u>	○	○	TIE	AIE	○	STOP	○

• /IRQ 端子からの割り込みイベント出力の制御 や 時計,カレンダーの停止/動作 を制御するためのレジスタです。

1) TEST3 ビット

弊社のテスト用のビットです。

書き込み時は、必ず "0" を設定してください。

他のビットへの書き込みのさいに、誤って "1" を書き込まないように ご注意ください。

2) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/IRQ 端子からの出力を禁止します。

* 詳細は [項 13.2. 定周期タイマ割り込み機能] を参照してください。

3) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/IRQ 端子からの出力を禁止します。

* 詳細は [項 13.3. アラーム割り込み機能] を参照してください。

4) STOP ビット

計時動作を停止させます。

"1" の書き込みで 計時動作を停止させます。

"0" の書き込みで 計時を再開 (停止を解除) します。

* 機能の性質上、時計,カレンダーの設定以外での使用は 控えてください。

5) STOP ビットと他の動作との関係

STOP ビットが "1" のとき、次のような影響があります。

* 停止 1) 年,月,日,曜,時,分,秒 の更新が停止

• 計時,カレンダー動作の更新が 全て停止します。

また それに伴い、アラーム割り込みイベントが 発生しなくなります。

* 停止 2) 定周期タイマ割り込み機能の一部が停止

• 定周期タイマのソースクロック設定が 64 Hz, 1 Hz, 1/60 Hz の設定にあるときは、定周期タイマ割り込み機能が動作しません。

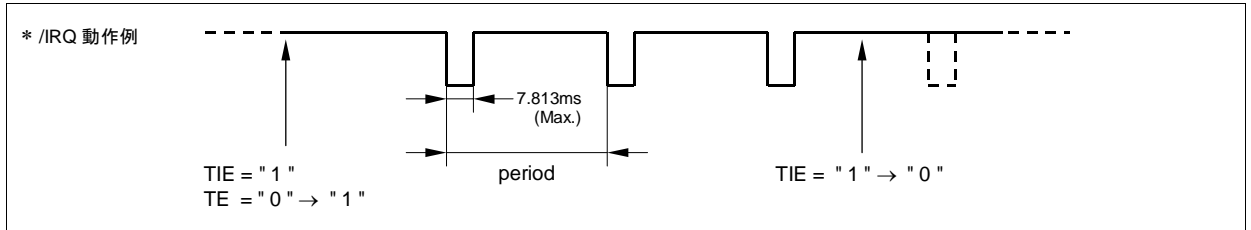
(ソースクロック設定が 4096 Hz 時のみ、動作可能)

13.2. 定周期タイマ割り込み機能

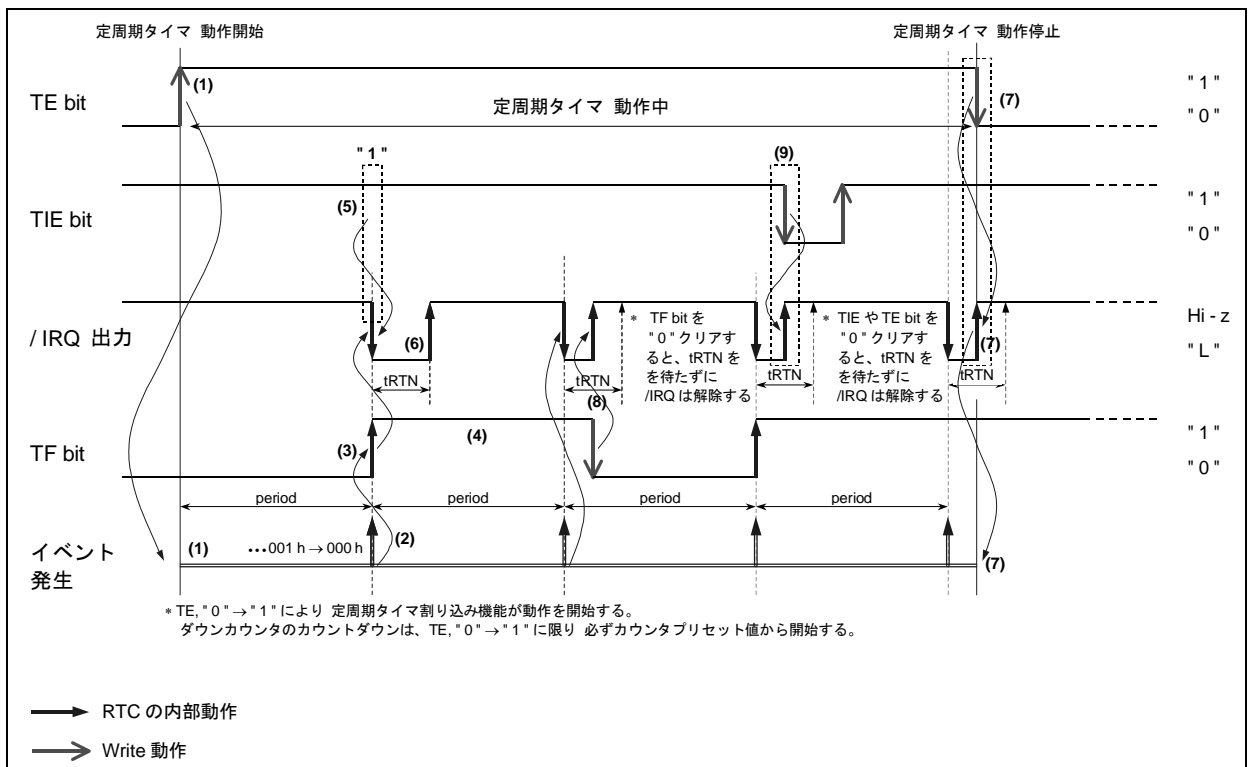
定周期タイマ割り込み機能は、244.14 μs ~ 4095 min までの任意の周期にて 定期的な割り込みイベントを発生させる機能です。

割り込みイベント発生時には TF ビット = "1" かつ /IRQ 端子 = "L" と なるなど、イベントの発生を知ることができます。

* 定周期タイマ割り込みイベント発生時の /IRQ "L" 出力は、割り込み発生後 7.813 ms (Max.) で自動解除 (/IRQ = "L" → Hi-z) されます。



13.2.1. 定周期タイマ割り込み機能図



- (1) TE, "0" → "1" の書き込みにより、定周期タイマのカウントダウンを プリセット値から開始します。
- (2) 定周期タイマ割り込みイベントは「ダウンカウンタのカウント値を ソースクロックの周期でカウントダウンさせていき、ダウンカウンタが 001h → 000h になると割り込みイベントが発生する」ようになっています。
* ダウンカウンタが 001h → 000h になり 割り込みイベントが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)
- (3) 定周期タイマ割り込みイベントが発生すると、TF ビットは "0" → "1" に変化します。
- (4) TF ビットが "1" のときは、0 クリアされるまで "1" を保持します。
- (5) 定周期タイマ割り込み発生時に TIE = "1" ならば、/IRQ 端子は "L" になります。
* TIE = "0" のときは、/IRQ 端子は Hi-z のまま変化はありません。
- (6) また /IRQ 端子出力は、毎イベント発生ごとに tRTN 時間の間だけ "L" になり、その後は Hi-z に自動解除されます。(次の割り込みイベント発生時には、再度 /IRQ = "L" となります。)
- (7) TE, "1" → "0" の書き込みより、定周期タイマの機能が停止し かつ ただちに /IRQ, "L" → Hi-z になります。
- (8) /IRQ = "L" 時に TF, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。
- (9) /IRQ = "L" 時に TIE, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。

13.2.2. 定周期タイマ割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
B	Timer Counter 0	128	64	32	16	8	4	2	1
C	Timer Counter 1	•	•	•	•	2048	1024	512	256
D	Extension Register	<u>TEST1</u>	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0
E	Flag Register	<u>TEST2</u>	○	○	TF	AF	○	VLF	<u>RSV</u>
F	Control Register	<u>TEST3</u>	○	○	TIE	AIE	○	STOP	○

* 動作設定は、必ず、まず はじめに ① TE ビット "0" → ② TF ビット "0" → ③ TIE ビット "0" の順に "0" クリアしてから始めてください。

* 定周期タイマ割り込み機能を使用しないときは、定周期タイマ用ダウンカウンタ (Reg - B, C [h]) を RAM レジスタとして使用できます。その場合は TE, TIE = "0" に設定して、定周期タイマ機能を停止させてください。

1) TSEL1, TSEL0 ビット (Timer Select 1, 0)

定周期タイマ割り込み機能のカウンタダウン周期 (ソースクロック) を選択指定するビットです。この2つのビットの組み合わせで、全4種類より選択できます。

* ソースクロックの設定は、必ず TE ビットを一旦 "0" にしてから行ってください。

TSEL1, 0	TSEL1 (bit 1)	TSEL0 (bit 0)	ソース クロック	自動復帰時間 tRTN	STOP ビットによる影響
W / R	0	0	4096 Hz / 244.14 μs 周期	122 μs	—
	0	1	64 Hz / 15.625 ms 周期	7.813 ms	* STOP ビットが "1" のときは 動作しません
	1	0	1 Hz / 1 秒周期	7.813 ms	
	1	1	1/60 Hz / 1 分周期	7.813 ms	

*1) /IRQ 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

*2) カウンタダウンや 割り込み出力の タイミングは、内部計時とは 連動していません。

*3) 1 回目のカウンタダウンまでの時間は、内部カウンタ初期処理上の誤差が生じることがあります。その場合、選択したソースクロックの およそ $\pm 10\%$ 周期までの誤差が生じる可能性があります。(2 回目以降は、設定したソースクロックによる 正しい周期でカウンタダウンします)

2) 定周期タイマ用ダウンカウンタ (Timer Counter)

プリセッタブル・ダウンカウンタの初期値 (プリセット値) を設定するレジスタで、カウンタ値は 1 (001h) ~ 4095 (FFFh) までの任意の値を設定できます。

ソースクロックの周期にて このダウンカウンタがカウンタダウンし、001h → 000h になると TF ビットが "1" になるなどのイベントが発生します。

TE, "0" → "1" によるカウンタダウンは、常にプリセット値から カウンタダウンが始まります。

* プリセット値の書き込みは、必ず TE ビットが "0" の状態で 行ってください。

Reg - C [h] Timer Counter 1								Reg - B [h] Timer Counter 0							
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
•	•	•	•	2048	1024	512	256	128	64	32	16	8	4	2	1

*1. 定周期タイマ割り込み機能の動作中に本レジスタを読み出すと、カウンタダウン中のカウンタ状況が確認出来ます。

本レジスタを読み出すとき、

TE ビットが "0" のときは カウンタ初期値(プリセット値)が読み出せ、また、

TE ビットが "1" のときは カウンタダウン中の Data が読み出せます。

(但し、読み出されるデータはホールドされていませんので(データ変化中の場合がありますので)、正しいデータを得るためには 2 度読み比較などをしてください。)

*2. 定周期タイマ割り込み機能を使用しないときは、本レジスタを RAM レジスタとして使用できます。その場合は TE, TIE = "0" に設定して、定周期タイマ機能を停止させてください。

3) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write / Read	0	定周期タイマ割り込み機能を 停止 * /IRQ 出力は、ただちに解除されます(Hi-zになります)。
	1	定周期タイマ割り込み機能が 動作を開始 * カウントダウンのスタート値は、常にプリセット値より開始します。

4) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" をセットしておく、定周期タイマ割り込みイベントが発生したときに "0" → "1" に変化します。

TF	データ	内容
Write	0	TF ビットを 0 クリアし、また、次回検出に備える * /IRQ 出力は、ただちに解除されます(Hi-zになります)。
	1	設定禁止 ("1" は書き込めません)
Read	0	定周期タイマ割り込みイベント発生 の 検出なし
	1	定周期タイマ割り込みイベント発生 の 検出あり * 結果は、0 クリアするまで保持されます。

5) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。

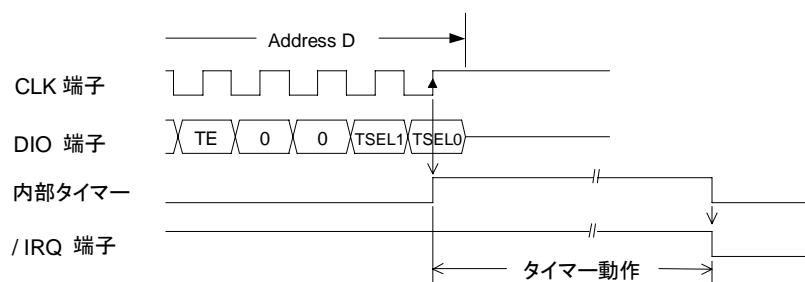
"0" の書き込みでは、/IRQ 端子からの出力を禁止します。

TIE	データ	内容
Write / Read	0	1) 定周期タイマ割り込みイベント発生時、 割り込み信号は 発生させない (/IRQ = Hi-z 継続) 2) 定周期タイマ割り込みイベント発生による 割り込み信号を 解除 (/IRQ, "L" → Hi-z) する。 * /IRQ 出力は、ただちに解除されます(Hi-zになります)。
	1	定周期タイマ割り込みイベント発生時、 割り込み信号を 発生させる (/IRQ = Hi-z → "L")

13.2.3. タイマ スタートタイミング

定周期タイマ割り込み機能のタイマカウントダウンは、TE, "0" → "1" への書き込み終了時 (Reg - D への書き込み終了時) の CLK の立ち上がりエッジ (bit 0 送信終了時) から開始します。

* タイマソースクロック選択ビット (TSEL1, TSEL0) も CLK の立ち上がりエッジで取り込みます。



13.2.4. 定周期タイマ割り込み周期と時間誤差

ソースクロック設定 (TSEL1, 0 設定) と 定周期タイマ用ダウンカウンタ設定 (Reg - B 設定) の組み合わせによる、定周期タイマ割り込み周期の例を示します。

Timer Counter 設定値 1 ~ 4095	ソースクロック			
	4096 Hz TSEL1, 0 = 0, 0	64 Hz TSEL1, 0 = 0, 1	1 Hz (1 秒桁 更新時) TSEL1, 0 = 1, 0	1 / 60 Hz (1 分桁 更新時) TSEL1, 0 = 1, 1
0	–	–	–	–
1	244.14 μ s	15.625 ms	1 s	1 min
2	488.28 μ s	31.250 ms	2 s	2 min
⋮	⋮	⋮	⋮	⋮
41	10.010 ms	640.63 ms	41 s	41 min
82	20.020 ms	1.281 s	82 s	82 min
128	31.250 ms	2.000 s	128 s	128 min
192	46.875 ms	3.000 s	192 s	192 min
205	50.049 ms	3.203 s	205 s	205 min
320	78.125 ms	5.000 s	320 s	320 min
410	100.10 ms	6.406 s	410 s	410 min
640	156.25 ms	10.000 s	640 s	640 min
820	200.20 ms	12.813 s	820 s	820 min
1229	300.05 ms	19.203 s	1229 s	1229 min
1280	312.50 ms	20.000 s	1280 s	1280 min
1920	468.75 ms	30.000 s	1920 s	1920 min
2048	500.00 ms	32.000 s	2048 s	2048 min
2560	625.00 ms	40.000 s	2560 s	2560 min
3200	0.7813 s	50.000 s	3200 s	3200 min
3840	0.9375 s	60.000 s	3840 s	3840 min
⋮	⋮	⋮	⋮	⋮
4095	0.9998 s	63.984 s	4095 s	4095 min

● 定周期タイマ割り込みの時間誤差 と 定周期タイマ割り込みの 1 周期の時間

定周期タイマ割り込みの時間誤差は、選択したソースクロックの およそ $^{+0}_{-1}$ 周期の時間が誤差となります。

よって 定周期タイマ割り込みの 1 周期は、設定時間に対して以下の範囲になります。

<p>定周期タイマ割り込みの 1 周期 (定周期タイマ割り込み設定時間*) – ソースクロック周期) ~ (定周期タイマ割り込み設定時間) *) 定周期タイマ割り込み設定時間 = ソースクロック設定 × 定周期タイマ用ダウンカウンタ設定</p>
--

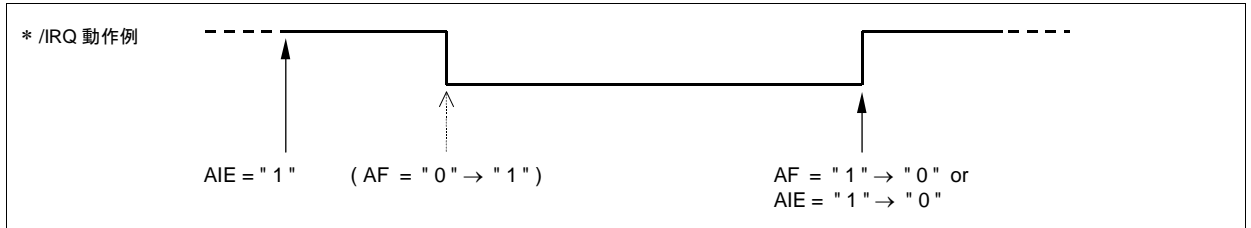
* 実際の定周期タイマ割り込み時間は、上記時間の他にも 設定時のシリアルデータ転送クロックの通信時間がプラスされます。

13.3. アラーム割り込み機能

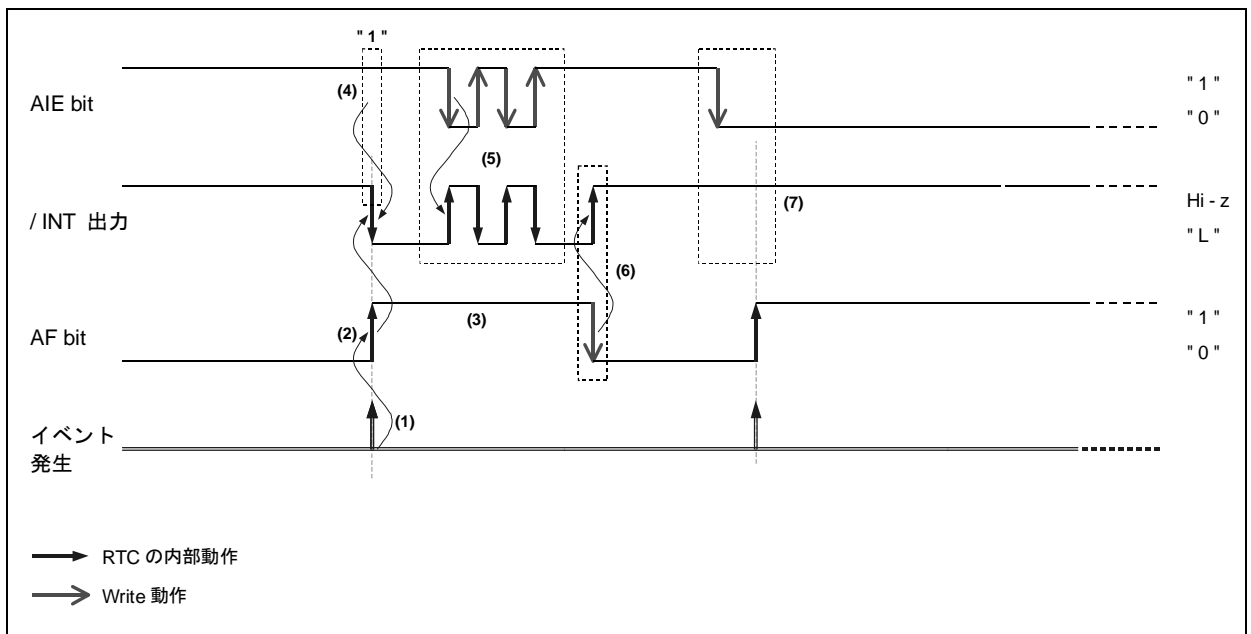
アラーム割り込み機能は、[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /IRQ 端子 = "L" となるなど、イベントの発生を知ることができます。

* アラーム割り込みイベント発生時の /IRQ "L" 出力は、意図的な解除をしないかぎり自動解除されず、/IRQ "L" が保持されます。



13.4.1. アラーム割り込み機能図



(1) 「アラーム割り込みイベントを発生させたい [時], [分], [日 or 曜] を WADA ビットとともに あらかじめ設定しておき、設定状況に現時刻が一致すると割り込みイベントが発生」します。

注) 現時刻と同じ状況を設定してもアラームは発生しません。次回の同じ状況への桁上げ時にて発生します。

(2) アラーム割り込みイベントが発生すると、AF ビットは "1" になります。

(3) AF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。

(4) アラーム割り込み発生時に AIE = "1" ならば、/IRQ 端子は "L" を出力します。

* アラーム割り込みイベント発生時の /IRQ 端子出力は "L" になり、その後は AF ビットまたは AIE ビットによって解除されるまでこれを維持します。

(5) /IRQ = "L" 時に AIE, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。

また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/IRQ 状態を AIE ビットによって任意に制御することができます。

(6) /IRQ = "L" 時に AF, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。

(7) アラーム割り込み発生時に AIE = "0" ならば、/IRQ 端子は Hi-z のまま変化はありません。

13.4.2. アラーム割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	MIN	○	40	20	10	8	4	2	1
2	HOUR	○	○	20	10	8	4	2	1
3	WEEK	○	6	5	4	3	2	1	0
4	DAY	○	○	20	10	8	4	2	1
8	MIN Alarm	AE	40	20	10	8	4	2	1
9	HOUR Alarm	AE	•	20	10	8	4	2	1
A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1
D	Extension Register	<u>TEST1</u>	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0
E	Flag Register	<u>TEST2</u>	○	○	TF	AF	○	VLF	<u>RSV</u>
F	Control Register	<u>TEST3</u>	○	○	TIE	AIE	○	STOP	○

* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、まず最初に AIE ビットを "0" にすることを推奨します。

* STOP ビットが "1" のときは、アラーム割り込みイベントは発生しません。

* アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用できます。その場合は、AIE ビットを必ず "0" にしてください。

* アラームレジスタ (Reg - 8 ~ A) を RAM レジスタとして使用する場合でも RTC 内部はアラーム設定として処理されますので、AIE = "0" とすることで、書き込みデータと計時状況との偶然合致による意図しないアラーム発生 (IRQ "L" 発生) を事前に防止します。

1) WADA ビット (Week Alarm / Day Alarm Select)

アラーム割り込み機能の対象を選択指定するビットです。

WADA	データ	内容
Write / Read	0	アラーム機能の対象を WEEK (週) にする * DAY (日) は 不問扱いになります。
	1	アラーム機能の対象を DAY (日) にする * WEEK (週) は 不問扱いになります。

2) アラームレジスタ (Reg - 8[h] ~ A[h])

アラーム割り込みイベントを発生させる [時], [分], [日 or 曜] を、WADA ビットとともに設定します。

WEEK Alarm / DAY Alarm レジスタ (Reg - A) には、WADA ビットで選択した状況に応じて [週] データを設定するか もしくは [日] データを設定します。

[週] を選択したときは、曜日設定を (たとえば) 月・水・金・土のような複数曜日の同時設定が可能です。

アラームレジスタの設定状況 および WADA ビットの設定状況に現時刻が一致すると AF ビットが "1" になります。また そのとき、事前に AIE ビットを "1" に設定していれば /IRQ 端子が "L" になります。

*1) アラーム発生の対象としない項目については、対象としない項目のレジスタの AE ビットを "1" にしてください。AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。

例) WEEK Alarm / DAY Alarm レジスタ (Reg - A) に 80h (AE = "1") を書き込む

→ [時],[分]のみがアラーム比較対象となる。[週/日]はアラーム比較対象外。

*2) 3つの AE ビット (Reg - 8,9,A) の全てを "1" にしたときは、例外的に [1分毎にアラーム割り込みイベントが発生] します。(この結果も、AF ビットに反映されます)

3) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

あらかじめ "0" をセットしておく、アラーム割り込みイベントが発生したときに "0" → "1" に変化します。

AF	データ	内容
Write	0	AF ビットを 0 クリアし、また、次回検出に備える * /IRQ 出力は、ただちに解除されます。(Hi-z になります)
	1	"1" は 書き込めません。
Read	0	アラーム割り込みイベント発生 の 検出なし
	1	アラーム割り込みイベント発生 の 検出あり * 結果は、0 クリアするまで保持されます。

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時 (AF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込みイベント発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。

"0" の書き込みでは、/IRQ 端子からの出力を禁止します。

AIE	データ	内容
Write / Read	0	1) アラーム割り込みイベント発生時、 割り込み信号は 発生させない (/IRQ = Hi-z 継続) 2) アラーム割り込みイベント発生による 割り込み信号を 解除 (/IRQ, "L" → Hi-z) する。 * /IRQ 出力は、ただちに解除されます。(Hi-z になります)
	1	アラーム割り込みイベント発生時、 割り込み信号を 発生させる (/IRQ = Hi-z → "L")

13.4.3. アラーム設定例

1) [曜] 指定時 の アラーム設定例 / WADA ビット = "0"

[曜] 指定時 WADA ビット "0"	Reg - A								Reg - 9	Reg - 8
	bit 7 AE	bit 6 土	bit 5 金	bit 4 木	bit 3 水	bit 2 火	bit 1 月	bit 0 日	HOUR Alarm	MIN Alarm
毎週 月 ~ 金, 午前 7 時 * [分]不問	0	0	1	1	1	1	1	0	07 h	AE bit "1"
毎週 日, 土, 毎時 30 分 * [時]不問	0	1	0	0	0	0	0	1	AE bit "1"	30 h
毎日, 午後 6 時 59 分	0	1	1	1	1	1	1	1	18 h	59 h
	1	X	X	X	X	X	X	X		

X : don't care

2) [日] 指定時 の アラーム設定例 / WADA ビット = "1"

[日] 指定時 WADA ビット "1"	Reg - A								Reg - 9	Reg - 8
	bit 7 AE	bit 6 ●	bit 5 20	bit 4 10	bit 3 08	bit 2 04	bit 1 02	bit 0 01	HOUR Alarm	MIN Alarm
毎月 01 日, 午前 7 時 * [分]不問	0	0	0	0	0	0	0	1	07 h	AE bit "1"
毎月 15 日, 毎時 30 分 * [時]不問	0	0	0	1	0	1	0	1	AE bit "1"	30 h
毎日, 午後 6 時 59 分	1	X	X	X	X	X	X	X	18 h	59 h

X : don't care

13.4. 割り込み機能動作時の /IRQ "L" 割り込み出力に関して

1) /IRQ "L" 割り込み出力発生時の 割り込みイベント特定方法

/IRQ 割り込み出力端子は、定周期タイマ割り込み機能, アラーム割り込み機能の 2 種類の割り込みイベントの共通出力端子になっています。

割り込みが発生 (/IRQ = "L") したときは TF, AF フラグを読み出して、どの種類の割り込みイベントが発生したのか(どのフラグが "1" か)を確認してください。

2) /IRQ 端子を "L" にしたくないときの処理方法

/IRQ 端子を "L" にしたくないときは、TIE, AIE ビットの全てのビットを "0" にしてください。

/IRQ 端子を "L" にせずに 割り込みイベントの発生を検出したい場合は、TF, AF フラグを監視して、対象となる割り込みイベントが発生したか(対象となるフラグが "1" になったか)を確認してください。

13.5. FOUT 機能 (クロック出力機能)

FOUT 出力端子から、32.768 kHz などのクロック出力 (C-MOS 出力) を得ることができます。
出力を停止させたときは、FOUT 端子はハイインピーダンスになります。

13.5.1. FOUT 機能 (クロック出力機能) 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register	<u>TEST1</u>	WADA	○	TE	FSEL1	FSEL0	TSEL1	TSEL0

• FSEL1 ビット, FSEL0 ビット と FOE 入力端子の組み合わせにより、FOUT 出力端子から 32.768 kHz, 1024 Hz, 1 Hz を選択出力する または 出力を停止させることができます。

13.5.2. FOUT 機能 機能動作表

FOE pin input	FSEL1 bit	FSEL0 bit	FOUT pin output
X (Don't care)	0	0	32768 Hz Output (C-MOS output)
	0	1	1024 Hz Output (C-MOS output)
	1	0	1 Hz Output (C-MOS output)
"H"	1	1	32768 Hz Output (C-MOS output) *1
"L"	1	1	OFF (high impedance) *2

*1 初期電源投入時 (0 V からの電源投入時) に FOE 入力端子 = "H" であったときは、
パワーオンリセット機能により 32.768 kHz が選択出力されます。

*2 FOUT 出力を停止させる組み合わせは [FOE = "L" 且つ FSEL1, FSEL0 = "1"] の場合のみです。
その他の組み合わせのときは、表のようにいずれかのクロックが選択出力されます。

*3 FOUT 出力の ON / OFF 切替をソフトのみで制御する (FSEL1, 0 ビットのみで制御する) 場合は、
FOE 入力端子を "L" にしてください。

FOE pin input	FSEL1 bit	FSEL0 bit	FOUT pin output
"L"	0	0	32768 Hz Output (C-MOS output)
	0	1	1024 Hz Output (C-MOS output)
	1	0	1 Hz Output (C-MOS output)
	1	1	OFF (high impedance)

*4 FOUT 出力の ON / OFF 切替をハードのみで制御する (FOE 端子のみで制御する) 場合は、
FSEL1, 0 = "1" としてください。

注) ハードのみで制御できるのは、32.768 kHz 出力の ON / OFF 制御のみです。

FSEL1 bit	FSEL0 bit	FOE pin input	FOUT pin output
1	1	"H"	32768 Hz Output (C-MOS output)
		"L"	OFF (high impedance)

* 初期電源投入時は、パワーオンリセット機能により FSEL1, FSEL0 = "1" に なっています。

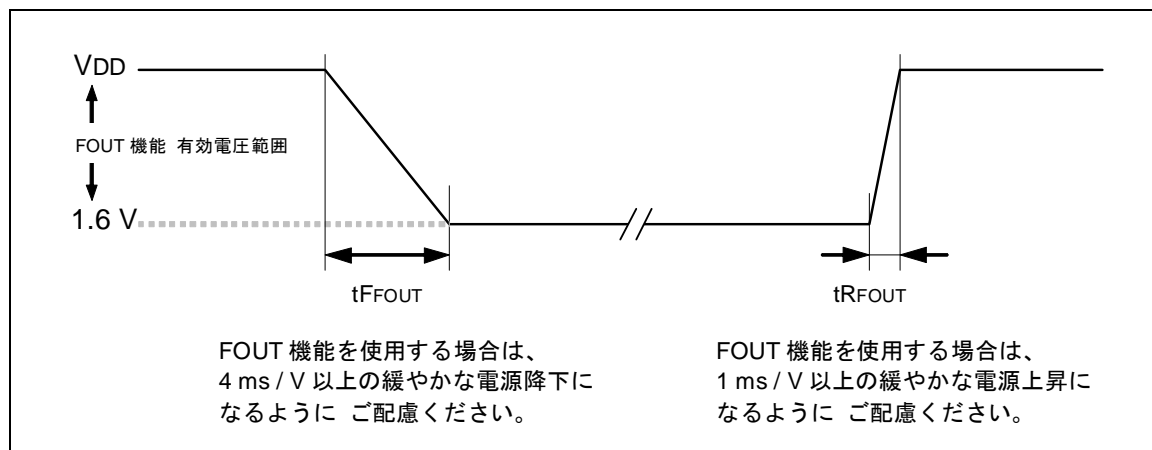
13.5.3. FOUT 機能使用時の注意事項

注 1) FOUT 機能が有効な電源電圧範囲

FOUT 機能が有効な電源電圧範囲は 1.6 V ~ 5.5 V です。(動作電源電圧規定を参照ください)

注 2) 電源を急峻に変動させたときの FOUT 出力動作

FOUT 機能は、電源電圧が急峻に変動した直後(バックアップ移行直後・バックアップからの復帰直後、など)では、その影響により、数 ms の間、出力が停止することがありますので ご注意ください。



注 3) STOP ビットが "1" のときの FOUT 出力動作

STOP "1" のときの FOUT は、選択周波数によっては 出力が停止します。 ご注意ください。

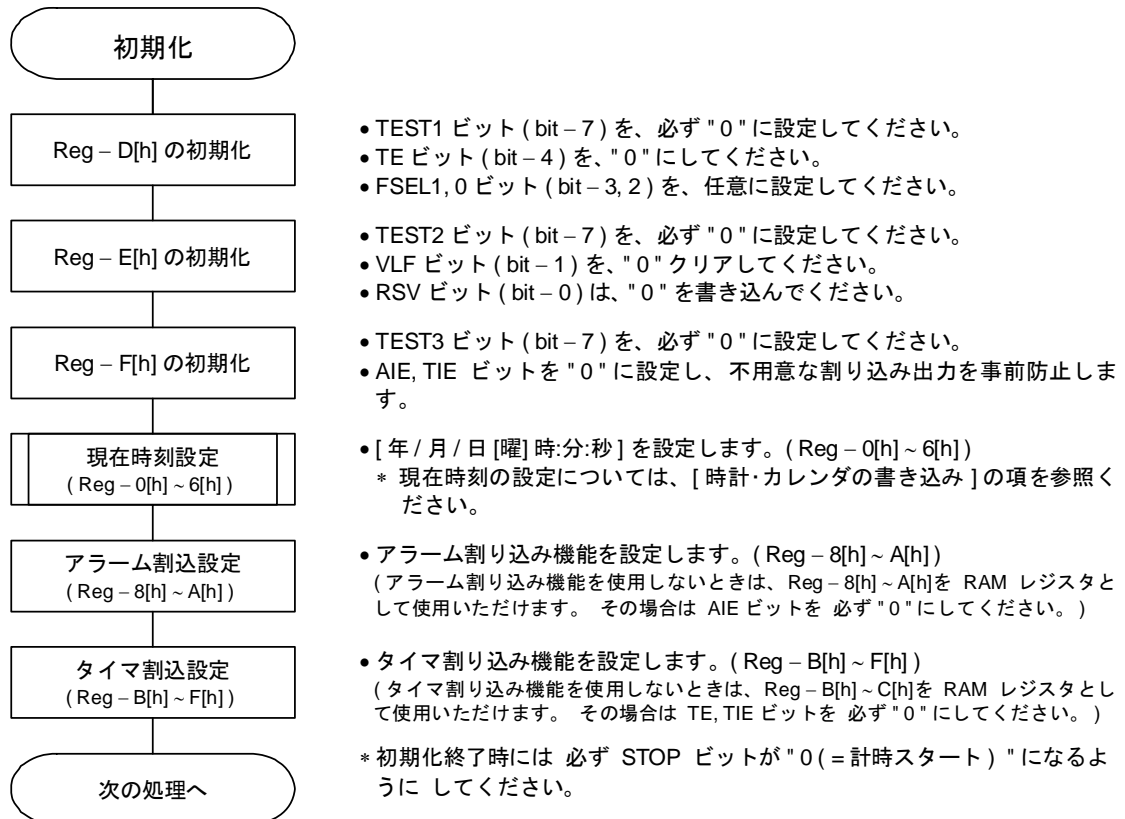
(1) 32.768 kHz, 1024 Hz を選択出力させているときは、継続出力します。

(2) 1Hz では FOUT 出力が停止します。

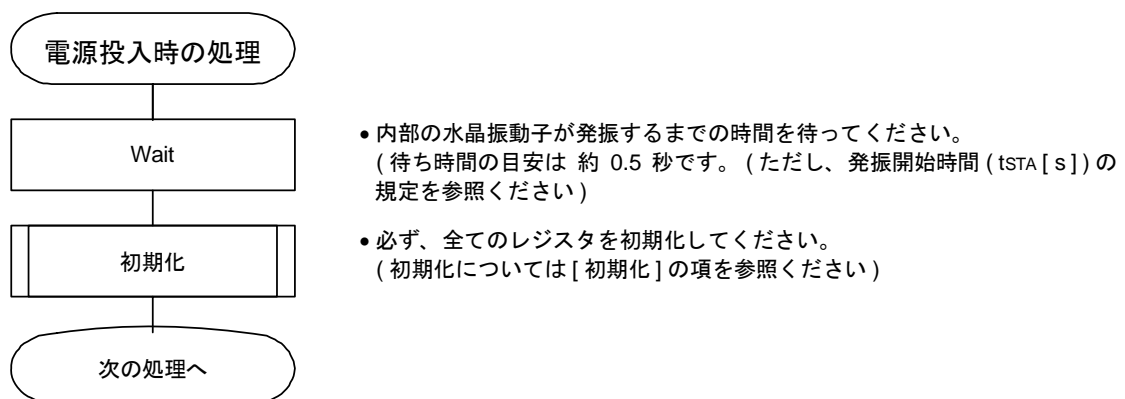
13.6. フローチャート

- 以下のフローチャートは 一例です。
- * わかりやすさを優先した記載にしていますので、実際の処理の際には 非効率な部分があります。
- * より効率的な処理を行いたいときは、いくつかの処理を同時にしたり、また、操作手順を入れ替えても問題無い部分などを 確認調整ください。(記載内容の中には、使用状況によっては 必要のない処理もあります)
- * 期待通りの動作を行うためには、必ず 使用条件 (使用環境) に合わせた調整を お願いいたします。

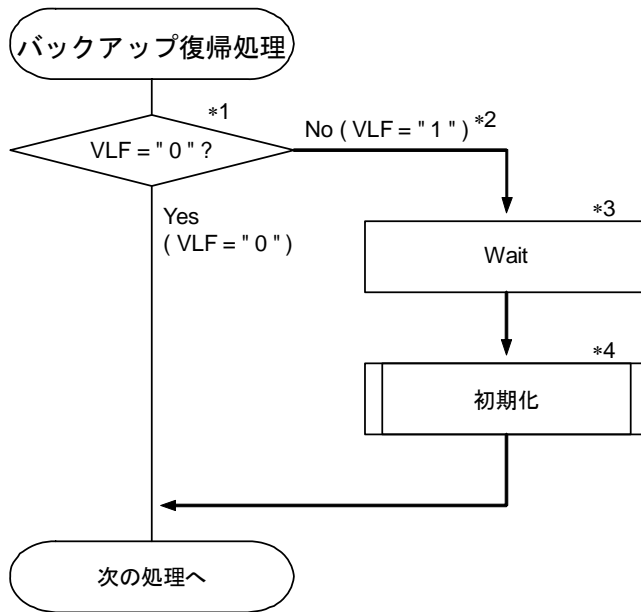
1) 初期化例



2) 電源投入時の処理例



3) バックアップ状態から復帰したときの処理例



*1) VLF ビットをチェックします。

*2) VLF ビットが "1" のときは、バックアップ中に異常があった (電圧低下などにより、計時データやレジスタ設定を消失している) 可能性がありますので、必ず 初期化をしてください。

*3) 電源電圧が低下していた場合は、内部の水晶振動子が再び安定発振するまでの待ち時間が必要です。(待ち時間の目安は 約 0.5 秒です。(ただし、発振開始時間 (tSTA [s]) の規定を参照ください))

*4) 初期化は、必ず 全てのレジスタを初期設定してください。(初期化については、[初期化]の項を参照ください)

4) 時計・カレンダーの書き込み例



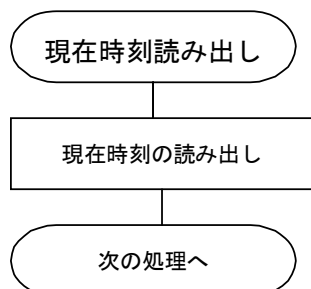
• STOP ビットを "1" にし、時刻設定中の計時更新を事前防止します。

• [年/月/日 [曜] 時:分:秒]のうち、設定 (または 再設定) が必要な情報を書き込みます。
* 初期化のときは、全てのデータを初期設定してください。

• STOP ビットを "0" に解除し、計時動作を開始 (再開) します。
* STOP ビットを "0" にした時点から、計時が開始します。

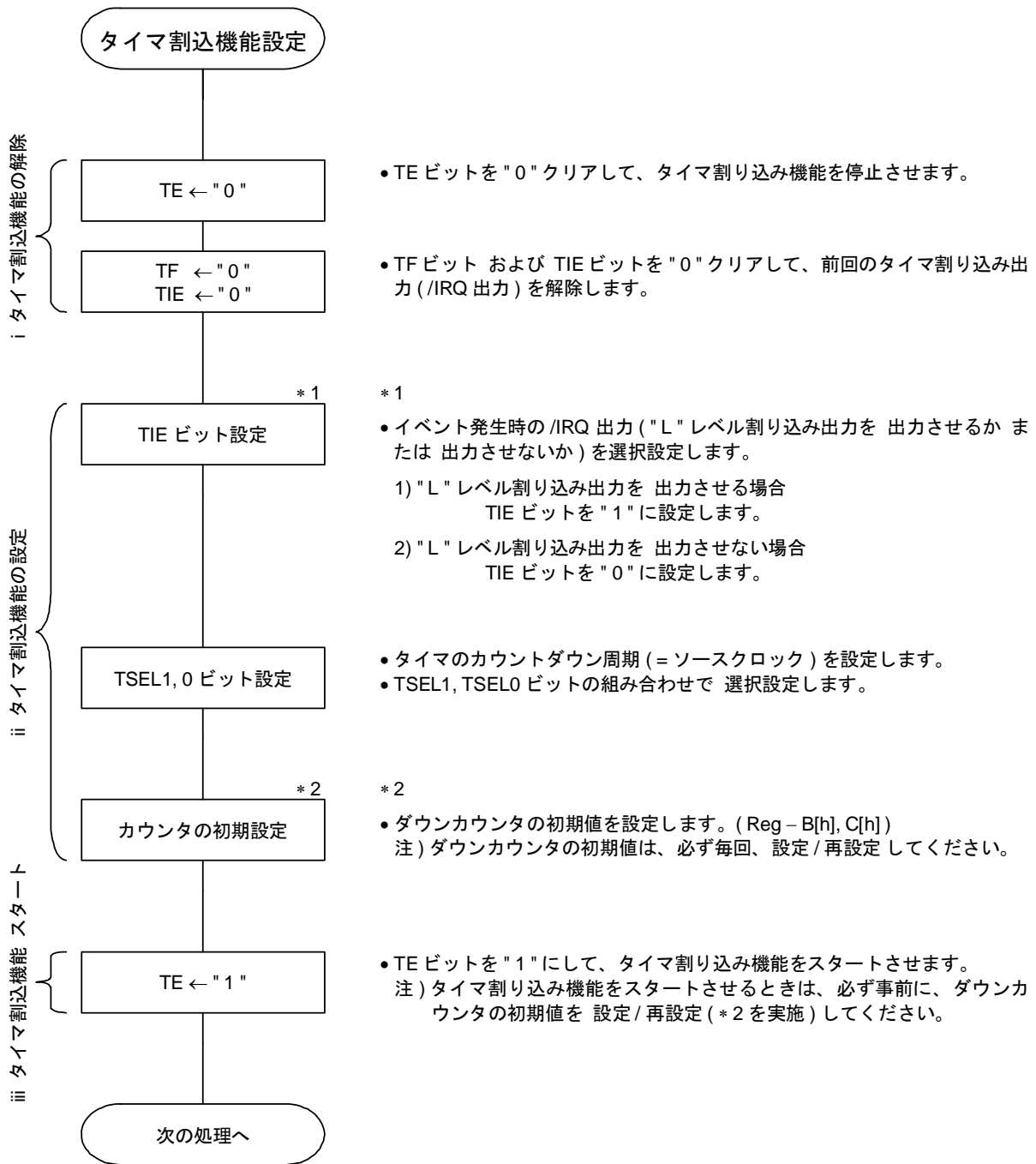
* STOP ビットを併用しなくても、時刻設定可能です。
STOP ビットを使用しない場合は、[[秒] を書き込んだ時点から、計時が開始する]点にご注意ください。

5) 時計・カレンダーの読み出し例



• 1 秒以内に、[年/月/日 [曜] 時:分:秒]のうち、必要な情報を読み出します。
* STOP ビットの操作は不要です。

6) タイマ割り込み機能の設定例



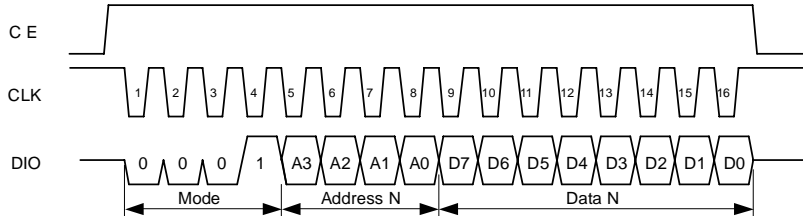
13.7. データのリード/ライト および カレンダー設定時の注意事項

書き込み/読み出し共に、CE = "H" のチップ選択状態にした後、4 ビットのモード設定、続いて 4 ビットのアドレス指定を行い、その後は 8 ビット単位でのデータ R/W をおこないます。

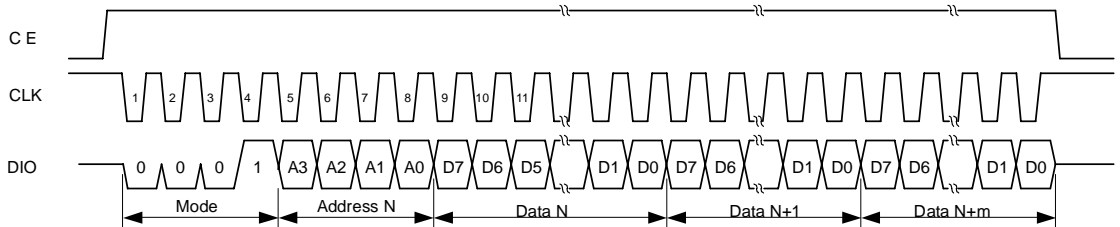
書き込み/読み出し共に、**MSB ファースト**です。連続動作では、対象アドレスがオートインクリメントされます。アドレスのオートインクリメントは循環で、アドレス "F" の次は アドレス "0" となります。

13.7.1. データの書き込み

1) 単発 書き込み



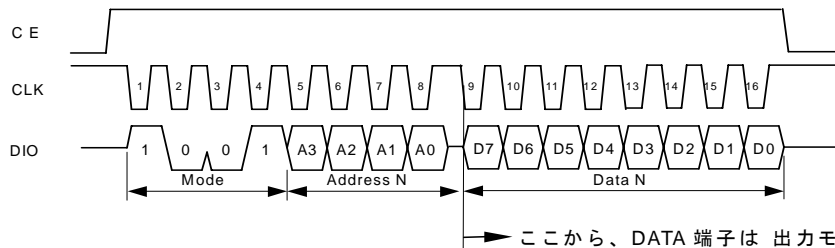
2) 連続 書き込み



* データライト時は 8 ビット単位のデータを入力する必要があります。
8 ビット単位のデータ入力が未完の状態でも CE 入力を立ち下げた場合、CE 入力が立ち下がった時点の 8 ビットデータは正常な書き込みができません。

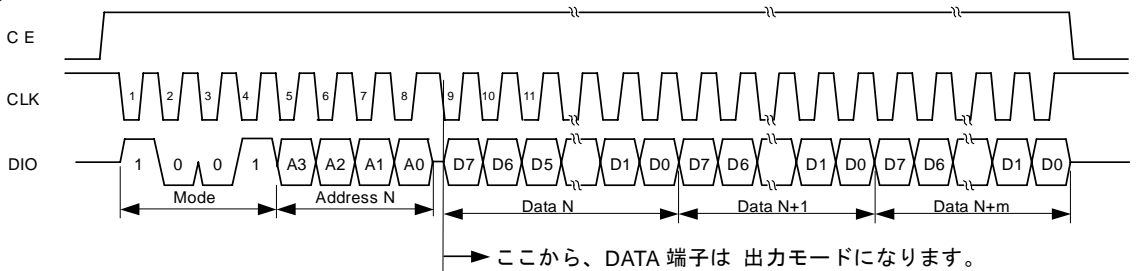
13.7.2. データの読み出し

1) 単発 読み出し



→ ここから、DATA 端子は 出力モードになります。

2) 連続 読み出し



→ ここから、DATA 端子は 出力モードになります。

13.7.3. 書き込み / 読み出し モード設定コード

Mode	設定コード
Write	1 [h]
Read	9 [h]

※モード設定コード部に左記以外を設定した場合は、その後のデータは無視され、DIO 端子は入力受付禁止状態を保ちます。



Application Manual

エプソントヨコム株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒980-0013 仙台市青葉区花京院 1-1-20 花京院スクエア 19F
TEL (022) 263-7975 (直通) FAX (022) 263-7990

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 17F
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

〒399-8707 塩尻市広丘原新田 80 セイコーエプソン(株) 広丘事業所 EBL 棟 2F
TEL (0263) 51-1050 (直通) FAX (0263) 54-6931

インターネットによる電子デバイス情報配信

<http://www.epsontoyocom.co.jp>

代理店
