

# アプリケーションマニュアル

Real Time Clock Module

## **RX-4575LC**

エプソントヨコム株式会社

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

- 1) 本マニュアルの内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
- 2) 本マニュアルの一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 3) 本マニュアルに記載された応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。  
また、本カタログによって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
- 4) 特性表の数値の大小は、数値線上の大小関係で表します。
- 5) 輸出管理について
  - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
  - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
- 6) 製品は一般電子機器に使用されることを意図し設計されたものです。  
特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。  
承諾無き場合は如何なる責任も負いかねることがあります。
  - 1 宇宙機器（人工衛星・ロケット等）2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
  - 3 生命維持を目的とした医療機器4 海底中継機器5 発電所制御機器6 防災・防犯装置7 交通用機器
  - 8 その他；1～7と同等の信頼性を必要とする用途
- 7) 製品呼称、識別マークにつきましては順次統合していく予定ですが本マニュアルにおきましては統合前に両社が使用していた呼称、識別マークを継承しています。正式型番、識別マーク等詳細につきましては仕様書等でご確認いただけますようお願いいたします。

本マニュアルに記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

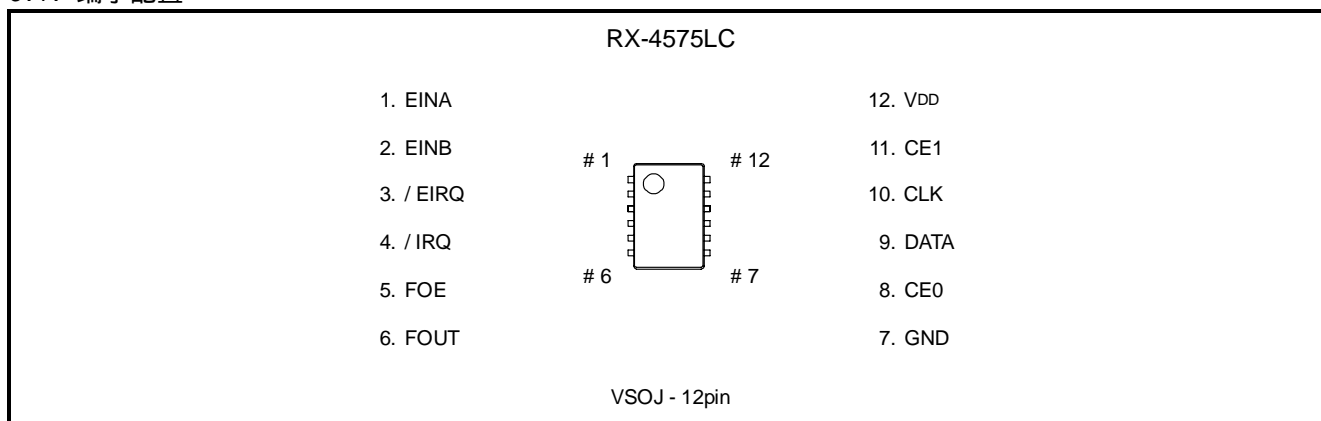
## 目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 絶対最大定格	3
5. 推奨動作条件	3
6. 周波数特性	3
7. 電気的特性	4
7.1. DC 電気的特性	4
7.2. AC 電気的特性	5
8. 機能概要 および レジスタテーブル	6
8.1. 機能概要	6
8.2. レジスタテーブル	7
9. 機能説明	8
9.1. レジスタ説明	8
9.3. アラーム割り込み機能	18
9.6. データのリード / ライト	27
9.7. 電源投入時の VDD と CE のタイミング	28
9.8. バックアップへの移行 および 復帰	28
9.9. 外部接続例	28
9.10. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限	29
10. 外形寸法図 / マーキングレイアウト	30
10.1. 外形寸法図	30
10.2. マーキングレイアウト	30
11. 取り扱い上の注意事項	31



### 3. 端子説明

#### 3.1. 端子配置



#### 3.2. 端子機能

端子名	入出力	機能
CE0	入力	チップイネーブル 0 入力端子で、プルダウン抵抗を内蔵しています。 CE0, CE1端子が共に " H " レベルのとき、本RTCへのアクセスが可能です。
CE1	入力	チップイネーブル 1 入力端子です。 CE0, CE1端子が共に " H " レベル時、本RTCへのアクセスが可能です。
CLK	入力	シリアルデータ転送のシフトクロック入力端子です。 ライトモード時は CLK信号の立ち上がりエッジでDATA端子からデータを取り込み、リードモード時は 立ち下がりエッジでDATA端子からデータを出力します。
DATA	双方向	シリアルデータ転送のデータ入出力端子です。 CE0, CE1入力の立ち上がり後のモード設定により、入力端子または出力端子となります。
EINA	入力	ロジック信号の入力検出が可能です。 レジスタ設定で、Hi検出、Low検出、プルアップ抵抗付加、プルダウン抵抗付加などを選択可能です。入力検出時に、EIRQから割り込み信号を出力可能です。
EINB	入力	ロジック信号の入力検出が可能です。 レジスタ設定で、Hi検出、Low検出、プルアップ抵抗付加、プルダウン抵抗付加などを選択可能です。入力検出時に、EIRQから割り込み信号を出力可能です。
FOUT	出力	FOE入力端子、FEビットによる出力制御機能付きの、32.768kHz出力端子です。 C-MOS出力で、出力OFF時は ハイインピーダンスです。
FOE	入力	FOE端子、FEビットのどちらか " H " のとき、FOUT端子から 32.768 kHzが出力します。 FOE端子、FEビットが共に " L " のとき、FOUT端子はハイインピーダンスです。
/ EIRQ	出力	イベント検出割り込み用のオープンドレイン出力端子です。 アラーム、タイマーの割り込みも出力可能です。
/ IRQ	出力	アラーム及びタイマー割り込み用のオープンドレイン出力端子です。
VDD	-	電源のプラス側に接続します。
GND	-	グラウンドに接続します。

注) VDD – GND 間 直近に 0.1  $\mu$ F 以上のパコンを必ず接続してください。

## 4. 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
電源電圧	V <sub>DD</sub>	-	-0.3 ~ +7.0	V
入力電圧	V <sub>IN</sub>	入力端子	GND-0.3 ~ V <sub>DD</sub> +0.3	V
出力電圧 (1)	V <sub>OUT1</sub>	/ IRQ, / EIRQ端子の プルアップ先電圧。	GND-0.3 ~ +8.0	V
出力電圧 (2)	V <sub>OUT2</sub>	FOUT, DATA	GND-0.3 ~ V <sub>DD</sub> +0.3	V
保存温度	T <sub>STG</sub>	梱包状態を除く 単品での保存	-55 ~ +125	°C

## 5. 推奨動作条件

GND = 0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V <sub>DD</sub>	-	1.6	3.0	5.5	V
計時電源電圧	V <sub>CLK</sub>	-	1.3	3.0	5.5	V
動作温度範囲	T <sub>OPR</sub>	結露無きこと	-40	+25	+85	°C

## 6. 周波数特性

GND = 0 V

項目	記号	条件	規格	単位
周波数精度	$\Delta f / f$	Ta = +25 °C, V <sub>DD</sub> = 3.0 V	5 ± 23 (*1) (*2)	× 10 <sup>-6</sup>
周波数電圧特性	f / V	Ta = +25 °C, V <sub>DD</sub> = 2.0 V ~ 5.0 V	± 2 Typ.	× 10 <sup>-6</sup> / V
周波数温度特性	T <sub>OP</sub>	Ta = -20 °C ~ +70 °C, V <sub>DD</sub> = 3.0 V ; +25 °C 基準	+10 / -120	× 10 <sup>-6</sup>
発振開始時間	t <sub>STA</sub>	Ta = +25 °C, V <sub>DD</sub> = 1.6 V	1 Max.	s
		Ta = -40 °C ~ +85 °C V <sub>DD</sub> = 1.6 V	3 Max.	s
エージング	f <sub>a</sub>	Ta = +25 °C, V <sub>DD</sub> = 3.0 V ; 初年度	± 5 Max.	× 10 <sup>-6</sup> / year

\*1) 月差 1 分相当。(オフセット値を除く)

\*2) リフロー処理 2 回による 周波数変動分を含む。

\* リフロー処理は、弊社条件による。(個別仕様書を参照ください)

## 7. 電気的特性

## 7.1. DC 電気的特性

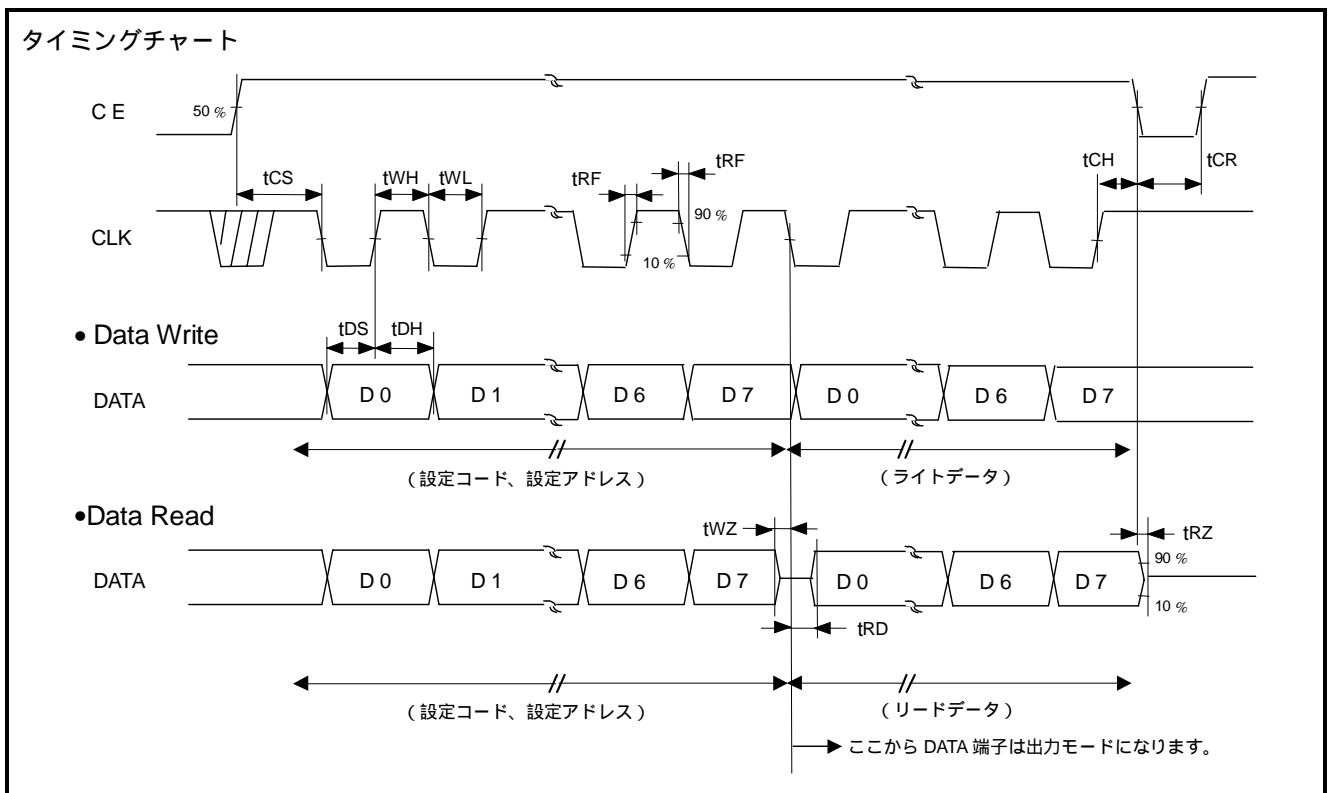
特記無き場合、GND = 0 V, V<sub>DD</sub> = 1.6 V ~ 5.5 V, T<sub>a</sub> = -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位	
消費電流 ( 1 )	I <sub>DD1</sub>	CEO, CE1, CLK, EINA, EINB, FOE=VSS DATA, IRQ, EIRQ=VDD FOUT 出力 OFF (Hi-Z)	V <sub>DD</sub> = 5 V	0.45	(0.9)	μA	
消費電流 ( 2 )	I <sub>DD2</sub>	1 <sup>Λ</sup> 検出 OFF REA, REB, EA, EB, 1 <sup>Λ</sup> = "0"	V <sub>DD</sub> = 3 V	0.35	(0.7)		
消費電流 ( 3 )	I <sub>DD3</sub>	CEO, CE1, CLK, EINA, EINB=VSS FOE, DATA, IRQ, EIRQ=VDD FOUT 出力 ON (32.768kHz), CL=0pF	V <sub>DD</sub> = 5 V	3.0	(7.5)	μA	
消費電流 ( 4 )	I <sub>DD4</sub>	1 <sup>Λ</sup> 検出 7.8ms 動作 REA, REB, 1 <sup>Λ</sup> = "0" HLA, HLB, EA, EB, T0, T1, 1 <sup>Λ</sup> = "1"	V <sub>DD</sub> = 3 V	1.7	(4.5)		
消費電流 ( 5 )	I <sub>DD5</sub>	CEO, CE1, CLK, EINA, EINB=VSS FOE, DATA, IRQ, EIRQ=VDD FOUT 出力 ON (32.768kHz), CL=30pF	V <sub>DD</sub> = 5 V	8.0	(20.0)	μA	
消費電流 ( 6 )	I <sub>DD6</sub>	1 <sup>Λ</sup> 検出 7.8ms 動作 REA, REB, 1 <sup>Λ</sup> = "0" HLA, HLB, EA, EB, T0, T1, 1 <sup>Λ</sup> = "1"	V <sub>DD</sub> = 3 V	5.0	(12.0)		
" H " 入力電圧	V <sub>IH1</sub>	CEO, CE1, CLK, DATA, FOE EINA, EINB 端子	0.7 × V <sub>DD</sub>		V <sub>DD</sub> + 0.3	V	
	V <sub>IH2</sub>	/ EIRQ, / IRQ 端子のプルアップ先電圧			6.0	V	
" L " 入力電圧	V <sub>IL</sub>	CEO, CE1, CLK, DATA, FOE EINA, EINB 端子	GND - 0.3		0.3 × V <sub>DD</sub>	V	
" H " 出力電圧	V <sub>OH1</sub>	DATA, FOUT 端子	V <sub>DD</sub> = 5 V, I <sub>OH</sub> = -1 mA	4.5	5.0	V	
	V <sub>OH2</sub>		V <sub>DD</sub> = 3 V, I <sub>OH</sub> = -1 mA	2.2	3.0		
	V <sub>OH3</sub>		V <sub>DD</sub> = 3 V, I <sub>OH</sub> = -100 μA	2.9	3.0		
" L " 出力電圧	V <sub>OL1</sub>	DATA, FOUT 端子	V <sub>DD</sub> = 5 V, I <sub>OL</sub> = 1 mA	GND	GND+0.5	V	
	V <sub>OL2</sub>		V <sub>DD</sub> = 3 V, I <sub>OL</sub> = 1 mA	GND	GND+0.8		
	V <sub>OL3</sub>		V <sub>DD</sub> = 3 V, I <sub>OL</sub> = 100 μA	GND	GND+0.1		
	V <sub>OL4</sub>	/ EIRQ および / IRQ 端子	V <sub>DD</sub> = 5 V, I <sub>OL</sub> = 1 mA	GND	GND+0.25	V	
	V <sub>OL5</sub>		V <sub>DD</sub> = 3 V, I <sub>OL</sub> = 1 mA	GND	GND+0.4		
入力抵抗 ( 1 )	R <sub>DWN1</sub>	CEO 端子	V <sub>DD</sub> =5V	75	150	300	k
入力抵抗 ( 2 )	R <sub>DWN2</sub>	VIN=VDD	V <sub>DD</sub> =3V	150	300	600	k
入力抵抗 ( 3 )	R <sub>DWN3</sub>	EINA, EINB 端子	V <sub>DD</sub> =5V	15	30	60	k
入力抵抗 ( 4 )	R <sub>DWN4</sub>	VIN=VDD	V <sub>DD</sub> =3V	30	60	120	k
入力抵抗 ( 5 )	R <sub>UP1</sub>	EINA, EINB 端子	V <sub>DD</sub> =5V	15	30	60	k
入力抵抗 ( 6 )	R <sub>UP2</sub>	VIN=VSS	V <sub>DD</sub> =3V	30	60	120	k
入力 リーク電流	I <sub>LK</sub>	CEO 端子 ; VIN = GND CE1, CLK, FOE, EINA, EINB 端子 ; VIN = VDD or GND 内蔵抵抗 OFF		-0.5		0.5	μA
出力 リーク電流	I <sub>OZ</sub>	DATA, / EIRQ, / IRQ, FOUT 端子, V <sub>OUT</sub> = V <sub>DD</sub> or GND		-0.5		0.5	μA

7.2. AC 電気的特性

特記無き場合、GND = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	VDD = 3 V ± 10 %			VDD = 5 V ± 10 %			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
CLK クロック周期	t <sub>CLK</sub>		600			350			ns
CLK "H" パルス幅	t <sub>WH</sub>		300			175			ns
CLK "L" パルス幅	t <sub>WL</sub>		300			175			ns
CE セットアップ時間	t <sub>CS</sub>		300			175			ns
CE ホールド時間	t <sub>CH</sub>		300			175			ns
CE リカバリー時間	t <sub>CR</sub>		400			300			ns
書き込みデータ セットアップ時間	t <sub>DS</sub>		75			50			ns
書き込みデータ ホールド時間	t <sub>DH</sub>		75			50			ns
書き込みデータ ディセーブル時間	t <sub>WZ</sub>		0			0			ns
読み出しデータ 遅延時間	t <sub>RD</sub>	CL = 50 pF			300			120	ns
出力ディセーブル時間	t <sub>RZ</sub>	CL = 50 pF RL = 10 kΩ			200			100	ns
入力立ち上がり, 立ち下がり時間	t <sub>RF</sub>				100			50	ns
FOUTデューティ (32.768 kHz出力時)	t <sub>w</sub> / t	50 % VDDレベル	45		55	45		55	%





## 8. 機能概要 および レジスタテーブル

### 8.1. 機能概要

#### 1) 時計機能

西暦の下二桁と 年・月・日、時・分・秒の、データ設定 / 計時 / 読み出しが可能です。

西暦の下二桁が4の倍数のときは自動的にうるう年と認識し、2099年までを自動判別します。

\* 詳細は [ 項 9.1. レジスタ説明 ] を参照してください。

#### 2) 定周期タイマ割り込み機能

定周期タイマ割り込み機能は 244.14  $\mu$ s ~ 4095 分までの任意の周期で割り込みを発生させる機能です。

タイマ割り込み発生時には / IRQ 端子の LOW 駆動によるハードウェア割り込みのほか、  
タイマフラグビットの読み出し判定による、ソフトウェア検出も可能です。

タイマ割り込みは、1 回限りの割り込み動作 または 繰り返し割り込み動作の、2 種類の動作モードを選択可能です。

\* 詳細は [ 項 9.2. 定周期タイマ割り込み機能 ] を参照してください。

#### 3) アラーム割り込み機能

アラーム割り込み機能は、[日] , [時] , [分] に対する割り込みイベントを発生させる機能です。

アラーム割り込み発生時には / IRQ 端子の LOW 駆動によるハードウェア割り込みのほか、  
アラームフラグビットの読み出し判定による、ソフトウェア検出も可能です。

\* 詳細は [ 項 9.3. アラーム割り込み機能 ] を参照してください。

#### 4) クロック出力機能

内蔵水晶振動子と同精度の 32.768 kHz クロックを、FOUT 端子から出力 ( CMOS 出力 ) することができます。

FOE 端子と FE ビットの組み合わせで、ハードでもソフトでも出力制御が可能です。

#### 5) イベント検出機能

外部からのロジック入力端子を 2 端子備えて、それぞれイベント入力を検出できます。

イベント検出時は、 / ERQ 端子の LOW 駆動によるハードウェア割り込みのほか、

各イベントフラグビットの読み出し判定による、ソフトウェア検出も可能です。

各イベント入力端子は、それぞれ個別にプルアップ、プルダウン抵抗の選択付加が可能で、  
正論理、負論理をそれぞれ選択設定可能です。

レジスタ設定により約 7.8ms から 125ms までチャタリングのフィルター時間を設定可能です。

イベント検出後は、直ちに内部プルダウン抵抗を自動接続して検出動作を自動停止するため、  
入力貫通電流と検出動作電流を抑制します。

各イベント入力端子の入力状態は、レジスタビットを通して

リアルタイムにソフトウェアモニターすることが可能です。

\* 詳細は [ 項 9.4. イベント検出機能 ] を参照してください。

## 8.2. レジスタテーブル

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	備考
0	SEC	fos	40	20	10	8	4	2	1	
1	MIN	fr	40	20	10	8	4	2	1	
2	HOUR	fr	•	20	10	8	4	2	1	
3	Interrupt Setup	fr	MIE	SB	SA	AOF	TOF	AQ	TQ	
4	DAY	fr	•	20	10	8	4	2	1	
5	MONTH	fr	•	•	10	8	4	2	1	
6	YEAR	80	40	20	10	8	4	2	1	
7	MIN Alarm	AE	40	20	10	8	4	2	1	
8	HOUR Alarm	AE	•	20	10	8	4	2	1	
9	DAY Alarm	AE	•	20	10	8	4	2	1	
A	Input setup	T1	T0	HLB	HLA	UDB	REB	UDA	REA	
B	Event Detection	EIE	EB	EA	•	•	•	FB	FA	
C	Timer Setup	TE	FE	TD1	TDO	2048	1024	512	256	
D	Timer Counter	128	64	32	16	8	4	2	1	
E	Control Register 1	•	•	•	TI / TP	AF	TF	AIE	TIE	
F	Control Register 2	•	TEST	0	RESET	HOLD	•	•	•	

注) 0Vからの初期電源投入時 および fos ビット読み出し時の結果が fos = " 1 " のときは、必ず 全てのレジスタを初期設定してから 使用してください。

その際、日付・時間に非存在データの設定をしないでください。 その後の計時動作は 不定です。

- \*1. 0(Vからの初期電源投入時は、fos, REA, REB, ビットが" 1 "にセットされて、EIE, AIE, TIE, MIE, TE, FE, TEST, EA, EB, UDA, UDB, の各ビットが" 0 "にクリアします。
- \*2. TEST ビットは 弊社テスト用ビットです。書き込み時は必ず" 0 "を設定してください。レジスタFのビット5は、読み出し値は常に"0"で、書き込み無効です。
- \*3. " • " マークのビットは、汎用メモリービットとして使用できますが、時計レジスタ内は、読み出し値の不整合を防ぐために、" 0 "に固定して頂くか、読み出し後に"0"マスクして頂くことをお奨めします。

## 9. 機能説明

### 9.1. レジスタ説明

#### 9.1.1. 時計カウンタ ( Reg - 0[h] ~ 2[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0	SEC	fos	40	20	10	8	4	2	1
1	MIN	fr	40	20	10	8	4	2	1
2	HOURL	fr	•	20	10	8	4	2	1

- [秒], [分], [時] を計時します。
- データ形式はBCD形式で、たとえば [SEC]レジスタが " 0101 1001 " ならば 59[秒]を意味します。
- fr ビットは、RTC 内部の計時カウンタの動作状況を示すフラグビットです。
- \* 存在しない時刻データが書き込まれた場合は、正常な動作ができない原因になりますので、ご注意ください。

#### 1) [ SEC ] レジスタ

[ 秒 ] を計時するカウンタです。

00 秒, 01 秒, 02 秒 ~ 59 秒, 00 秒, 01 秒 ~ の順に更新します。

#### 2) [ MIN ] レジスタ

[ 分 ] を計時するカウンタです。

00 分, 01 分, 02 分 ~ 59 分, 00 分, 01 分 ~ の順に更新します。

#### 3) [ HOUR ] レジスタ

[ 時 ] を、24 時間制で計時するカウンタです。

00 時, 01 時, 02 時 ~ 23 時, 00 時, 01 時 ~ の順に更新します。

#### 4) fos ビット ( OSC Flag )

本 RTC の内部発振状態を検出して、結果を保持するフラグビットです。

電源電圧の低下やその他の理由などで本 RTC の内部発振が停止すると、" 0 " → " 1 " に変化します。

読み出し値が " 1 " の場合は、本 RTC データの信頼性が有りませんので、必ず全てのレジスタを初期設定してから使用してください。

\* 初期電源投入時は " 1 " にセットされています。

\* 読み出し値が " 1 " の場合は、次回検出に備えるために fos フラグを " 0 " にクリアしてください。

#### 5) fr ビット ( READ Flag )

読み出し時の計時状況を検出して結果を示す、読み出し専用のフラグビットです。

読み出し中に桁上げが発生すると " 0 " → " 1 " に変化します。

読み出し値が " 1 " のときは、各時計データが桁上げの前後にまたがった不整合なデータを読み出した可能性が有りますから、もう一度、計時レジスタを読み直してください。

\* 本 fr ビットは、CEO 入力端子 または CE1 入力端子のどちらかを " L " にすると、自動的にゼロクリアされます。

\* Reg - 1 ~ 5 の fr ビットは、全て 同じ機能です。

## 9.1.3. カレンダーカウンタ ( Reg - 04[h] ~ 06[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
4	DAY	fr	•	20	10	8	4	2	1
5	MONTH	fr	•	•	10	8	4	2	1
6	YEAR	80	40	20	10	8	4	2	1

- 2001年01月01日～2099年12月31日までの [日], [月], [年] を、オートカレンダー機能によって更新します。
- データ形式はBCD形式で、たとえば [DAY]レジスタが " 0011 0001 " は31日を意味します。
- \* 存在しないカレンダーデータが書き込まれた場合は正常な動作ができない原因になりますので ご注意ください。

## 1) [ DAY ] レジスタ

- [日] のカウンタです。  
月によって更新状況が異なります。

\* [年] が4の倍数のとき ( 04年, 08年, 12年～88年, 92年, 96年 ) はうるう年になりますので、その年の02月の [日] の更新は02月01日, 02日, 03日～28日, 29日 → 03月01日～となります。

DAY	月	更新内容
Write / Read	1, 3, 5, 7, 8, 12月	01日, 02日, 03日～30日, 31日, 01日～
	4, 6, 9, 11月	01日, 02日, 03日～30日, 01日, 02日～
	2月 かつ 通常年	01日, 02日, 03日～28日, 01日, 02日～
	2月 かつ うるう年	01日, 02日, 03日～28日, 29日, 01日～

## 2) [ MONTH ] レジスタ

- [月] のカウンタです。  
01月, 02月, 03月～12月, 01月, 02月～の順に更新します。

## 3) [ YEAR ] レジスタ

- [年] のカウンタです。  
00年, 01年, 02年～99年, 00年, 01年～の順に更新します。
- [年] が4の倍数のとき ( 04年, 08年, 12年～88年, 92年, 96年 ) はうるう年になります。

## 9.1.4. アラームレジスタ ( Reg - 7[h] ~ 9[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
7	MIN Alarm	AE	40	20	10	8	4	2	1
8	HOUR Alarm	AE	•	20	10	8	4	2	1
9	DAY Alarm	AE	•	20	10	8	4	2	1

- アラーム割り込み機能を使用して [日], [時], [分]などに対する割り込みを得たいときに、AIEビット および AFビットとともに設定/使用します。  
メモリービットは、アラーム比較の対象外です。
- 上記アラームレジスタの設定状況に 現在時刻が一致すると、AFビット="1" かつ /IRQ端子="L"となり、ハードウェア、ソフトウェア、どちらでもアラームの発生を知ることができます。

\* 詳細は [ 項9.3. アラーム割り込み機能 ] を参照してください。

## 9.1.5. イベント検出レジスタ ( Reg - A[h] ~ B[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
A	Input setup	T1	T0	HLB	HLA	UDB	REB	UDA	REA
B	Event Detection	EIE	EB	EA	•	•	•	FB	FA

- イベント検出機能を使用する際の、動作の制御 や 検出周期の選択とプルアップダウン抵抗の付加を設定するレジスタです。
- イベント検出のEINA、EINBの各端子からのイベント検出時に、EIRQ端子から割り込み信号を出力可能です。検出後は検出動作が自動停止して、プルダウン抵抗が自動接続されます。検出を再開するには、再設定が必要です。検出時には、入力端子に応じた検出フラグがセットするので、ソフトウェアによるイベント検出も可能です。

\* 詳細は [ 項9.4. イベント検出機能 ] を参照してください。

## 9.1.6. 定周期タイマ用ダウンカウンタ ( Reg - C[h] ~ D[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
C	Timer Setup	TE	FE	TD1	TD0	2048	1024	512	256
D	Timer Counter	128	64	32	16	8	4	2	1

- タイマ割り込み機能を使用する際の、動作の制御や、タイマ用クロック周期の選択及び、タイマのプリセット値を設定するレジスタです。

\* 詳細は [ 項9.2. 定周期タイマ割り込み機能 ] を参照してください。

## 9.1.7. 制御レジスタ1 ( Reg - E[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
E	Control Register 1	•	•	•	TI / TP	AF	TF	AIE	TIE

- 各種割り込みの発生の記録、および、外部への割り込み出力を制御します。

- 1) TI / TP ビット ( Interrupt Signal Output Mode Select. Interrupt / Periodic )  
定周期タイマ割り込み発生時 ( TF= " 0 " → " 1 " ) に、その割り込み動作を1回で終了させるかまたは繰り返し連続割り込み動作させるかを 選択指定するビットです。  
" 1 " の書き込みで、連続割り込みになります。  
" 0 " の書き込みで、1 回限り 動作します。  
\* 詳細は [ 項 9.2. 定周期タイマ割り込み機能 ] を参照してください。
- 2) AF ビット ( Alarm Flag )  
アラーム割り込みの発生を検出して、記録するフラグビットです。  
アラーム割り込みが発生すると、" 0 " → " 1 " にセットします。  
\* 詳細は [ 項 9.3. アラーム割り込み機能 ] を参照してください。
- 3) TF ビット ( Timer Flag )  
タイマ割り込みの発生を検出して、記録するフラグビットです。  
タイマ割り込みが発生すると、" 0 " → " 1 " にセットします。  
\* 詳細は [ 項 9.2. 定周期タイマ割り込み機能 ] を参照してください。
- 4) AIE ビット ( Alarm Interrupt Enable )  
アラーム割り込み発生時 ( AF= " 0 " → " 1 " ) の、 /IRQ 割り込みの出力可否を設定します。  
" 1 " の設定時は、アラーム発生時に /IRQ 端子から " L " レベルの割り込み信号を出力します。  
" 0 " 設定時は、/IRQ 端子からの アラーム割り込み出力を禁止します。  
\* 詳細は [ 項 9.3. アラーム割り込み機能 ] を参照してください。
- 5) TIE ビット ( Timer Interrupt Enable )  
タイマ割り込み発生時 ( TF、" 0 " → " 1 " ) の、/IRQ 割り込み信号の動作を設定します。  
" 1 " 設定時は、タイマ割り込み発生時に /IRQ 端子から " L " レベルの割り込み信号を出力します。  
" 0 " 設定時は、/IRQ 端子からのタイマ割り込み出力を禁止します。  
\* 詳細は [ 項 9.2. 定周期タイマ割り込み機能 ] を参照してください。

#### 9.1.8. 制御レジスタ 2 ( Reg - F[h] )

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
F	Control Register 2	○	TEST	0	RESET	HOLD	○	○	○

- 時計、カレンダーなどの停止/動作再開 を制御するためのレジスタです。

- 1) TEST ビット  
弊社のテスト用のビットです。必ず " 0 " を設定してください。  
他のビットへの書き込みの際に、誤って " 1 " を書き込まないように ご注意願います。  
\* 万が一 " 1 " を書き込んでしまった場合でも、CEO 端子 または CE1 端子が " L " レベルになると自動的にゼロクリア するため、システムへの悪影響を最小限に抑制します。
- 2) RESET ビット  
計時動作を停止させ、また、1 秒に満たない内部のカウンタをリセットします。" 1 " の書き込みで計時動作が停止し、さらに RTC 内の秒未満の内部カウンタをリセットします。  
" 0 " を書き込むか、CEO 端子 または CE1 端子を " L " にすると 自動的にゼロクリアします。  
\* RESET=1 のときはイベント検出機能の他、計時機能をはじめ、ほとんどの機能が停止します。
- 3) HOLD ビット  
計時レジスタの更新を一時停止しますので、HOLD=1 にして日時データを読み出すと、整合のとれたデータを、確実に読み出すことができます。  
同様に、時計カレンダーデータ書き込みと桁上げが重なって、データが不整合になるのを防止できます。  
HOLD=1 で 1 秒桁への桁上げを停止します。  
" 0 " の書き込みで 停止を解除して計時更新を再開します。  
HOLD を " 1 " → " 0 " に戻したとき、それまでの間に 内部桁上げが発生していた場合には、1 回の桁上げに限り、自動補正します。  
\* HOLD = " 1 " の間に桁上げが 2 回以上発生しても補正は 1 秒だけですので、データ読み出しに HOLD ビットを利用する場合は 1 秒以内に留めないと、時計データが異常に遅延することがあります。

4) RESET, HOLD ビットの設定 と 機能動作

ビット		機 能				
RESET	HOLD	計 時	タイマ	アラーム	FOUT	イベント検出
0	0	動作	動作	動作	動作	動作
0	1	*1	*2	停止	動作	動作
1	0	停止	*3	停止	動作	停止
1	1	停止	*3	停止	動作	停止

\*1 : HOLD 時間が 1 秒以内であれば、自動補正機能により計時が遅延することは有りません。

\*2 : ソースクロック 1/60 Hz ( 1 min ) 以外のソースクロックで 動作します。

\*3 : ソースクロック 4096 Hz 選択時のみ 動作します。

\*4 : HOLD による桁上げ補正機能は書き込み時も機能します。

HOLD 設定して書き込みアクセスした場合も、アクセス中に桁上げが発生すると、アクセス終了後に 1 秒追加補正が行われます。

5) RESET, HOLD 回路ブロックイメージ

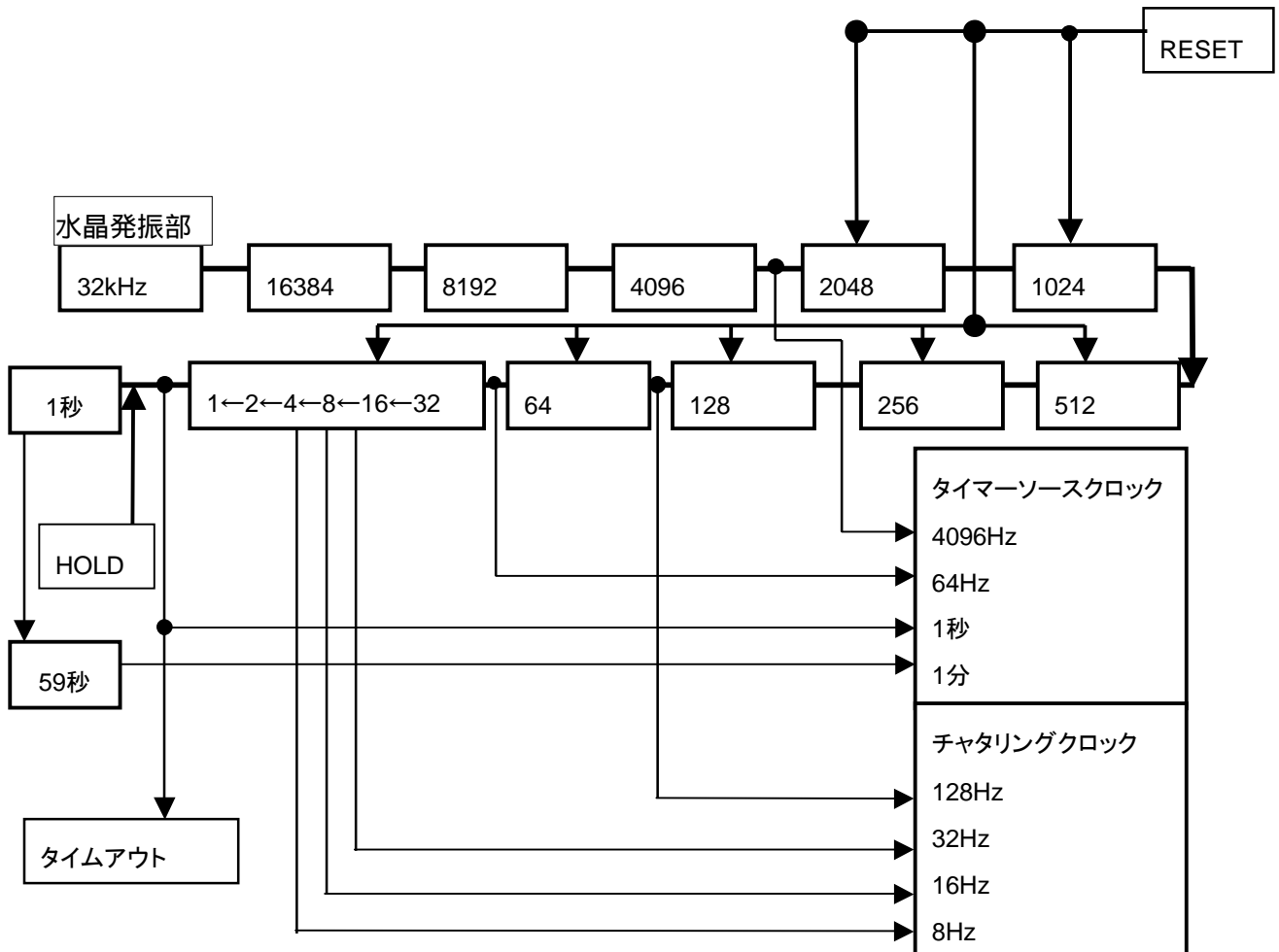
RESETは2048から1hzまでをゼロリセットします。

このため、RESET中は4096Hz以外のタイマーのほか、チャタリングフリー、タイムアウトは機能しません。

HOLDは時計の1秒レジスタへの入力信号を禁止しますので、

HOLD中でもタイマーの1Hzクロックとタイムアウトは動作しますが、タイマー1分クロックは停止します。

同じくHOLD中は、チャタリングフリー機能は影響を受けません。



9.2. 定周期タイマ割り込み機能

9.2.1. 定周期タイマ割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
C	Timer Setup	TE	FE	TD1	TD0	2048	1024	512	256
D	Timer Counter	128	64	32	16	8	4	2	1
E	Control Register 1	•	•	•	TI / TP	AF	TF	AIE	TIE

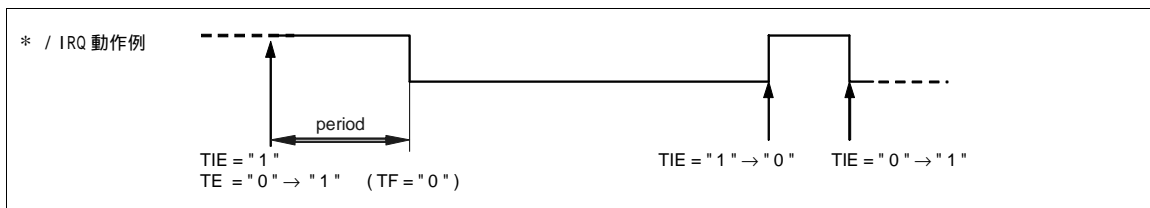
\* タイマ設定を行うときは、設定中の不要な割り込み発生を避けるために、設定前に、TE、TIE ビットを "0" クリアしておくことを推奨します。

1) TI / TP ビット (Timer Interrupt / Periodic)

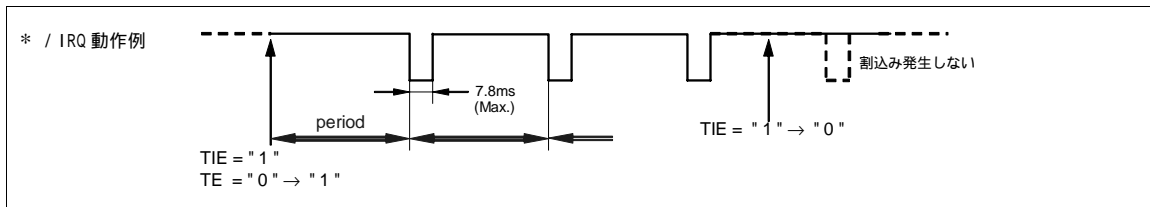
定周期タイマ割り込み発生時 (TF、"0" → "1") に、その割り込み動作を1回で終了させるかまたは繰り返し継続させるかを 選択指定するビットです。

TI / TP	データ	内容
Write / Read	0	[ レベル割り込みモード ] 定周期タイマ割り込み機能を、1 回限り 動作させる
	1	[ 繰り返し割り込みモード ] 定周期タイマ割り込み機能を、繰り返しで連続動作させる

\*1) レベル割り込みモード 概要図 (TI / TP = "0") タイマ割り込みは、1 回限りで動作を終了します。



\*2) 繰り返し割り込みモード 概要図 (TI / TP = "1") タイマ割り込みは、自動的に繰り返し動作を継続します。



2) TD1, TD0 ビット

定周期タイマ割り込み機能のカウンタダウン周期 (ソースクロック) を選択指定するビットです。この2つのビットの組み合わせで、全4種類より選択できます。

TD1, TD0	TD1 ( bit 5 )	TD0 ( bit 4 )	ソース クロック	自動復帰時間 tRTN
W / R	0	0	4096 Hz / 244.14 μs 周期	122 μs
	0	1	64 Hz / 15.625 ms 周期	7.813 ms
	1	0	1 Hz / 1 秒周期	7.813 ms
	1	1	1/60 Hz / 1 分周期	7.813 ms

\*1) /IRQ 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。

\*2) ソースクロック 1 / 60 Hz モード時の割り込みの発生は、内部計時の[分]更新に連動しています。

\*3) ソースクロック 1 Hz モード時の割り込みの発生は、内部計時に同期していません。(1 Hz タイマ専用回路を使用して、単独で動作します)



## 3) 定周期タイマ用ダウンカウンタ (Timer Counter)

Timer Counter レジスタ (Reg-D) は、プリセッダブル・ダウンカウンタの初期値 (プリセット値) を設定するレジスタで、カウント値は 1 (01h) ~ 4095 (FFFh) までの任意の値を設定できます。TD ビットで指定したソースクロックの周期で このダウンカウンタ値がカウントダウンし、01h → 00h にポローすると TF ビットが "1" にセットされて、割込みが発生します。

- \*1. このダウンカウンタを読み出すと、常にプリセット値が読み出せます。  
カウントダウン中のカウント値は 読み出せません。
- \*2. タイマ機能を使用しないときは、本レジスタビットをメモリービットとして使用できますが、その場合は TE, TIE = "0" に設定して、タイマを停止しておかないと、データがデクリメントしてメモリー値が変化したり、無用な割込み信号が発生します。

## 4) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write / Read	0	タイマは プリセット値をリロードして停止します。カウントダウン中に、このビットをゼロに設定しても、タイマの一時停止はできません。
	1	定周期タイマが カウントダウンします。 レベル割り込みモードでは割り込み発生と同時に自動ゼロクリアします。 注) レベル割り込みモードのときは、先に TF ビットを "0" クリアして、その後で TE ビットを "0" → "1" にしてください。

## 5) TF ビット (Timer Flag)

定周期タイマ割り込み発生を検出して、結果を保持するフラグビットです。

定周期タイマ割り込みが発生すると "0" → "1" に変化します。また そのとき、TIE = "1" であれば /IRQ 端子 から "L" レベルの割込み信号を出力することができます。

TF	データ	内容
Write	0	"0" クリアすると タイマ割り込みの外部出力を解除できます。 ただし、繰り返し割り込み中は、割込み時間が固定のため、解除できません。
	1	"1" の書き込みは 無効です。
Read	0	タイマ割り込みの発生は有りません。
	1	タイマ割り込みが発生しました。 "1" セット状態は、"0" クリアするまで保持されます。

## 6) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込み発生時 (TF、"0" → "1") の、/IRQ 割り込み信号の動作を設定します。

"1" の書き込みにより、割り込み発生時に /IRQ 端子から "L" レベルの割り込み信号を発生させることができます。 "0" の書き込みでは、/IRQ 端子への出力を禁止します。

TIE	データ	内容
Write / Read	0	1) 定周期タイマ割り込みによる、 割り込み信号の出力を禁止します。 発生中のタイマ割り込み信号は解除されます。
	1	定周期タイマ割り込みによる、 割り込み信号の出力を許可します。

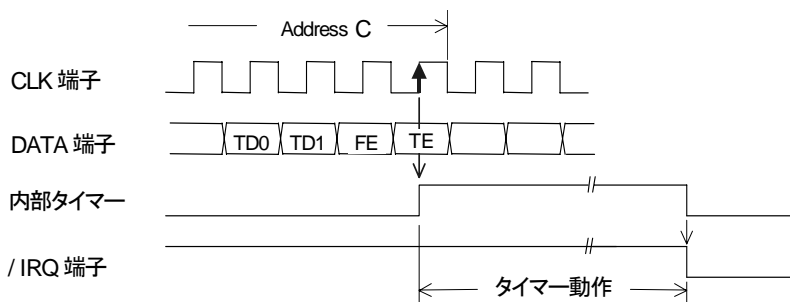
7) FE ビット ( FOUT Enable )

FOUT 端子の 32768Hz 出力を制御するビットです。  
FOE 端子とのコンビネーションによって、任意の出力制御が可能です。

FE	FE 値	FOE 端子設定	FOUT 端子状態
Write / Read	0	High	32768Hz 出力
		Low	Hi-Z
	1	High	32768Hz 出力
		Low	32768Hz 出力

9.2.2. タイマ スタートタイミング

定周期タイマ割り込み機能のタイマカウントダウンは、TE, "0" → "1" への書き込み終了時 (Reg - C) への書き込み終了時) の CLK の立ち上がりエッジ ( bit 0 送信終了時) から開始します。



9.2.3. 定周期タイマ割り込み周期 と 時間誤差

ソースクロック設定 (TD1, TD0 設定) と 定周期タイマ用ダウンカウンタ設定 (Reg - C 設定) の組み合わせによる、定周期タイマ割り込み周期の例を示します。

Timer Counter 設定値	ソースクロック			
	4096 Hz TD1,0 = 0,0	64 Hz TD1,0 = 0,1	1 Hz TD1,0 = 1,0	1/60 Hz TD1,0 = 1,1
0 (00h)	-	-	-	-
1 (01h)	244.14 μs	15.625 ms	1 s	1 min
2 (02h)	488.28 μs	31.250 ms	2 s	2 min
3 (03h)	732.42 μs	46.875 ms	3 s	3 min
⋮	⋮	⋮	⋮	⋮
4095 (FFFh)	999.75 ms	63.984 s	1h8min15s	2day 20h 15min

- 定周期タイマ割り込みの時間誤差 と 定周期タイマ割り込みの 1 周期の時間

定周期タイマ割り込みの時間誤差は、選択したソースクロックの  $\pm$  1 周期の時間が誤差となります。よって 定周期タイマ割り込みの 1 周期は、設定時間に対して以下の範囲になります。

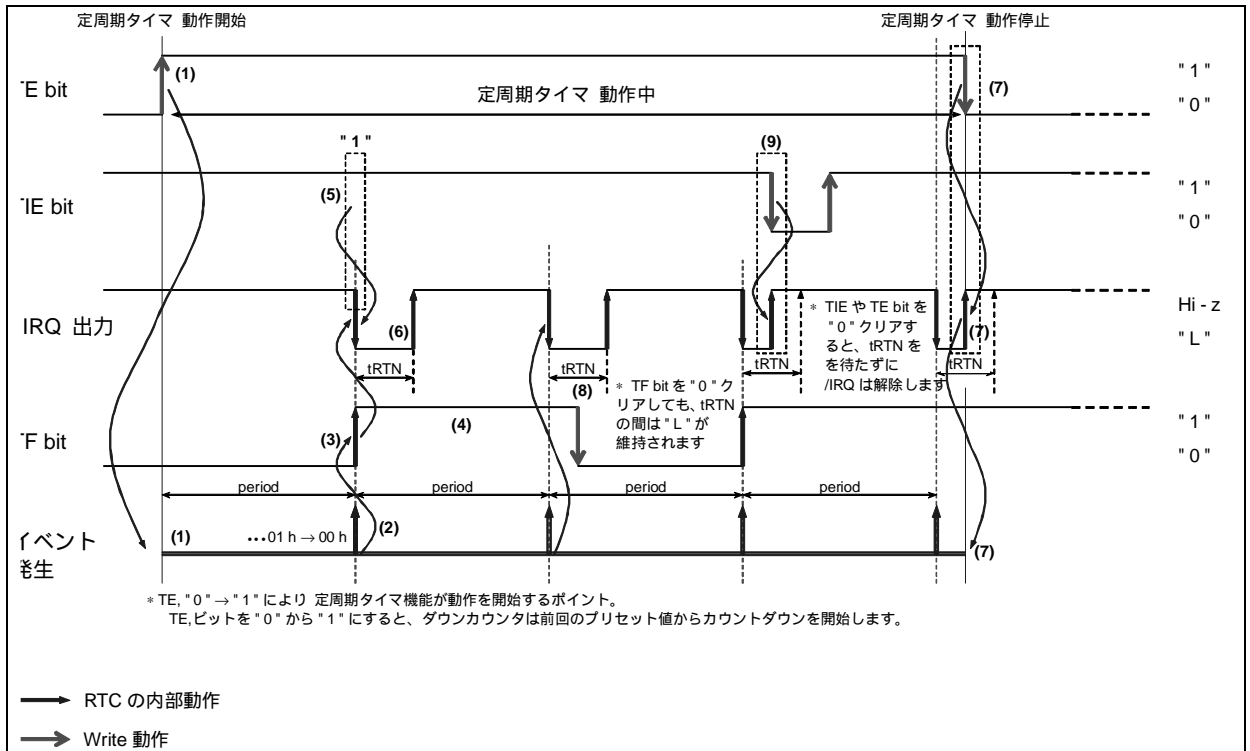
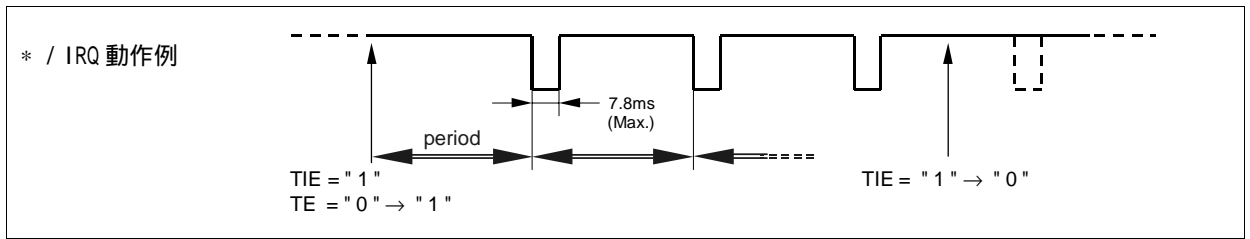
定周期タイマ割り込みの 1 周期  
 ( 定周期タイマ割り込み設定時間(\*) - ソースクロック周期 ) ~ ( 定周期タイマ割り込み設定時間 )  
 \*) 定周期タイマ割り込み設定時間 = ソースクロック設定 × 定周期タイマ用ダウンカウンタ設定

\* 実際の定周期タイマ割り込み時間は、上記時間の他にも 設定時のシリアルデータ転送クロックの通信時間がプラスされます。



9.2.4.2. 繰り返し割り込みモード ( TI / TP = " 1 " )

- 設定した周期で、自動的に割り込み動作を繰り返し続けます。



- (1) TE, " 0 " → " 1 " の書き込みより、定周期タイマのカウントダウンが プリセット値から開始されます。
- (2) 定周期タイマは「ダウンカウンタのカウント値がソースクロックの周期でカウントダウンして、カウンタ値が 01h → 00h にポローした時にタイマ割り込み信号が発生します。  
\* タイマ割り込みが発生した後は、ダウンカウンタのプリセット値を自動的に再ロードし、プリセット値から設定周期で再びカウントダウンを開始します。(繰り返し動作)
- (3) 定周期タイマ割り込みが発生すると、TF ビットは " 1 " になります。
- (4) TF ビットは、0 クリアされるまで " 1 " を保持します。  
( TE ビットを " 0 " クリアしても、TF ビット は影響を受けません )
- (5) 定周期タイマ割り込み発生時に TIE = " 1 " であれば、 / IRQ 端子は " L " を出力します。  
\* 定周期タイマ割り込み発生時に TIE = " 0 " であれば、 / IRQ 端子にタイマ割り込みは出力しません。
- (6) また / IRQ 端子出力は、毎割り込み発生時に tRTN の間だけ " L " になり、その後は Hi-z になります。  
\* 次の割り込みイベント発生時には 再度 / IRQ = " L " となります。
- (7) TE, " 1 " → " 0 " の書き込みより、定周期タイマの機能が停止し かつ / IRQ, " L " → Hi-z になります。
- (8) / IRQ = " L " 時に TF, " 1 " → " 0 " の書き込みをしても、 / IRQ = " L " のままで Hi-z には解除されません。
- (9) / IRQ = " L " 時に TIE, " 1 " → " 0 " の書き込みをすると、ただちに / IRQ, " L " → Hi-z になります。

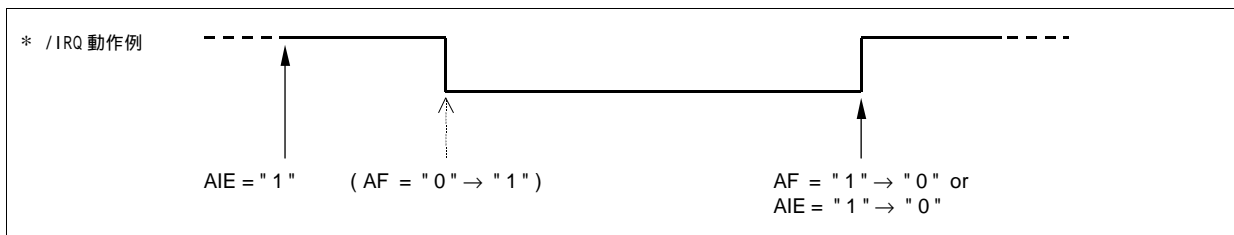
### 9.3. アラーム割り込み機能

アラーム割り込み機能は、[日]，[時]，[分]などに対する割り込みを発生させる機能です。

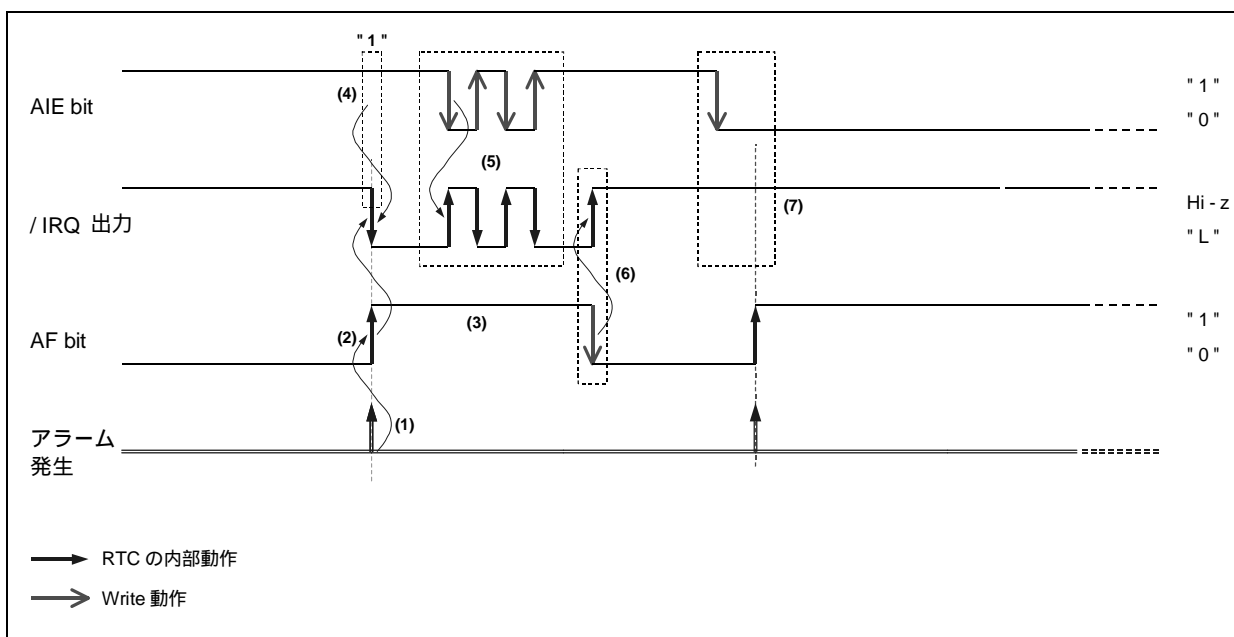
割り込み発生時には AF ビット = "1" かつ /IRQ 端子 = "L" となり、割り込みの発生を知ることができます。

\* /IRQ 端子は、アラーム割り込みと定周期タイマ割り込みが OR 出力します。

以下、定周期タイマ割り込み発生が無い前提でアラーム割り込みを解説します。



#### 9.3.1. アラーム割り込み機能図



- (1) 日時とアラームの比較動作は、59秒が00秒に変わった分桁の更新タイミングで行われます。このため、現在時刻と同じアラームデータを設定しても直ぐにアラームは発生しません。
- (2) アラーム割り込みが発生すると、AF ビットは "1" になります。
- (3) AF ビットが "1" のとき、0 クリアされるまで "1" が保持されます。
- (4) アラーム割り込み発生時に AIE = "1" ならば、/IRQ 端子は "L" を出力します。  
\* アラーム割り込みイベント発生時の /IRQ 端子出力は "L" になり、その後は AF ビットまたは AIE ビットによって解除されるまでこれを維持します。
- (5) /IRQ = "L" 時に AIE, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。また、アラーム割り込み発生後の AF ビットが 0 クリアされるまでの間は、/IRQ 状態を AIE ビットによって任意に制御することができます。
- (6) /IRQ = "L" 時に AF, "1" → "0" の書き込みをすると、ただちに /IRQ, "L" → Hi-z になります。
- (7) アラーム割り込み発生時に AIE = "0" ならば、/IRQ 端子は Hi-z のままで変化はありません。

## 9.3.2. アラーム割り込み機能 関連レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
1	MIN	fr	40	20	10	8	4	2	1
2	HOUR	fr	•	20	10	8	4	2	1
4	DAY	fr	•	20	10	8	4	2	1
7	MIN Alarm	AE	40	20	10	8	4	2	1
8	HOUR Alarm	AE	•	20	10	8	4	2	1
9	DAY Alarm	AE	•	20	10	8	4	2	1
E	Control Register 1	•	•	•	TI / TP	AF	TF	AIE	TIE

- \* 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、先に AIE ビットを "0" クリアすることを推奨します。
- \* アラーム割り込み機能を使用しないときは、アラームレジスタ (Reg - 7~9) を RAM レジスタとして使用できます。その場合は、AIE ビットを必ず "0" にしてください。
- \* アラームレジスタ (Reg - 7~9) を RAM レジスタとして使用する場合は、書き込みデータと現在時刻との偶然合致による無用なアラーム発生を防止するために AIE ビットを必ず "0" にしてください。

## 1) アラームレジスタ (Reg - 7[h] ~ 9[h])

アラームを発生させる [時], [分], [日] を設定します。

アラーム設定日時に現在日時が一致すると AF ビットが "1" になります。  
そのとき、AIE ビットが "1" であれば /IRQ 端子が "L" になります。

- \*1) AE = "1" にセットしたレジスタについては データ不問で常にアラーム一致として機能します。  
例) DAY Alarm レジスタ (Reg - 9) に 81h (AE = "1") を書き込むと、  
[日] は常時一致となるので、[時], [分] データが一致するだけでアラームが発生します。
- \*2) 3つの AE ビットの全てを "1" にしたときは、1分毎にアラーム割り込みが発生します。
- \*3) アラームの比較タイミングは、秒桁が 59 秒から 00 秒に更新するタイミングです。

## 2) AF ビット (Alarm Flag)

アラーム割り込みを検出して、結果を保持するフラグビットです。

あらかじめ "0" をセットしておく、アラーム割り込みが発生したときに "0" → "1" に変化します。

AF	データ	内容
Write	0	AF ビットを 0 クリアし、また、次回検出に備えます。 * "0" クリアすると、/IRQ 端子のアラーム割り込み出力を解除できます。
	1	"1" の書き込みは無効です。
Read	0	アラーム割り込みは有りません。
	1	アラーム割り込みが発生しました。 * "1" の状態は、"0" クリアするまで保持されます。

3) AIE ビット ( Alarm Interrupt Enable )

アラーム発生時 ( TF, " 0 " → " 1 " ) の、 /IRQ 割り込み信号の動作を設定します。

" 1 " の設定では、アラーム発生時に /IRQ 端子から " L " レベルの割り込み信号を発生させることができます。

" 0 " の書き込みでは、 /IRQ 端子からの出力を禁止します。

AIE	データ	内容
Write / Read	0	1 ) アラーム発生時、 割り込み信号は 発生させない ( /IRQ = Hi-z 継続 ) 2 ) アラーム発生による 割り込み信号を 解除する ( /IRQ, " L " → Hi-z )
	1	アラーム発生時、 割り込み信号を 発生させる ( /IRQ = Hi-z → " L " )

\* アラーム割り込み信号を使用せずにアラームの発生を知りたいときは、  
AIE = " 0 " の状態で AF ビットを監視してください。

9.3.3. アラーム設定例

1) アラーム設定時の基本事項

- アラームの対象として設定できる条件は [分], [時], [日] の 3 項目です。
- 時刻の設定は、24 時間制です。
- AE ビットを " 1 " にしたアラームレジスタは常にアラーム一致とみなされます。  
[日] に AE をセットして、2 2 時 3 0 分にアラームセットすると、  
日が不問になるので、毎日 2 2 時 3 0 分にアラーム割り込みが発生します。  
\* [分], [時], [日] の全ての AE ビットを " 1 " にしたときは、1 分毎にアラームが発生します。

2) アラーム設定例を示します。

アラーム設定 (例)	Reg - 9	Reg - 8	Reg - 7
	DAY Alarm	HOUR Alarm	MIN Alarm
<p><u>• 17 日 AM7 : 00 にアラームを発生させる。</u></p> <p>[日] 17 日 [時] 午前 07 時 ( 24 時間制→07 時 ) [分] 00 分 または 不問</p>	17 h	07 h	80h ~ FFh AE = " 1 "
<p><u>• 毎分 0 0 秒にアラームを発生させる。</u></p> <p>[日] 不問 [時] 不問 [分] 不問</p>	80h ~ FFh AE = " 1 "	80h ~ FFh AE = " 1 "	80h ~ FFh AE = " 1 "

9.4. イベント検出機能

9.4.1. イベント検出設定レジスタ

Address [h]	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
A	Input Setup	T1	T0	HLB	HLA	UDB	REB	UDA	REA
B	Event detection	EIE	EB	EA	•	•	•	FB	FA

9.4.2. イベント検出関連設定ビット機能

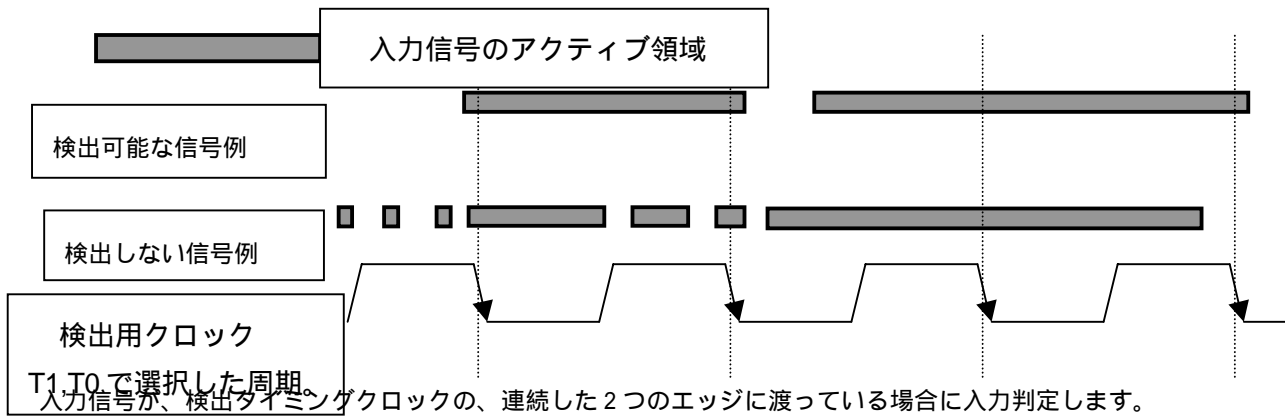
ポート	BIT	値	機能仕様
A	HLA	1	EINA 端子を、Hi 入力検出モードにします。
		0	EINA 端子を、Low 入力検出モードにします。
B	HLB	1	EINB 端子を、Hi 入力検出モードにします。
		0	EINB 端子を、Low 入力検出モードにします。
A	UDA	1	EINA 端子の内部抵抗は、プルアップ側が有効です。
		0	EINA 端子の内部抵抗は、プルダウン側が有効です。
	REA	1	EINA 端子の入力を検出すると、UDA ビットが自動ゼロクリアしてプルダウン抵抗を有効にします。初期電源投入後はゼロクリア状態です。
		0	EINA 端子の入力を検出すると、UDA ビットが自動ゼロクリアしてプルダウン抵抗を有効にします。初期電源投入後はゼロクリア状態です。
B	UDB	1	EINB 端子の内部抵抗は、プルアップ側が有効です。
		0	EINB 端子の内部抵抗は、プルダウン側が有効です。
	REB	1	EINB 端子の入力を検出すると、UDB ビットが自動ゼロクリアしてプルダウン抵抗を有効にします。初期電源投入後はゼロクリア状態です。
		0	EINB 端子の入力を検出すると、UDB ビットが自動ゼロクリアしてプルダウン抵抗を有効にします。初期電源投入後はゼロクリア状態です。
A	FA	1	EINA 端子への入力を検出しました。セットした後は、0 ライトするまで "1" を保持します。
		0	EINA 端子への入力は有りません。
B	FB	1	EINB 端子への入力を検出しました。セットした後は、0 ライトするまで "1" を保持します。
		0	EINB 端子への入力は有りません。
A	EA	1	EINA 端子の検出動作を行います。
		0	EINA 端子の検出を停止します。
		EINA 端子の入力を検出すると、EA ビットが自動ゼロクリアして入力検出動作は停止します。検出を再開するには、再設定が必要です。入力検出フラグは残ります。初期電源投入後はゼロクリア状態です。	
B	EB	1	EINB 端子の検出動作を行います。
		0	EINB 端子の検出を停止します。
		EINB 端子の入力を検出すると、EB ビットが自動ゼロクリアして入力検出動作は停止します。検出を再開するには、再設定が必要です。入力検出フラグは残ります。初期電源投入後はゼロクリア状態です。	
-	EIE	1	イベント検出時の割り込み出力を許可します。
		0	イベント検出時の割り込み出力を禁止します。
		フラグ A、フラグ B の OR 結果の割り込み出力を、許可、禁止に設定します。	



9.4.3. イベント検出周期の設定と、検出反応時間。

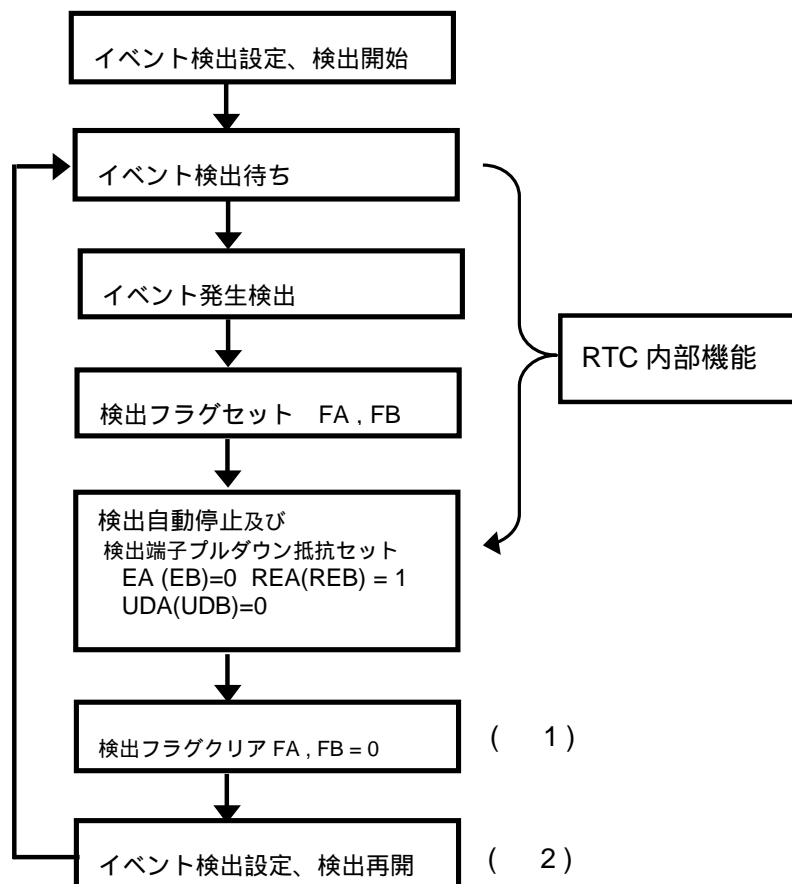
T1	T0	イベント検出周期 (ms)
1	1	7.8
1	0	31.25
0	1	62.5
0	0	125.0

検出タイミングと、入力チャタリング除去の、動作イメージ。



9.4.4. イベント検出の設定手順例と設定上の注意。 下図参照

イベント検出後は、 1 フラグクリアの後に 2 検出の再開設定を行ってください。  
先に検出動作を再開すると、フラグクリアとイベント発生が重なった場合に、フラグクリア処理が優先されて、イベント検出を取りこぼす場合があります。



9.5. 割り込み拡張機能設定

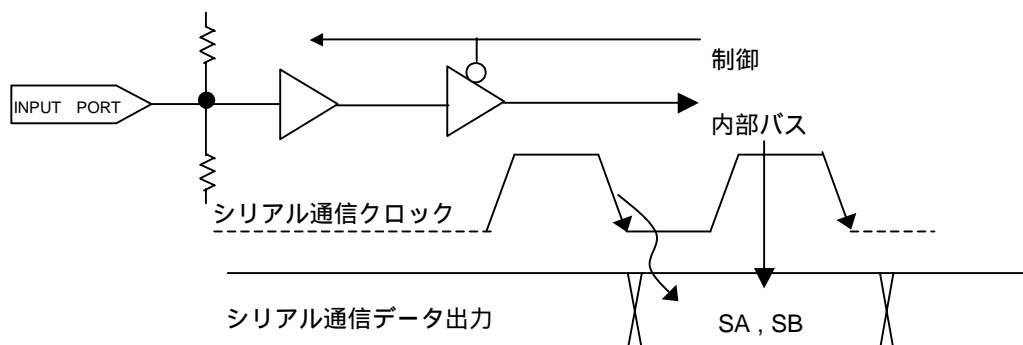
9.5.1. 割り込み拡張機能レジスタ

Address		bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
3	Interrupt Setup	fr	MIE	SB	SA	AOF	TOF	AQ	TQ

レジスタ3 Interrupt Setup レジスタ内容

BIT	機能	R/W	値	内容
fr	桁上げ中フラグ	R	1	時計カレンダーレジスタがデータ更新中です。 (このレジスタのR/Wには影響ありません。)
	Read frag		0	日時レジスタが時刻更新中では有りません。
MIE	多重割り込み設定ビット。 Multiple Interrupt Enable	R/W	1	アラームタイマ割り込みを、/EIRQ端子に出力許可します。
			0	アラームタイマ割り込みの/EIRQ端子への出力を禁止します。
SB	イベントBポート モニタービット Status B port	R	1	イベント入力BポートがHiです。
			0	イベント入力BポートがLowです。
SA	イベントAポート モニタービット Status A port	R	1	イベント入力AポートがHiです。
			0	イベント入力AポートがLowです。
AOF	アラーム割り込み タイムアウトフラグ Alarm time out Flag.	R/W	1	アラーム割り込みが、タイムアウトしました。 AOFに1を書き込むことは出来ません。
			0	アラーム割り込みのタイムアウトは有りません。 AOFへの書き込みはゼロクリアのみ可能です。
TOF	タイマ割り込み タイムアウトフラグ Timer time out Flag.	R/W	1	タイマ割り込みが、タイムアウトしました。 TOFに1を書き込むことは出来ません。
			0	タイマ割り込みのタイムアウトは有りません。 TOFへの書き込みはゼロクリアのみ可能です。
AQ	アラーム割り込み方式 設定ビット Alarm interrupt mode select	R/W	1	アラームを、タイムアウトモードにセットします。 アラーム発生後、3秒から4秒後に、 AFビットが自動クリアして、割り込み出力を解除します。 タイムアウトしたとき、AOFビットがセットします。
			0	アラーム割り込みはタイムアウトしません。
TQ	タイマ割り込み方式 設定ビット Timer interrupt mode select	R/W	1	タイマ割り込みを、タイムアウトモードにします。 タイマ割り込み発生後、3秒から4秒後に、 TFビットが自動クリアして、割り込み出力を解除します。 タイムアウトしたとき、TOFビットがセットします。 TI/TP=1のとき、タイムアウト機能は動作しません。
			0	タイマ割り込みはタイムアウトしません。

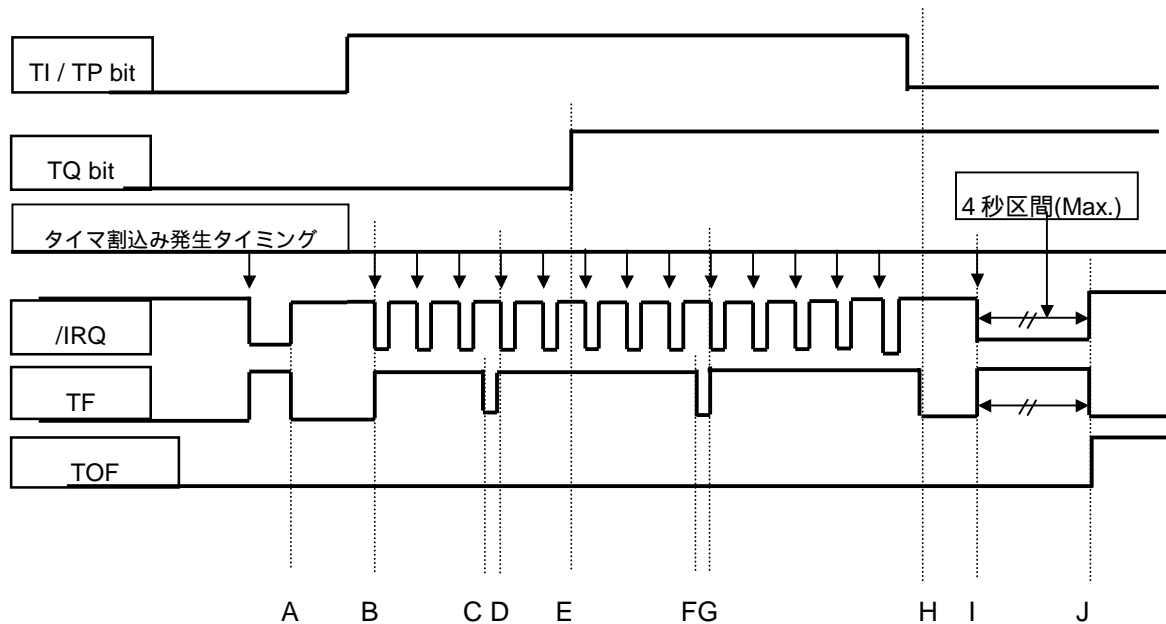
RX-4575 イベント入力ポートの モニタービット SA,SB ビット回路イメージ



上記、シリアル通信クロックのエッジタイミングで、  
 入力ポートのステイタスをラッチします。  
 入力ポートがデータ変化中の場合は、Hi/Low どちらかの値を出力します。

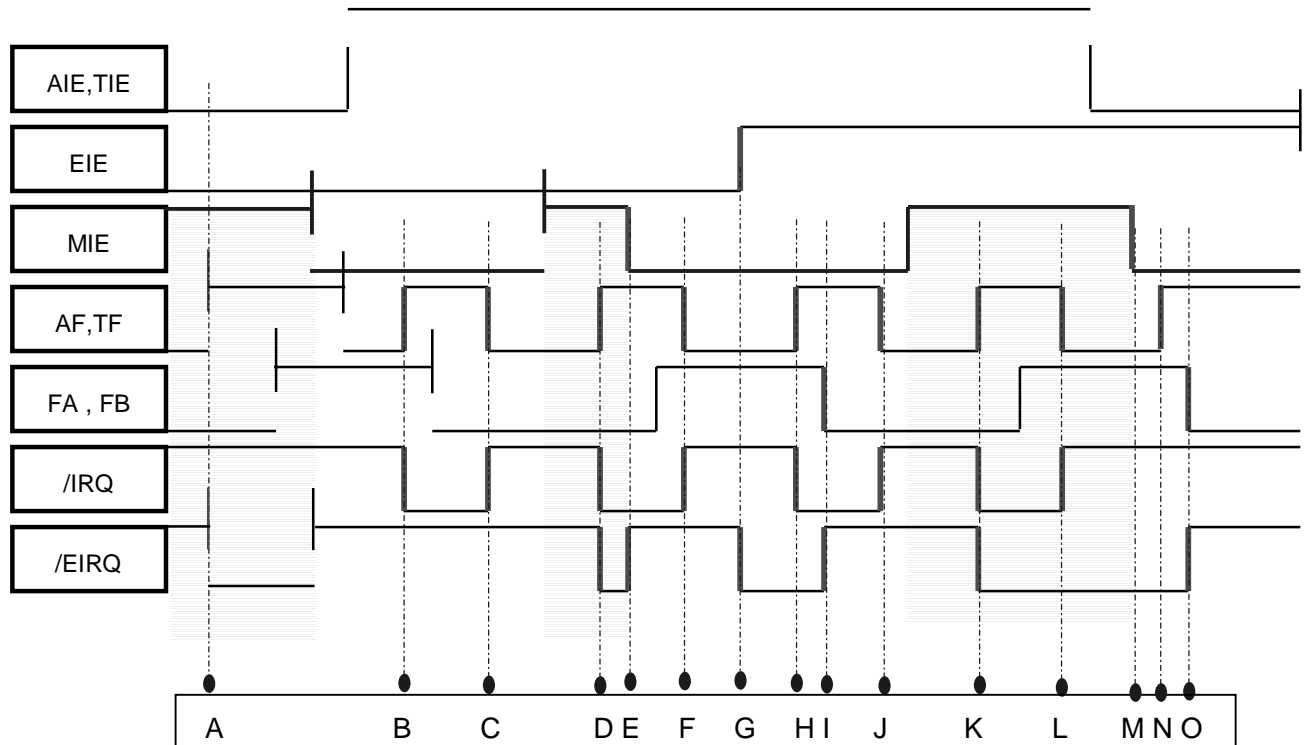
## 9.5.2. 割り込み動作タイミングチャート

## タイマー タイムアウトモードの動作補足説明



- A : タイマがシングル割り込み発生後、TF クリアして割り込みを解除した。
- B : タイマがリピート割り込みモードで動作開始後、初回の割り込みが発生する。
- C : タイマフラグをクリアした。
- D : 割り込みが発生して、タイマフラグがセットする。
- E : タイマをタイムアウトモードにセットしたが、  
連続割り込みモードなのでタイムアウト機能は働かない。
- F : タイマフラグをクリアした。
- G : 割り込みが発生して、タイマフラグがセットする。
- H : タイマフラグをクリアした。 タイマはシングルモードで、タイムアウトモードが有効。
- I : 新たなシングルモード割り込みが発生した。
- J : フラグクリアを待たずに、4秒タイムアウト後に、タイマフラグがクリアして/IRQ が解除。  
同時にタイムアウトフラグがセットする。

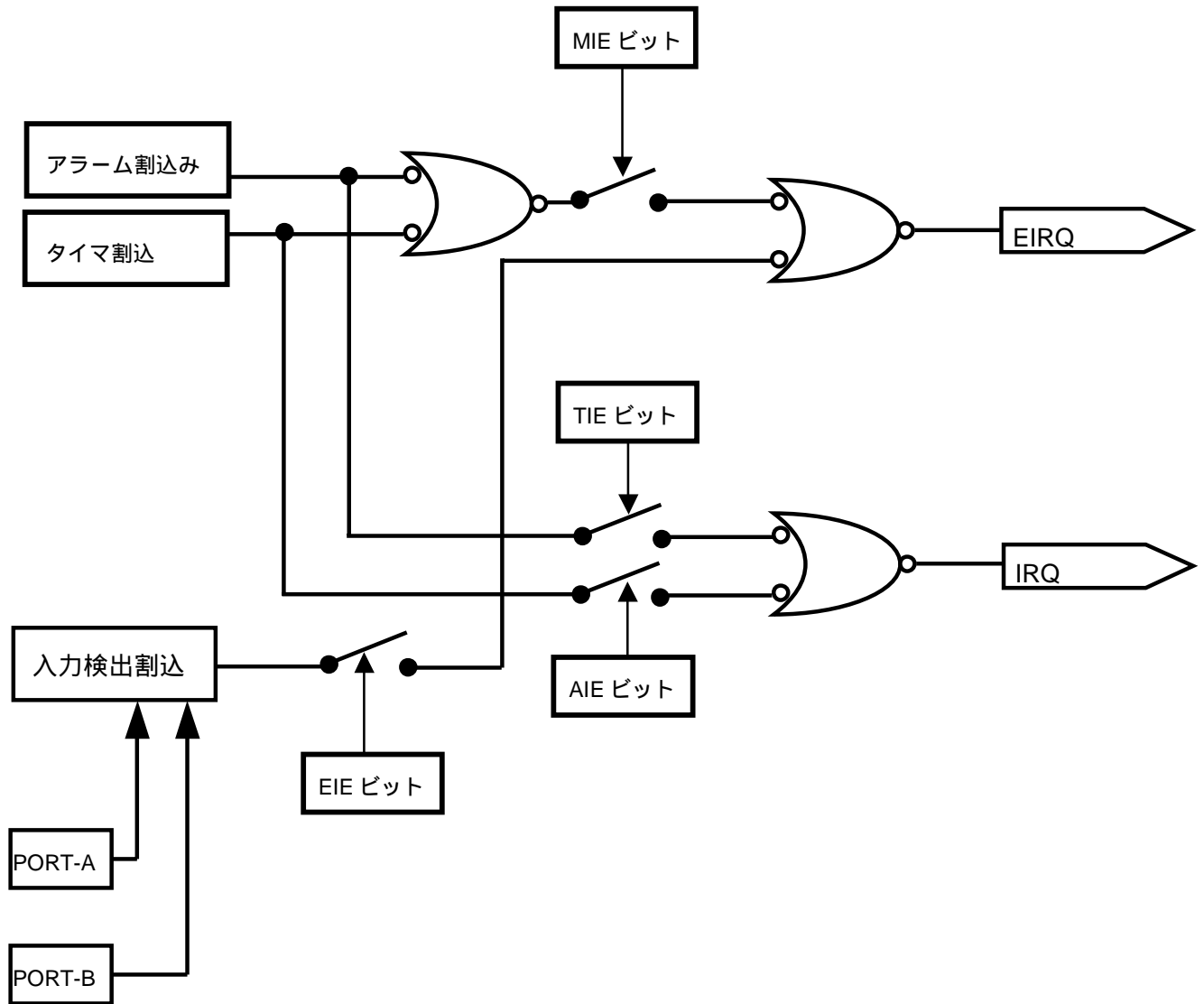
## AIE, TIE, EIE, MIE, による、割り込み動作の補足説明



- A : AIE, TIE がゼロでも、MIE によって AF, TF が /EIRQ に出力する。  
 B : AF, TF と AIE, TIE により、/IRQ だけが LOW アクティブ。  
 C : AF, TF クリアにより、/IRQ が解除。  
 D : AF, TF と AIE, TIE、MIE により、/IRQ と /EIRQ が共に LOW アクティブ。  
 E : MIE のクリアにより、/EIRQ だけが解除。  
 F : AF, TF クリアにより、/IRQ が解除。  
 G : イベント検出による FA, FB セットにおいて EIE セットにより、/EIRQ が LOW アクティブ。  
 H : AF, TF と AIE, TIE により、/IRQ が LOW アクティブ。  
     FA, FB と EIE により /EIRQ は LOW を保持。  
 I : FA, FB クリアにより、/EIRQ が解除。  
 J : C と同じ。  
 K : D と同じ。  
 L : AF, TF クリアにより、/IRQ だけが解除。  
 M : MIE をクリアしても、イベント割り込みが発生しているので、/EIRQ は LOW アクティブ。  
 N : AF, TF がセットしたが AIE, TIE がゼロのため、/IRQ から割り込みは出力しない。  
 O : I と同じ。

9.5.3. 割り込み制御回路の動作イメージ

下図は、割り込み制御ビットの動作を表したもので、実際の回路ブロックではありません。



9.6. データのリード / ライト

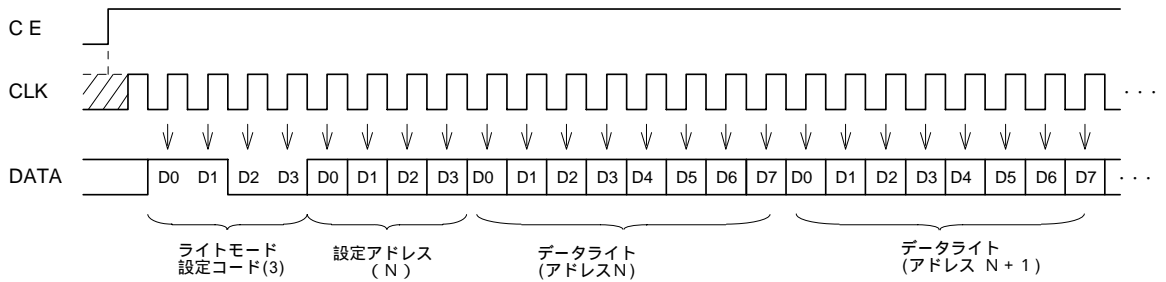
書き込み / 読み出し共に、CE 入力立ち上がり後、4 ビットのモード設定、続いて4 ビットのアドレス指定を行い、その後は8 ビット単位でのデータ R/W をおこないます。

書き込み読み出し共に、**LSB ファースト**です。

アドレスのオートインクリメントは循環で、アドレス "F" の次は アドレス "0" となります。

9.6.1. データの書き込み

- 1) CE 入力立ち上がり後の最初の 4 ビットをライトモードを示す "3" とし、次の 4 ビットに書き込みたいアドレスを設定します。
- 2) 続く 8 ビット書き込みデータは 先に設定したアドレスに対して実行され、次の 8 ビットデータは自動アドレスインクリメントされたアドレスに対して 順次データが書き込まれていきます。

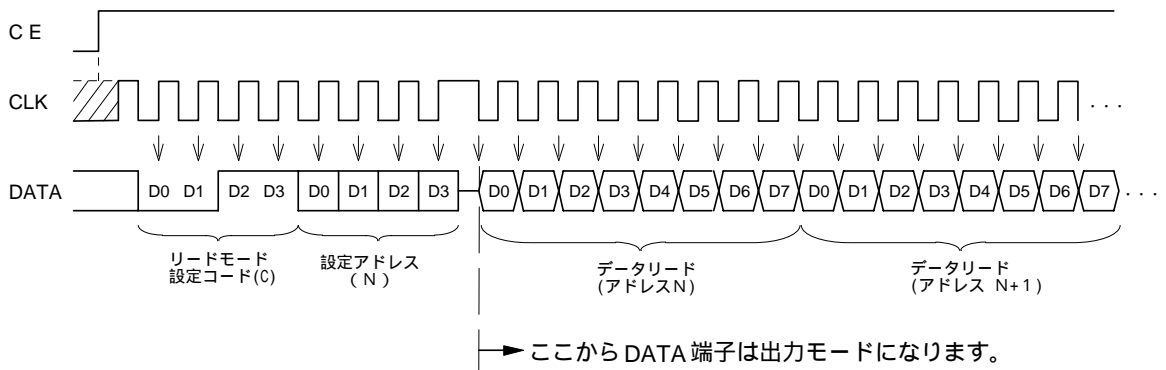


データの書き込み時は 8 ビット単位のデータを入力する必要があります。

8 ビット単位のデータ入力未完の状態でも CE0 端子(または CE1 端子)入力を立ち下げた場合、CE 入力立ち下がった時点の 8 ビットデータは正常な書き込みができません。

9.6.2. データの読み出し

- 1) CE 入力立ち上がり後の最初の 4 ビットをリードモードを示す "C" とし、次の 4 ビットに読み出したいアドレスをセットします。
- 2) 続く 8 ビット読み出しは 先に設定したアドレスのデータを、次の 8 ビットは自動アドレスインクリメントされたアドレスのデータを順次読み出すことができます。



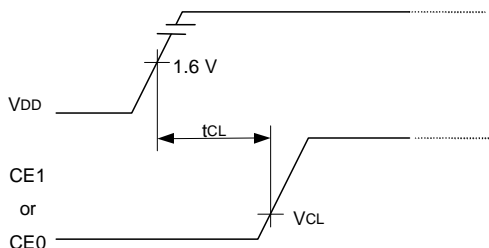
9.6.3. モード設定コード

Mode	設定コード
Write	3 h
Read	C h

\* モード設定コード部に上記以外を設定した場合には その後のデータは無視され、DATA 端子は入力状態を保ちます。

9.7. 電源投入時の VDD と CE のタイミング

電源投入時は、本タイミングチャートの様に CE = " L " ( 下表 V<sub>CL</sub>[V] ) にてご使用ください。  
 CE = " L " とする端子は、CE0 端子か または CE1 端子の どちらか一方のみでかまいません。

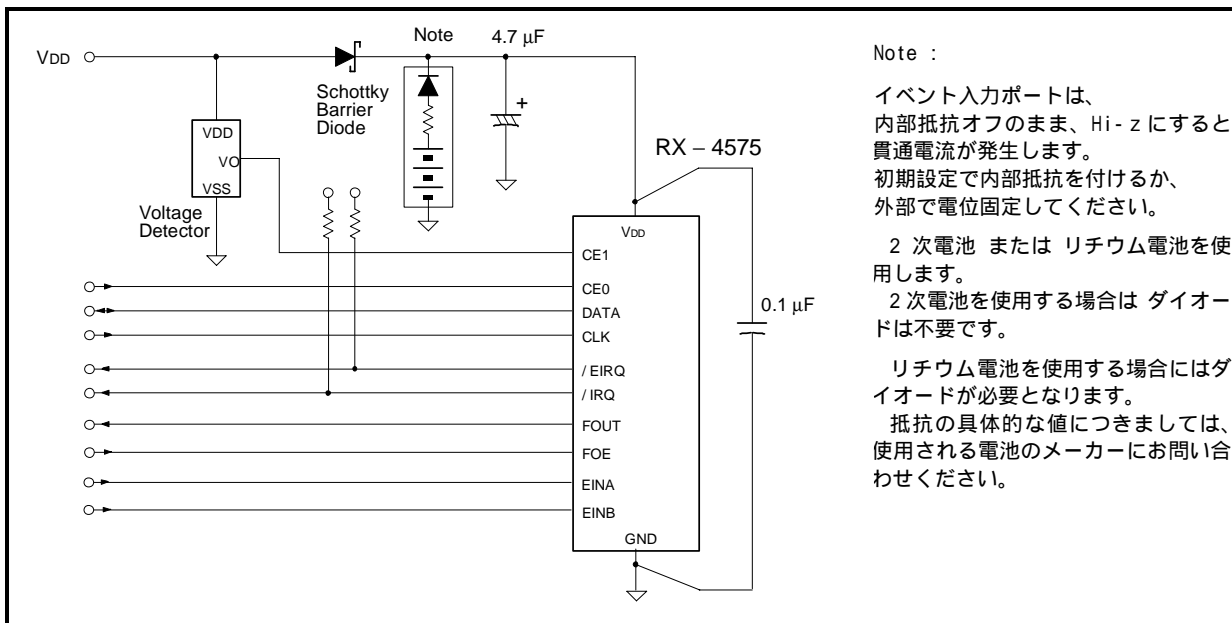


項目	記号	備考	仕様	単位
電源投入時 CE 電圧	V <sub>CL</sub>	VDD = 1.6 V 到達までの CE 印加電圧	0.3 (Max.)	V
電源投入時 CE = V <sub>CL</sub> [V]時間	t <sub>CL</sub>	VDD = 1.6 V 到達までの CE = V <sub>CL</sub> [V]を維持する時間	10 (Min.)	μs

9.8. バックアップへの移行 および 復帰

項目	記号	条件	Min.	Typ.	Max.	単位
電源降下前 CE 時間	t <sub>CD</sub>	—	0			μs
電源降下時間	t <sub>F</sub>	—	2			μs / V
電源立上時間	t <sub>R</sub>	—	25			μs / V
電源立上後 CE 時間	t <sub>CU</sub>	—	0			μs

9.9. 外部接続例



## 9.10. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限

- 本製品の動作の多くは 内蔵水晶振動子の発振クロックに連動していますので、内部水晶発振が停止している状態では、ほとんどの機能が使用できません。カレンダー動作や、アラーム、タイマーの他、イベント検出機能も動作いたしません。

そのため、電源初期投入時 および 電圧低下などが原因で、発振が停止していた状態からの初期設定は、内蔵水晶発振の開始を待って、IC 内部機能が安定してから行っていただくことを推奨致します。発振開始時間は 6.周波数特性 の発振開始時間特性を参照してください。

- 電源初期投入時 および バックアップ状態からの電源電圧復帰時 (以降、[動作電圧移行時]とする) のアクセス動作は、次の点に注意してください。

1) 動作電圧移行時は、はじめに秒レジスタの fos-bit を読み出してください。

2) fos-bit の読み出し結果が "1" のときは、全レジスタデータの初期設定が必要です。

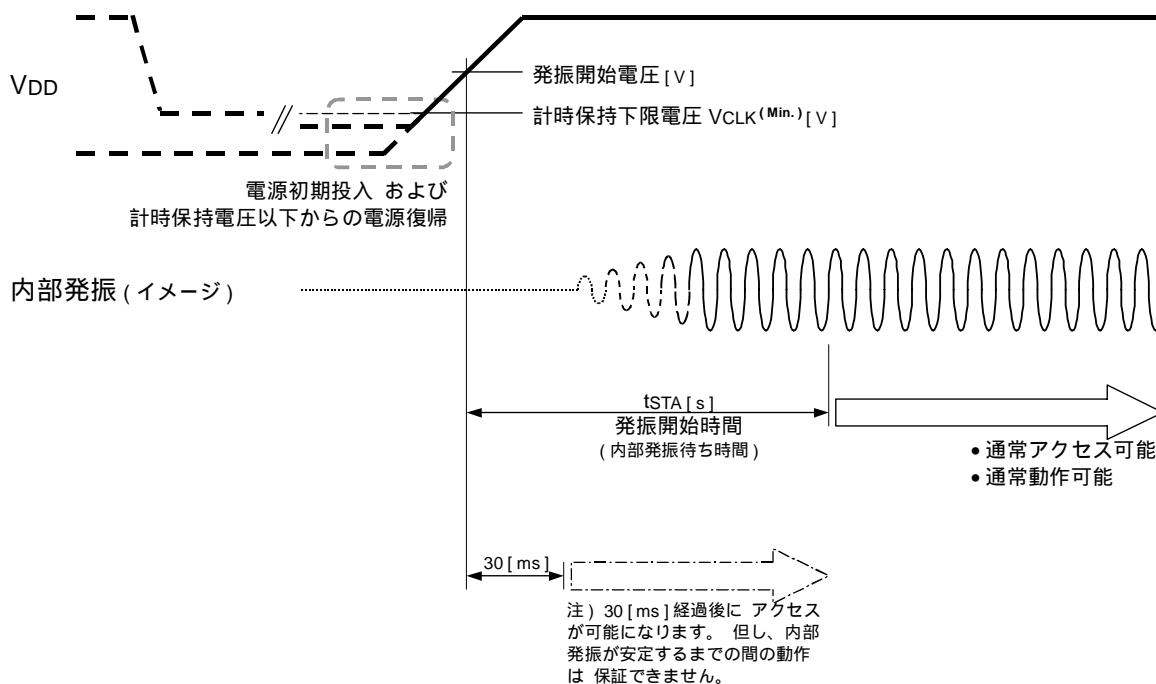
fos が "1" のときの初期設定は、発振開始時間後の内部発振が安定してから行うことを推奨いたします。

fos-bit を "1" として読み出したときの状態は次のとおりで、いずれの場合も初期設定が必要です。

状態 1) 初期電源初期投入時

状態 2) バックアップ中の電圧低下等により、計時内容が失われた可能性が有る。

\* 電源初期投入時 および 計時保持電圧以下から電源電圧復帰したときの アクセス可能タイミング



- 3) fos-bit の読み出し結果が fos = "0 (正常状態)" のときのみ、発振開始時間を待たずに アクセス可能です。

fos-bit を "0" として読み出したときの状態は次のとおりで、通常動作が可能です。

状態 1) すでに、正常な初期化設定が行われている場合。

状態 2) バックアップ状態からの動作電圧移行時、正常にデータ保持されていたとき



## 10. 外形寸法図 / マーキングレイアウト

### 10.1. 外形寸法図

RX – 4575 LC (VS0J – 12pin)

● 外形寸法図

● 推奨はんだ付けパターン図

本製品は、裏面に硝子を使用しております。  
(下記注意事項を参照ください)

Unit : mm

注意事項)

本製品は裏面 ( \* 部 ) に硝子を使用しておりますので、次について十分に配慮いただけますようお願いいたします。

- 1) 実装機
 

使用機器, 条件等によっては、実装時の衝撃力により製品の破壊を招く場合があります。  
ご使用前には必ず、実装時の製品への負荷が極力少なくなる条件 ( 基板上への搭載速度を遅くする, チャックを弱くする など ) を確認していただいてからご使用ください。 条件変更時も、同様の確認をしていただいてからご使用ください。  
本製品と実装基板の間に異物などがあると、製品の破壊を招く場合があります。 実装時には異物にもご注意ください。
- 2) 製品実装後の接着剤の使用禁止
 

製品を基板実装後に、アンダーフィル等の接着剤が 実装面と製品裏面のガラス面の間に侵入すると、その後、接着剤の熱膨張などにより硝子が割れる可能性があります。この場合は、水晶発振が停止しますので、接着剤はご使用を中止していただくか、本製品に接着剤が接近しないように、実装上の配慮をお願いいたします。

### 10.2. マーキングレイアウト

RX – 4575 LC (VS0J – 12pin)

ロゴ

**E 4575**

● **A123B**

型式

1 番ピン マーク

製造ロット

\* 表示内容は、捺印と表示の大略を示すもので、字形・大きさ および 位置の詳細を規定するものではありません。

## 11. 取り扱い上の注意事項

### 1) 取り扱い上の注意事項

本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動をあたえないようにしてください。  
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

#### (1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および 運搬容器には導電性の物を使用してください。 はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも静電気対策をお願いいたします。

#### (2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ現象等による破壊の原因となることがあります。安定動作のため、本モジュールの電源端子 (VDD – GND 間) の極力近い場所に 0.1  $\mu$ F 以上のバスコン (セラミックを推奨) を使用してください。 また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

図 1 の網掛部分( )には信号線を接近させず、可能であれば GND パターンで埋めてください。

#### (3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ VDD または GND の電位に近い電位に設定してください。

#### (4) 未使用入力端子の処理

入力端子の入カインピーダンスは非常に高く、開放状態での使用は不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を必ず施してください。

### 2) 実装上の注意事項

#### (1) はんだ付け温度

パッケージ内部が +260  $^{\circ}$ C を越えすと、水晶振動子の特性劣化 および 破壊を招くばあいがありますので、弊社はんだ耐熱性評価プロファイルを超えない領域でのご使用を推奨します。 ご実装前に必ず実装条件 (温度・時間) をご確認ください。 また、条件変更時も同様の確認をしていただいた後に ご使用ください。

図 2 に、弊社はんだ耐熱性評価プロファイル (Ref. JEDEC J – STD – 020C) を掲載します。

#### (2) 実装機

本製品は裏面にガラスを使用しておりますので、使用機器、条件等によっては実装時の衝撃力により製品の破壊をまねくばあいがあります。ご使用の前には必ず、実装時の製品への負荷が極力少なくなる条件 (基板上への搭載速度を遅くする、チャックを弱くするなど) を確認していただいた後にご使用ください。 条件変更時も、同様の確認をしていただいた後にご使用ください。

本製品と実装基板の間に異物などがあると、製品の破壊を招くばあいがあります。実装時には、異物にもご注意ください。また、実装時・作業時には、静電気対策をお願いいたします。

#### (3) 超音波洗浄

超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊されるばあいがあります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

#### (4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

#### (5) 端子間リーク

製品が汚れていたり 結露している状態などで電源投入しますと、端子間リークをまねくばあいがありますので、洗浄し さらに乾燥させた後に電源投入を行なってください。

#### (6) 製品実装後の接着剤の使用禁止

本製品は、パッケージの裏面にガラスを使用しています。本製品を実装後に、アンダーフィル等の接着剤が実装面とガラス面の間に侵入すると、その後の接着剤の熱膨張などの影響でガラスが割れる可能性があります。このばあいは水晶発振が停止しますので、接着剤のご使用を中止していただくか、本製品には接着剤が接近しないように実装上の配慮をお願いいたします。

図 1 : GND パターン例

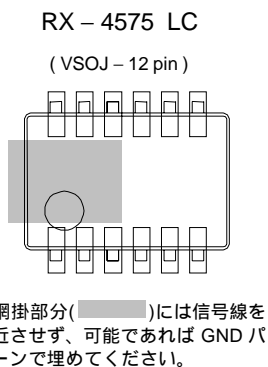
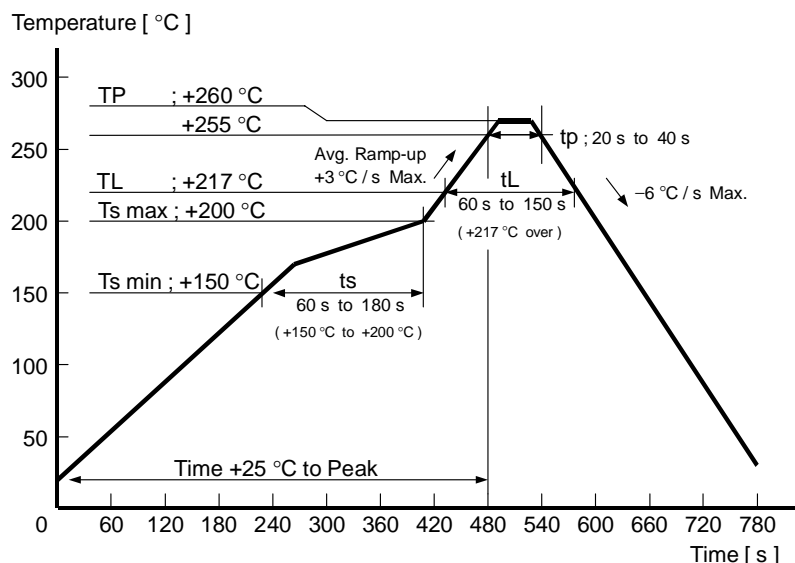


図 2 : 弊社はんだ耐熱性評価プロファイル (参考)





# Application Manual

## エプソントヨコム株式会社

〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒980-0013 仙台市青葉区花京院 1-1-20 花京院スクエア 19F  
TEL (022) 263-7975 (直通) FAX (022) 263-7990

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 17F  
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F  
TEL (052) 205-8431 (直通) FAX (052) 231-2537

〒399-8707 塩尻市広丘原新田 80 セイコーエプソン(株) 広丘事業所 EBL 棟 2F  
TEL (0263) 51-1050 (直通) FAX (0263) 54-6931

インターネットによる電子デバイス情報配信

<http://www.epsontoyocom.co.jp>

代理店

---