

アプリケーションマニュアル

Real Time Clock Module

RX-4581NB

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

1. 本資料の内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に記載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数値線上の大小関係で表します。
5. 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
6. 製品は一般電子機器に使用されることを意図し設計されたものです。特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等） 2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器 4 海底中継機器 5 発電所制御機器 6 防災・防犯装置 7 交通用機器
 - 8 その他；1～7 と同等の信頼性を必要とする用途

本資料に掲載されている会社名、商品名は、各社の商標もしくは登録商標です。

目次

1. 概要	1
2. ブロック図	1
3. 端子説明	2
3.1. 端子配置	2
3.2. 端子機能	2
4. 絶対最大定格	3
5. 推奨動作条件	3
6. 周波数特性	3
7. 電気的特性	4
7.1. DC 電気的特性	4
7.2. AC 電気的特性	5
8. 使用方法	6
8.1. レジスタ & RAM	6
8.1.1. RTC レジスタテーブル (Bank 0)	6
8.1.2. RAM テーブル (Bank 1)	6
8.1.3. Bank0,1 及び Read / Write の選択 (概略)	6
8.2. レジスタ説明	7
8.2.1. 計時・カレンダーレジスタ (Reg-0 ~ Reg-6)	7
8.2.2. アラームレジスタ (Reg-8 ~ Reg-A)	7
8.2.3. タイマーカウンタ (Reg-B, C)	8
8.2.4. コントロールレジスタ・フラグレジスタ (Reg-D ~ F)	9
8.3. データの リード/ライト	10
8.3.1. データの書き込み	10
8.3.2. データの読み出し	10
8.3.3. Bank 別 書き込み/読み出しモード設定コード	10
8.4. アラーム割り込み / タイマー割り込み	11
8.4.1. アラーム割り込み	11
8.4.2. タイマー割り込み	12
8.5. 基準クロック信号出力	13
8.6. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限 ..	14
8.7. バックアップへの移行 及び 復帰	15
8.8. 外部接続例	15
9. 外形寸法図 / マーキングレイアウト	16
10. 参考データ	17
11. 使用上の注意事項	18

小型シリアルインタフェース RTC モジュール

RX - 4581 NB

- 周波数調整された 32.768 kHz の水晶振動子を内蔵
- 4 線式のシリアル・インターフェース
(DI / DO 端子 ワイヤードオア接続で 3 線式も可)
- 曜、日、時、分のアラーム割り込み機能 (/ AIRQ 端子)
- タイマー割り込み機能 (/ TIRQ 端子)
- 時刻更新割り込み機能 (秒・分、/ AIRQ 端子)
- OE 機能付き 32.768 kHz 出力 (FOE , FOUT 端子)
- 128 bit (8 bit × 16) RAM 内蔵
- 自動うるう年補正機能 (2000 年 ~ 2099 年まで対応)
- 1.6 V ~ 5.5 V の幅広いインターフェース電圧範囲
- 1.6 V ~ 5.5 V の幅広い計時(保持)電圧範囲
- 低消費電流 0.4 μ A / 3 V (Typ.)
- 小型薄型パッケージ (NB : SON-22 pin PKG.)

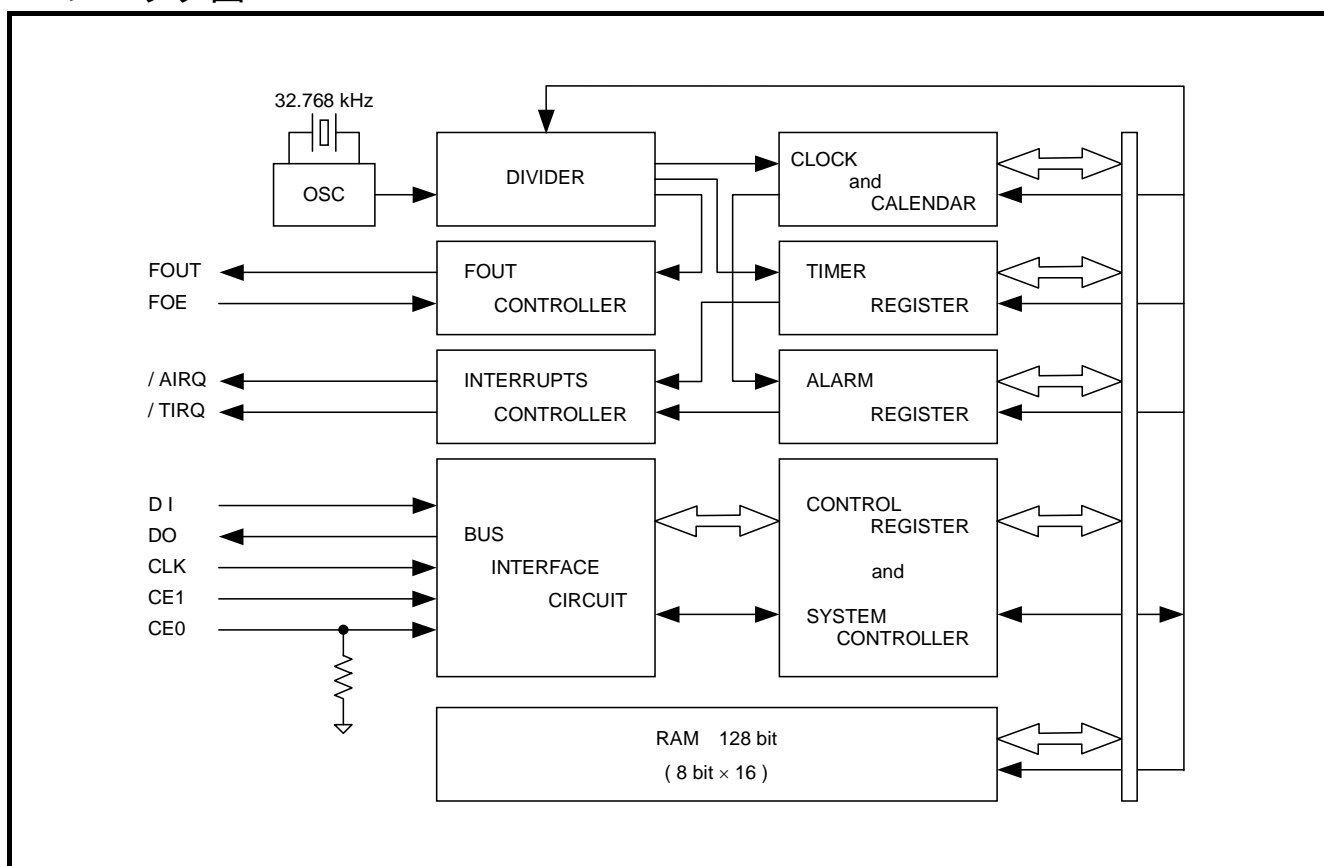
1. 概要

本モジュールは、水晶振動子を内蔵した 4 線式(3 線式対応可能) シリアル・インターフェース方式のリアルタイムクロックです。

秒から年までの自動うるう年補正 Clock&Calendar 回路、時刻アラーム、インターバルタイマー、時刻更新割り込み、32.768 kHz 出力 等の豊富な機能、および 128 bit (8 bit × 16) の RAM を備えています。

SON-22 pin の小型薄型パッケージに高密度に実装していますので、各種携帯電話、ハンディターミナル、その他の小型電子機器等の用途に最適です。

2. ブロック図



3. 端子説明

3.1. 端子配置

RX - 4581 NB		
1. GND		22. N.C.
2. CE1		21. N.C.
3. CE0		20. N.C.
4. DI		19. N.C.
5. DO		18. N.C.
6. CLK		17. N.C.
7. /TIRQ		16. N.C.
8. /AIRQ		15. N.C.
9. FOE		14. N.C.
10. FOUT		(13) -
11. VDD		(12) -
SON - 22 pin		

3.2. 端子機能

端子名	端子番号	入出力	機能
GND	1	-	電源のマイナス側(グランド)に接続します。
CE1	2	入力	チップイネーブル入力端子1です。プルダウン抵抗は内蔵していません。CE0,CE1 端子が共に"H"レベル時、本 RTC へのアクセスが可能になります。また、チップ非選択時、DO 端子はハイインピーダンスとなり、CLK, DI 端子は入力受付禁止状態になります。
CE0	3	入力	チップイネーブル入力端子0です。プルダウン抵抗を内蔵しています。
DI	4	入力	シリアルデータ転送の データ入力端子です。
DO	5	出力	シリアルデータ転送の データ出力端子です。
CLK	6	入力	シリアルデータ転送のシフトクロック入力端子です。ライトモード時は、CLK 信号の立ち上がりエッジで DI 端子からデータを取り込みます。また、リードモード時は、立ち下がりエッジで DO 端子からデータを出力します。
/TIRQ	7	出力	タイマー割り込み用の オープンドレイン出力端子です。
/AIRQ	8	出力	アラーム、時刻更新割り込み用の オープンドレイン出力端子です。
FOE	9	入力	FOUT 出力コントロール 入力端子です。FOE 端子が"H"レベル時、FOUT 端子が出力状態になります。"L"レベル時、FOUT 端子はハイインピーダンスとなります。
FOUT	10	出力	32.768 kHz の基準クロック信号を出力します。(CMOS 出力) FOE 入力端子によって FOUT 端子の出力を禁止(ハイインピーダンス)することができます。
VDD	11	-	電源のプラス側に接続します。
N.C.	14 - 22	-	IC チップには結線されていませんが、内部フレームにおいて N.C.端子は集合接続されています。 OPEN もしくは、GND または VDD と接続してください。

注) VDD-GND 間 直近に 0.1 μ F以上のパスコンを必ず接続してください。

4. 絶対最大定格

GND=0 V

項目	記号	条件	定格値	単位
電源電圧	VDD	VDD-GND 間	-0.3 ~ +7.0	V
入力電圧	VIN	入力端子	GND-0.3 ~ VDD+0.3	V
出力電圧 (1)	VOUT1	FOUT, DO 端子	GND-0.3 ~ VDD+0.3	V
出力電圧 (2)	VOUT2	/ AIRQ, / TIRQ 端子	GND-0.3 ~ +8.0	V
保存温度	TSTG	梱包状態を除く 単品での保存	-55 ~ +125	°C

5. 推奨動作条件

GND=0 V

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	VDD	-	1.6	3.0	5.5	V
計時電源電圧	VCLK	-	1.6	3.0	5.5	V
動作温度範囲	TOPR	結露無きこと	-40	+25	+85	°C

6. 周波数特性

GND=0 V

項目	記号	条件	規格	単位
周波数精度	$\Delta f / f_0$	Ta= +25 °C, VDD=3.0 V	5 ± 23 (*1)	$\times 10^{-6}$
周波数電圧特性	f / V	Ta= +25 °C, VDD=2.0 V ~ 5.0 V	± 2 Max.	$\times 10^{-6} / V$
周波数温度特性	Top	Ta= -10 °C ~ +70 °C, VDD= 3.0 V ; +25 °C 基準	+10 / -120	$\times 10^{-6}$
発振開始時間	tSTA	Ta= +25 °C, VDD=3.0 V	3 Max.	s
エージング	fa	Ta= +25 °C, VDD=3.0 V ; 初年度	± 5 Max.	$\times 10^{-6} / \text{year}$

*1) 月差 1 分相当。(オフセット値を除く)

7. 電気的特性

7.1. DC 電気的特性

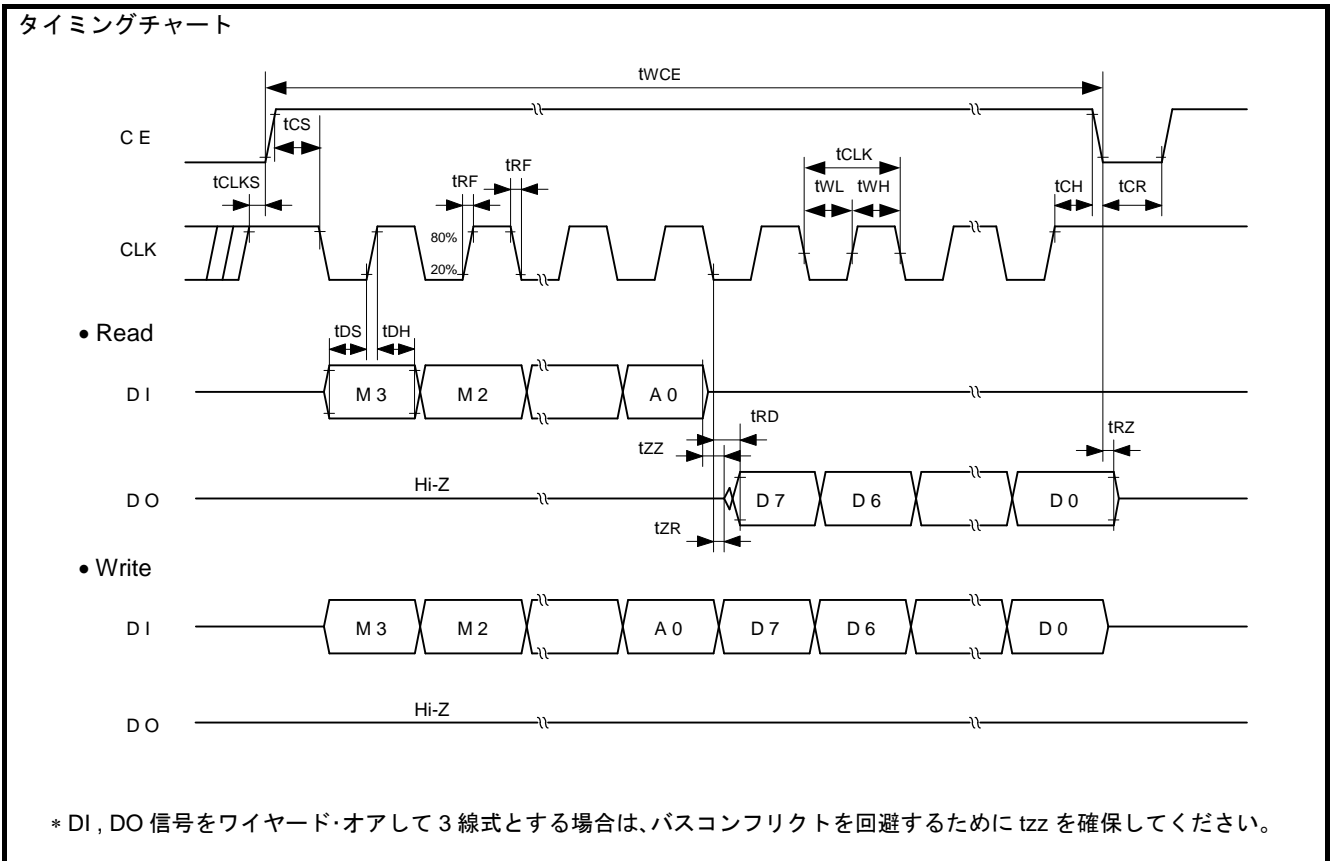
※特記無き場合、GND=0 V, VDD=1.6 V ~ 5.5 V, Ta= -40 °C ~ +85 °C

項目	記号	条件		Min.	Typ.	Max.	単位
消費電流(1)	IDD1	CE0,CE1,FOE = GND /AIRQ, /TIRQ = VDD FOUT ; 出力 OFF (OFF 時 Hi-z)	VDD=5 V		0.6	1.2	μA
消費電流(2)	IDD2		VDD=3 V		0.4	0.8	
消費電流(3)	IDD3	CE0,CE1 = GND /AIRQ,/TIRQ,FOE = VDD FOUT ; 32.768 kHz 出力 ON , CL= 0 pF	VDD=5 V		3.0	7.5	μA
消費電流(4)	IDD4		VDD=3 V		1.7	4.5	
消費電流(5)	IDD5	CE0,CE1 = GND /AIRQ,/TIRQ,FOE = VDD FOUT ; 32.768 kHz 出力 ON , CL= 30 pF	VDD=5 V		8.0	20.0	μA
消費電流(6)	IDD6		VDD=3 V		5.0	12.0	
"H" 入力電圧	VIH	入力端子		0.8 × VDD		VDD + 0.3	V
"L" 入力電圧	VIL	入力端子		GND - 0.3		0.2 × VDD	V
"H" 出力電圧	VOH1	FOUT,DO 端子	VDD=5 V, IOH=-1 mA	4.5		5.0	V
	VOH2		VDD=3 V, IOH=-1 mA	2.0		3.0	
	VOH3		VDD=3 V, IOH=-100 μA	2.9		3.0	
"L" 出力電圧	VOL1	FOUT,DO 端子	VDD=5 V, IOL=1 mA	GND		GND+0.5	V
	VOL2		VDD=3 V, IOL=1 mA	GND		GND+0.8	
	VOL3		VDD=3 V, IOL=100 μA	GND		GND+0.1	
	VOL4	/AIRQ,/TIRQ 端子	VDD=5 V, IOL=1 mA	GND		GND+0.25	V
	VOL5		VDD=3 V, IOL=1 mA	GND		GND+0.4	
入力抵抗(1)	RDWN1	CE0 端子 VIN = VDD	VDD=5 V	75	150	300	kΩ
入力抵抗(2)	RDWN2		VDD=3 V	150	300	600	
入力リーク電流	ILK	CE0 を除く入力端子 , VIN= VDD or GND		-0.5		0.5	μA
出力リーク電流	IOZ	/AIRQ,/TIRQ,FOUT 端子 VOUT = VDD or GND		-0.5		0.5	μA

7.2. AC 電気的特性

※特記無き場合、GND=0 V, Ta= -40 °C ~ +85 °C

項目	記号	条件	VDD = 3 V ±10%		VDD = 5 V ±10%		単位
			Min.	Max.	Min.	Max.	
CLK クロック周期	tCLK		500		350		ns
CLK H パルス幅	tWH		250		175		ns
CLK L パルス幅	tWL		250		175		ns
CLK 立ち上り・立ち下り時間	tRF			100		50	ns
CLK セットアップ時間	tCLKS		0		0		ns
CE セットアップ時間	tCS		200		150		ns
CE ホールド時間	tCH		200		100		ns
CE リカバリー時間	tCR		300		200		ns
CE イネーブル時間	twCE			0.95		0.95	s
書き込みデータ セットアップ時間	tDS		100		50		ns
書き込みデータ ホールド時間	tDH		100		50		ns
読み出しデータ 遅延時間	tRD	CL=50 pF		200		150	ns
DO 出力 切り替え時間	tzR			50		20	ns
DO 出力 ディセーブル時間	trZ	CL=50 pF RL=10 kΩ		200		100	ns
DI/DO コンフリクト回避時間	tzz		0		0		ns
FOUT duty	tw / t	50% VDD level	40	60	40	60	%



8. 使用方法

8.1. レジスタ & RAM

8.1.1. RTC レジスタテーブル (Bank 0)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
0	SEC	○	40	20	10	8	4	2	1	可	可
1	MIN	○	40	20	10	8	4	2	1	可	可
2	HOUR	○	○	20	10	8	4	2	1	可	可
3	WEEK	○	6	5	4	3	2	1	0	可	可
4	DAY	○	○	20	10	8	4	2	1	可	可
5	MONTH	○	○	○	10	8	4	2	1	可	可
6	YEAR	80	40	20	10	8	4	2	1	可	可
7	RAM	●	●	●	●	●	●	●	●	可	可
8	MIN Alarm	AE	40	20	10	8	4	2	1	可	可
9	HOUR Alarm	AE	●	20	10	8	4	2	1	可	可
A	WEEK Alarm	AE	6	5	4	3	2	1	0	可	可
	DAY Alarm		●	20	10	8	4	2	1		
B	Timer Counter 0	128	64	32	16	8	4	2	1	可	可
C	Timer Counter 1	●	●	●	●	2048	1024	512	256	可	可
D	Extension Register	TEST	WADA	USEL	TE	○	○	TSEL1	TSEL0	可	可 ⁽⁺²⁾
E	Flag Register	○	○	UF	TF	AF	○	VLF	○	可	可 ⁽⁺⁶⁾
F	Control Register	○	○	UIE	TIE	AIE	○	STOP	RESET	可	可

- *1. 初期電源投入時のレジスタの値は不定ですので、必ず初期設定を実施してから使用してください。その際、日付・時間として有り得ないデータの設定はしないでください。その場合の計時動作は保証出来ません。
- *2. TEST ビットは 弊社テスト用ビットです。必ず"0"にて御使用ください。
- *3. "○"マークはライト不能でリード時"0"が読み出せます。"●"マークは RAM bit で R/W 可能です。
- *4. アラームを使用しない場合、Address 8 ~ A は RAM として使用可能です。(AIE : "0")
- *5. タイマーカウンタ (Address B, C) をリードすると、設定したプリセットデータ値がリードできます。また、タイマーを使用しない場合、Address B, C は RAM として使用可能です。(TE, TIE : "0")
- *6. UF, TF, AF, VLF ビットは "0"のみライト可能です。

8.1.2. RAM テーブル (Bank 1)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Read	Write
0	RAM 0	●	●	●	●	●	●	●	●	可	可
1	RAM 1	●	●	●	●	●	●	●	●	可	可
2	RAM 2	●	●	●	●	●	●	●	●	可	可
⋮	⋮									⋮	⋮
D	RAM D	●	●	●	●	●	●	●	●	可	可
E	RAM E	●	●	●	●	●	●	●	●	可	可
F	RAM F	●	●	●	●	●	●	●	●	可	可

8.1.3. Bank0,1 及び Read / Write の選択 (概略)

Bank 0,1 及び R/W の選択は、通信の最初の 4 ビットのモード設定コードにより指定します。
(詳細は[8.3. データのリード/ライト] の項を参照してください。)

Mode	Bank 0 (RTC)	Bank 1 (RAM)
Read	8 h	9 h
Write	0 h	1 h

8.2. レジスタ説明

8.2.1. 計時・カレンダーレジスタ (Reg-0 ~ Reg-6)

- データ形式
データはBCD形式で、例えば秒レジスタが "0101 1001" ならば 59 秒を意味します。
時刻計時は 24 時間制(固定)です。
- 年レジスタ と うるう年
年レジスタは 99 年の次は 00 年になります。
年レジスタのBCD2桁を4で割り、余りが0の年をうるう年と判定します。(00年はうるう年として処理されます。カレンダー有効期限は 2099 年までとなります)
- 曜日レジスタ
曜日レジスタは0~6の7ビットがあり、下表のように割り当てられています。
複数の曜日に"1"をセットしないでください。

bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	曜日
0	0	0	0	0	0	1	日
0	0	0	0	0	1	0	月
0	0	0	0	1	0	0	火
0	0	0	1	0	0	0	水
0	0	1	0	0	0	0	木
0	1	0	0	0	0	0	金
1	0	0	0	0	0	0	土

8.2.2. アラームレジスタ (Reg-8 ~ Reg-A)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
8	MIN Alarm	AE	40	20	10	8	4	2	1
9	HOUR Alarm	AE	•	20	10	8	4	2	1
A	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1

アラームは 曜日,時,分 について設定が可能です。曜日,日は WADA ビットによりどちらをアラームとして使用するか指定します。

それぞれのアラームレジスタの bit 7 に AE (Alarm Enable) ビットが付いていますので、このビットを利用することで毎時アラーム、毎日アラームが簡単に設定できます。曜日は任意の複数の曜日にアラーム設定が可能です。

AE ビットは"0"の時、該当レジスタと時計レジスタの比較を行い、"1"の時は don't care としてデータ不問でその桁は常に一致とみなします。

アラームが発生すると Reg-E の AF(Alarm Flag)ビットに"1"がセットされ、この時 Reg-F の AIE (Alarm Interrupt Enable)ビットが"1"の場合には /AIRQ 端子を Low レベルとして割り込み信号を発生します。AIE ビットが"0"の時は、/AIRQ 端子からのアラーム割り込み出力は禁止されます。

アラーム割り込みを使用しない場合は Address 8 ~ A が メモリーレジスタとして使用できます。この時、AIE ビットを"0"に設定し、アラーム動作及び割り込みを禁止してください。

- 曜アラームのビットと各曜日の関係

bit	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
曜日	土	金	木	水	火	月	日

8.2.3. タイマーカウンタ (Reg-B, C)

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
B	Timer Counter 0	128	64	32	16	8	4	2	1
C	Timer Counter 1	•	•	•	•	2048	1024	512	256

タイマー割り込みに使用する 12 ビットの内部プリセッタブル・ダウンカウンタを制御するレジスタです。
 ダウンカウンタのカウント周期(ソースクロック)は Reg-D の TSEL0, TSEL1 で指定し、タイマーカウンタ 0,1 でこのダウンカウンタのプリセット(分周)値を指定します。

Reg-D の TE ビットが"0"の時、プリセッタブルカウンタはタイマーカウンタの書き込み時にタイマーカウンタの内容をロードしカウントを停止しています。

その後、TE ビットが"1"になるとカウントを開始します。

ソースクロックの周期でダウンカウンタがカウントダウンを続け、データがゼロになると Reg-E の TF(Timer Flag)が"1" にセットされます。このとき、Reg-F の TIE(Timer Interrupt Enable)ビットが"1"の場合は、/ TIRQ 端子を "Low"レベルとし、割り込み信号を発生します。

TIE ビットが"0"の時は / TIRQ 端子からの出力は禁止されます。

次に、タイマーカウンタレジスタのデータを再ロードし、再びカウントダウンを開始します。(繰り返し動作)
 尚、TE ビットが"1"の状態の時に、タイマーカウンタに"0"のデータをセットしても、/ TIRQ 端子からのタイマー割り込みは発生しません。期待通りのタイマー動作を行なうためには TE, TIE ビットの設定が必要です。

タイマー割り込みを使用しない場合は Address B, C が メモリーレジスタとして使用できます。この時、TE, TIE ビットを"0"に設定し、タイマー動作及び割り込みを禁止してください。

- タイマー割り込み ソースクロック選択

TSEL1	TSEL0	ソースクロック
0	0	4096 Hz
0	1	64 Hz
1	0	1 Hz
1	1	分 更新

- タイマー割り込み間隔

Timer Counter 設定値	ソースクロック			
	4096 Hz	64 Hz	1 Hz	分 更新
0	-	-	-	-
1	244.14 μ s	15.625 ms	1 s	1 min
2	488.28 μ s	31.25 ms	2 s	2 min
⋮	⋮	⋮	⋮	⋮
41	10.010 ms	640.63 ms	41 s	41 min
82	20.020 ms	1.281 s	82 s	82 min
128	31.250 ms	2.000 s	128 s	128 min
192	46.875 ms	3.000 s	192 s	192 min
205	50.049 ms	3.203 s	205 s	205 min
320	78.125 ms	5.000 s	320 s	320 min
410	100.10 ms	6.406 s	410 s	410 min
640	156.25 ms	10.000 s	640 s	640 min
820	200.20 ms	12.813 s	820 s	820 min
1229	300.05 ms	19.203 s	1229 s	1229 min
1280	312.50 ms	20.000 s	1280 s	1280 min
1920	468.75 ms	30.000 s	1920 s	1920 min
2048	500.00 ms	32.000 s	2048 s	2048 min
2560	625.00 ms	40.000 s	2560 s	2560 min
3200	0.7813 s	50.000 s	3200 s	3200 min
3840	0.9375 s	60.000 s	3840 s	3840 min
⋮	⋮	⋮	⋮	⋮
4095	0.9998 s	63.984 s	4095 s	4095 min

8.2.4. コントロールレジスタ・フラグレジスタ (Reg-D ~ F)

Address	機能	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
D	Extension Register	TEST	WADA	USEL	TE	○	○	TSEL1	TSEL0
E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	Control Register	○	○	UIE	TIE	AIE	○	STOP	RESET

- TEST ビット ; 弊社のテスト用のビットです。
必ず"0"を設定してください。Reg-Dの他のビットの書き込みの際、誤って"1"を書き込まないよう御注意願います。
CE0もしくはCE1端子を"L"にすることによってもクリアされます。
- WADA ビット (Week Alarm / Day Alarm)
WEEK / DAY アラームの設定ビットです。
本ビットを"0"とすると曜アラームに、また、"1"にすると日アラームとしてReg-A の設定内容を解釈します。
- USEL ビット (Update Interrupt Select)
時刻更新割り込みを発生させるタイミングを指定します。
[時刻更新割り込みタイミング選択]

USEL	タイミング	自動復帰時間
0	秒更新	7.813 ms
1	分更新	7.813 ms
- TE ビット (Timer Enable)
本ビットを"1"にする事により、プリセッタブルカウンタがカウントダウンを開始します。
本ビットを"0"にした場合は、プリセッタブルカウンタのカウントダウンは停止します。
- AF, TF, UF ビット (Alarm Flag , Timer Flag , Update Flag)
AF ビットはアラームが発生すると"1"に、TF ビットはタイマー割り込み用ダウンカウンタがゼロ時に"1"に、UF ビットは時刻更新終了後に、セットされます。
これらのビット共は、"0"を書き込むまでデータを保持します。また、"1"をライトすることはできません。
- AIE, TIE , UIE ビット (Alarm , Timer , Update Interrupt Enable)
アラーム、タイマー、時刻更新の割り込みイベントの発生時に各割り込み信号を発生させるか否かを指定します。
AIE はアラーム割り込みに、TIE はタイマー割り込みに、UIE は時刻更新割り込みに対応します。
- VLF (Voltage Low Flag)
本フラグは電源電圧低下等による発振停止を検出する為のビットです。"1"で発振停止があった事を示し、"0"を書き込むまで保持します。
他のビット(STOP,RESET)が"1"のときでも影響を受えません。
- STOP ビット
本ビットを"1"にすると Clock&Calendar 回路の秒桁への桁上げ動作が STOP し、計時を停止します。
"0"にすると計時を再開します。
- RESET ビット
本ビットを"1"にすると Clock&Calendar 回路の 秒以下のカウンタがリセットされ、計時も停止します。
"1"を書き込んだ後、CE0もしくはCE1端子を"L"にすると解除されます。

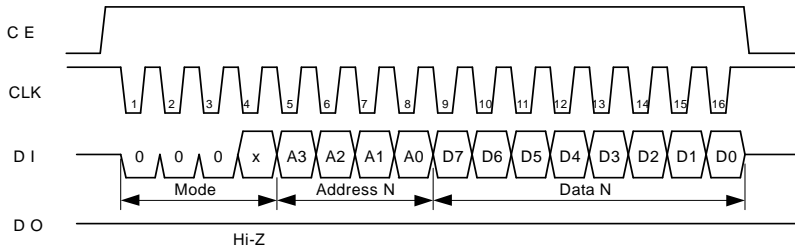
8.3. データの リード/ライト

書き込み/読み出し共に、CE0="H" かつ CE1="H" の チップ選択状態(内部 CE="H")にした後、4 ビットのモード設定、続いて4 ビットのアドレス指定を行い、その後は8 ビット単位でのデータ R/W をおこないます。

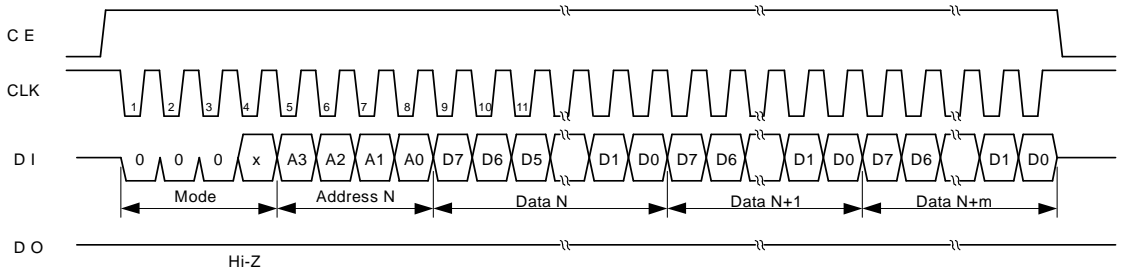
書き込み/読み出し共に、MSB-ファーストです。連続動作では、対象アドレスがオートインクリメントされます。アドレスのオートインクリメントは循環で、アドレス"F"の次はアドレス"0"となります。

8.3.1. データの書き込み

1) 単発 書き込み



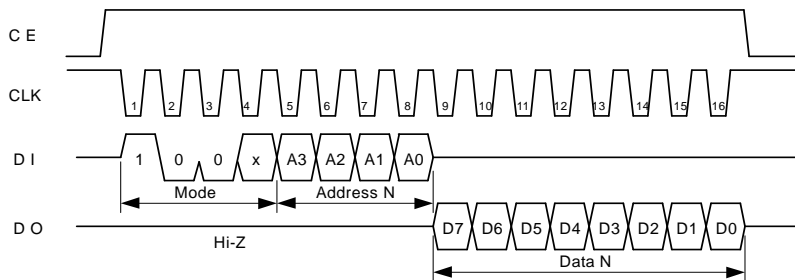
2) 連続 書き込み



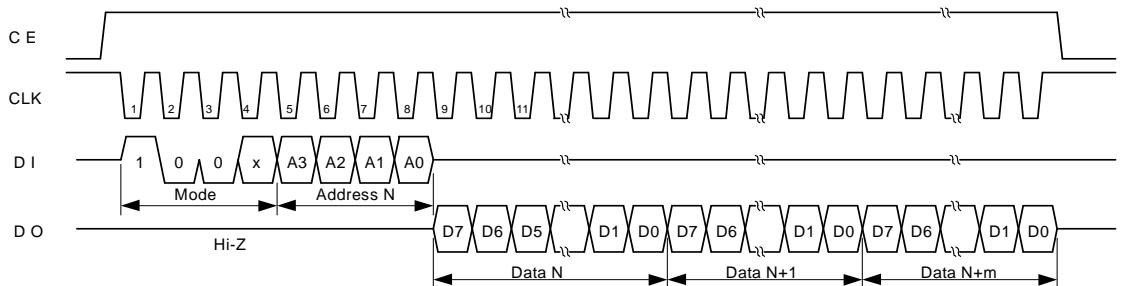
注) データ書き込み時は、必ず8ビット単位でデータを入力してください。
8ビット単位でのデータ入力が未完の状態でも CE 入力を立ち下げた場合、CE 入力を立ち下げた時点の8ビットデータについては正常な書き込みができません。

8.3.2. データの読み出し

1) 単発 読み出し



2) 連続 読み出し



8.3.3. Bank 別 書き込み/読み出しモード設定コード

Mode	Bank 0 (RTC)	Bank 1 (RAM)
Read	8 h	9 h
Write	0 h	1 h

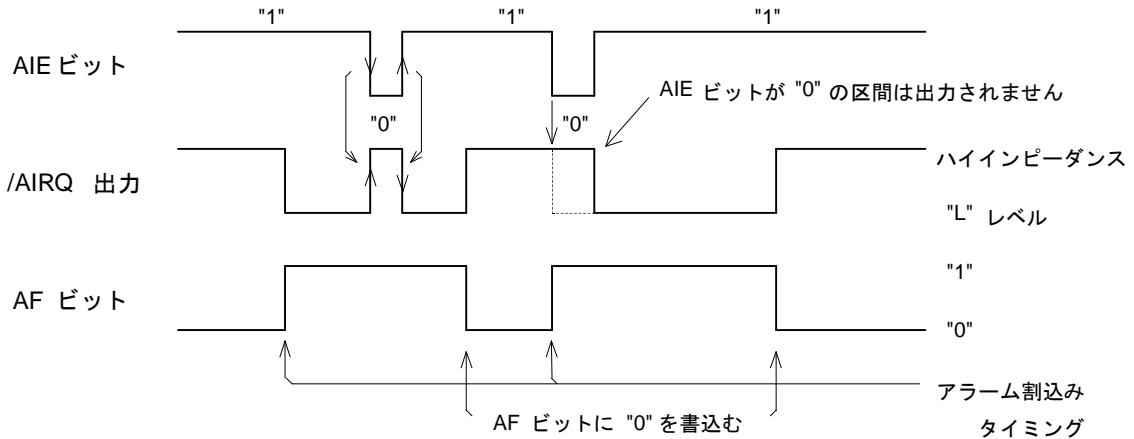
※モード設定コード部に左記以外を設定した場合は、その後のデータは無視され、DO 端子はハイインピーダンス状態を保ちます。

8.4. アラーム割り込み / タイマー割り込み

8.4.1. アラーム割り込み

アラームが一致時に、AIE=1 の場合は/AIRQ 端子は"L"出力となり、また、AIE=0 の場合は /AIRQ 端子はハイインピーダンス状態になります。

アラーム割り込みは、10 秒桁から分析へのキャリー発生時に出力されます。



• 使用方法

曜、日、時、分について設定できます。曜、日は WADA ビットによりどちらをアラームとして使用するか指定します。曜アラームを選択した場合、一度に複数の曜日が設定可能です。

アラーム設定中の不用意なハードウェア割り込みを避けるために、最初に AIE ビットを"0"にすることを推奨します。

その後アラームデータを設定し、アラーム回路の確実な初期化のために一旦 AF フラグをゼロクリアしてください。その後 AIE ビットを"1"にしてください。ハードウェア割り込みを一切使用したくない場合は AIE ビットを"0"にして、AF ビットを必要に応じてソフトにてモニターしてください。

• 使用例

1) 明日の午後 6 時にアラームを出す。

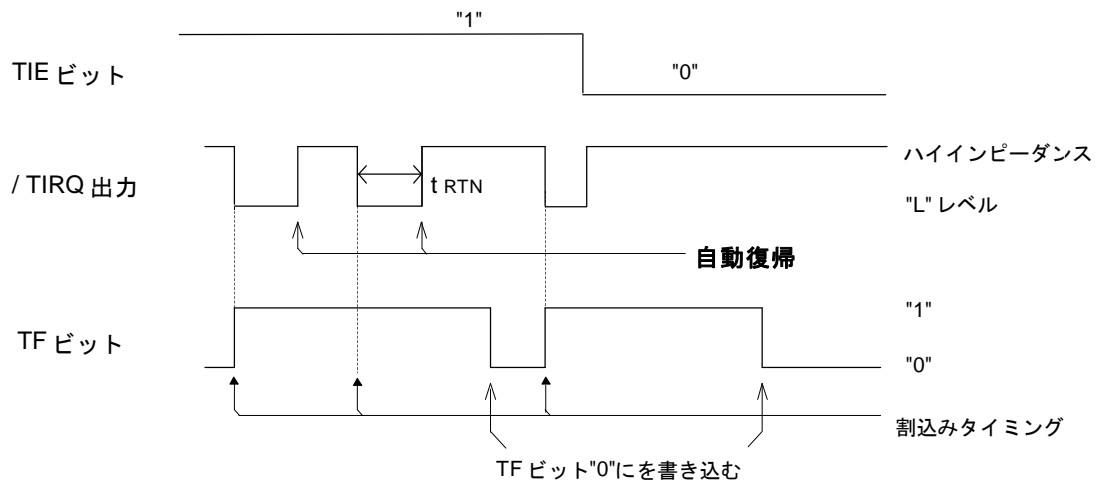
- ・ AIE ビットに"0"をライト。
- ・ 分アラームレジスタに"00h"をライト。
- ・ 時アラームレジスタに"18h"をライト。
- ・ 曜/日アラームレジスタに明日の日付けデータをライト。
- ・ WADA ビットに"1"をライト。(日アラーム)
- ・ AF ビットをゼロクリア。
- ・ AIE ビットに"1"をライト。

2) 日曜と土曜日以外の毎朝 6 時にアラームを出す。

- ・ AIE ビットに"0"をライト。
- ・ 分アラームレジスタに"00h"をライト。
- ・ 時アラームレジスタに"06h"をライト。
- ・ 曜/日アラームレジスタに"3Eh"をライト。
- ・ WADA ビットに"0"をライト。(曜アラーム)
- ・ AF ビットをゼロクリア。
- ・ AIE ビットに"1"をライト。

8.4.2. タイマー割り込み

- ・ 割り込み発生時に TIE="1"ならば、 / TIRQ 端子は "L"を出力します。
- ・ 割り込み発生時に TIE="0"ならば、 / TIRQ 端子はハイインピーダンスのまま且つ TF ビットのみ"1"となり、これを保持します。



* 自動復帰

自動復帰時間(tRTN) は、Reg-D で指定したソースクロックで決まります。

ソースクロック	自動復帰時間 (tRTN)
4096 Hz	122 μs
64 Hz	7.813 ms
1 Hz	7.813 ms
分更新	7.813 ms

• タイマーの時間誤差

タイマーの時間誤差は、選択したソースクロックの $^{+0}/_{-1}$ 周期の時間が誤差となります。よって、タイマー時間は、タイマー設定時間に対して以下の範囲になります。

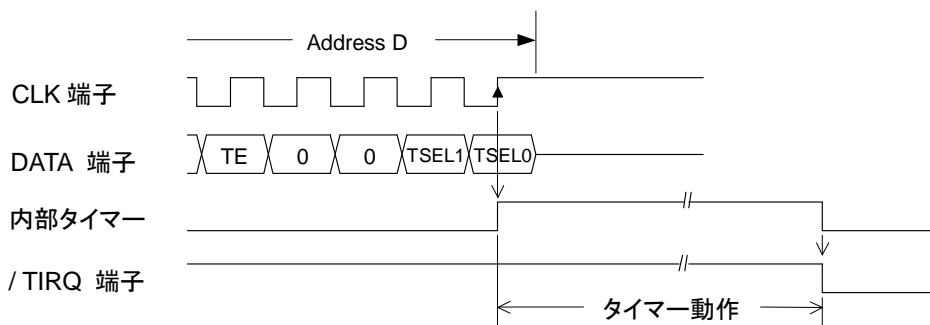
$$(\text{タイマー設定時間} (*) - \text{ソースクロック周期}) \sim (\text{タイマー設定時間})$$

$$*) \text{タイマー設定時間} = \text{ソースクロック周期} \times \text{タイマーカウンタの分周値}$$

尚、実際のタイマー時間は、設定用のシリアルデータ転送クロックの通信時間が、上記の時間以外にプラスされます。

- タイマースタートタイミング

データライトモードにおいて下記のタイムチャートの Address D 書き込み CLK の立ち上がりエッジからタイマーがカウント動作を開始します。



- 使用方法

タイマー割り込み設定レジスタで指定した周期(ソースクロック)で、タイマーカウンタに設定した値からカウントダウンを開始し、データがゼロになると /TIRQ 端子が"L"となり割り込みを発生します。

最小 1/4096 秒 ~ 最長 4095 分 までのインターバルタイマーとして使用できます。

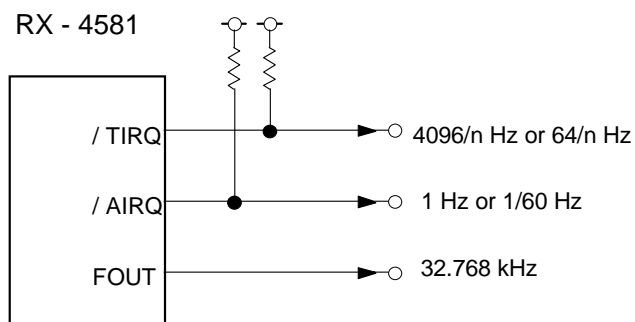
タイマー設定中の不用意なハードウェア割り込みを避けるために、最初に TF ビット TIE ビットを共に"0"にすることを推奨します。

タイマー割り込みを一切使用したくない場合は、TIE ビットは"0"にして、TF ビットを必要に応じてソフトでモニターしてください。

8.5. 基準クロック信号出力

RX-4581 では、/TIRQ,/AIRQ,FOUT の各端子から同時に 3 種類の基準クロックを出力することができます。

/TIRQ 端子からは「タイマー割り込みの繰り返し動作による 4096/n Hz (ソースクロック 4096 Hz 選択時)もしくは 64/n Hz (ソースクロック 64 Hz 選択時)のクロック出力」が、また、/AIRQ 端子からは「時刻更新割り込みによる、1 Hz もしくは 1/60 Hz のクロック出力」が得られ、更には、FOUT 端子から「32.768 kHz のクロック出力」を得る事ができます。



8.6. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限

- 本製品の動作の多くは 内蔵水晶振動子の発振クロックに連動していますので、[内部発振が ない状態 = 発振停止状態] では、正しい動作ができません。

そのため、電源初期投入時 および バックアップ復帰異常時 (電圧低下などが原因で、発振が停止していた状態からの電源電圧復帰時) の初期設定は、[内部発振が 開始してから → 発振開始時間 (t_{STA} 規定参照) 経過以降] に行うことを 推奨しています。

- 電源初期投入時 および バックアップ状態からの電源電圧復帰時 (以降、[動作電圧移行時] とする) の アクセス動作は、次の点に注意してください。

1) 動作電圧移行時は、まず はじめに VLF-bit (RTC の異常状態を示すビット) を読み出してください。

2) VLF-bit の読み出し結果が VLF = " 1 (異常状態) " のときは、初期設定が必要です。

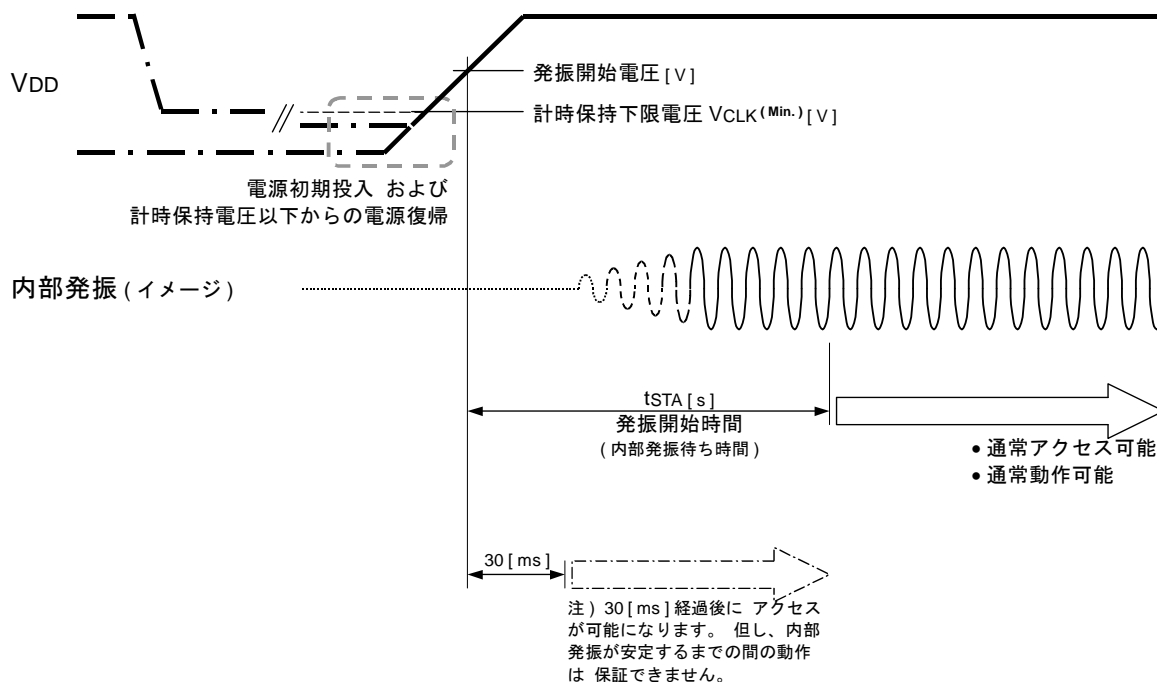
VLF = " 1 " のときの初期設定は、内部発振が安定してから (= 発振開始時間 (t_{STA} 規定参照) 経過以降に) 行うことを 推奨しています。

VLF-bit を " 1 " として読み出したときの状態は次のとおりで、いずれの場合も初期設定が必要です。

状態 1) 電源初期投入時

状態 2) バックアップ中の電圧低下等により、計時内容が 有効ではないとき

* 電源初期投入時 および 計時保持電圧以下から電源電圧復帰したときの アクセス可能タイミング



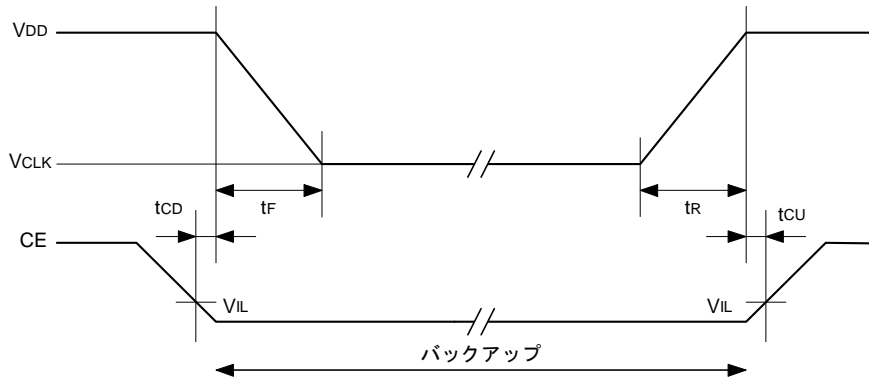
- 3) VLF-bit の読み出し結果が VLF = " 0 (正常状態) " のときのみ、発振開始時間を待たずに アクセス可能です。

VLF-bit を " 0 " として読み出したときの状態は次のとおりで、通常動作が可能です。

状態 1) 正しい動作が可能なき (使用時の誤設定時は除く)

状態 2) バックアップ状態からの動作電圧移行時、正常にデータ保持されていたとき

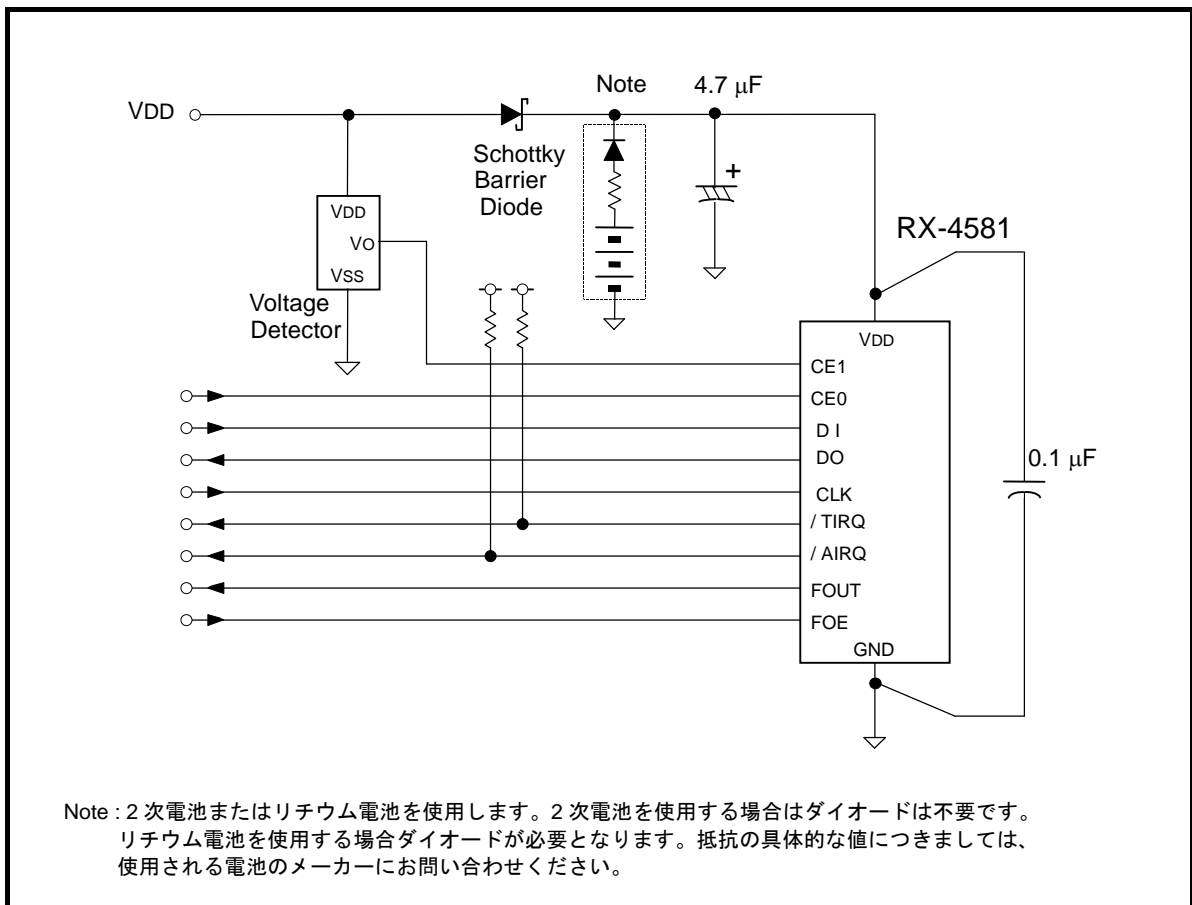
8.7. バックアップへの移行 及び 復帰



項目	記号	条件	Min.	Typ.	Max.	単位
電源降下前 CE 時間	tCD	-	0			μs
電源降下時間	tF	-	2			μs/V
電源立上時間	tR	-	1			μs/V
電源立上後 CE 時間	tCU	-	0			μs

※バックアップへの移行時、電源切り替え操作の前に CE を確実に Low レベルとし、RTC は非選択状態としてください。

8.8. 外部接続例



9. 外形寸法図 / マーキングレイアウト

9.1. 外形寸法図

RX - 4581 NB (SON - 22pin)

● 外形寸法図

● はんだ付けパターン図

※ 部はパターンレイアウト禁止

部は内部回路に接続されています。この部分にはいかなるパターン(パット含む)もレイアウトしないで下さい。故障の原因になります。

* 2) パターン配線禁止範囲 (GNDライン, 電源ライン, 信号ライン, ハンタパターン etc).

* 3) GNDパターン推奨範囲

Unit : mm

* 1) パッケージの表裏の一部に 内蔵水晶振動子の金属ケースが見えることがありますが、デバイスの特性に 影響はありません。

* 2) パターンレイアウト禁止範囲です。この部分の部品面には、いかなるパターンも レイアウトしないでください。
* 製品裏面の の部分は、内部で IC と接続された端子が露出しています。この部分がパターン (電位の無いベタパターンを含む) と接触してしまいますと、発振機能・製品動作などに影響を及ぼす可能性があります。

* 3) GND パターン推奨範囲です。信号線を接近させず、可能であれば GND パターンで埋めてください。

9.2. マーキングレイアウト

RX - 4581 NB (SON - 22pin)

型式

ロゴ

製造ロット

* 表示内容は、捺印と表示の大略を示すもので、字形・大きさ および 位置の詳細を規定するものではありません。

10. 参考データ

(1) 周波数温度特性例

$\theta_T = +25 \text{ }^\circ\text{C Typ.}$
 $\alpha = -0.035 \times 10^{-6} \text{ Typ.}$

[周波数安定度の求め方]

- 周波数温度特性は、以下の式で近似できます。

$$\Delta f_T = \alpha (\theta_T - \theta_X)^2$$
 - Δf_T : 任意の温度における周波数偏差
 - α ($1 / \text{ }^\circ\text{C}^2$) : 2次温度係数
 $(-0.035 \pm 0.005) \times 10^{-6} / \text{ }^\circ\text{C}^2$
 - θ_T ($^\circ\text{C}$) : 頂点温度 (+25±5 °C)
 - θ_X ($^\circ\text{C}$) : 任意の温度
- 時計精度を求めるためには、更に周波数精度と電圧特性を加えます。

$$\Delta f/f = \Delta f/f_0 + \Delta f_T + \Delta f_V$$
 - $\Delta f/f$: 任意の温度,電圧における時計精度 (周波数安定度)
 - $\Delta f/f_0$: 周波数精度
 - Δf_T : 任意の温度における周波数偏差
 - Δf_V : 任意の電圧における周波数偏差
- 日差の求め方
 日差 = $\Delta f/f \times 86400$ (秒)
 ※例えば、 $\Delta f/f = 11.574 \times 10^{-6}$ で約1秒/日の誤差になります。

(2) 周波数電圧特性例

Condition :
3 V as reference, $T_a = +25 \text{ }^\circ\text{C}$

(3) 消費電流電圧特性

(3-1) 非アクセス時 消費電流(i)
FOUT = OFF 時

Condition :
 $T_a = +25 \text{ }^\circ\text{C}$
 CE0, CE1, FOE = GND
 /AIRQ, /TIRQ = VDD
 FOUT; Output OFF (Hi-z when OFF)

(3-2) 非アクセス時 消費電流(ii)
FOUT = 32.768kHz 時

Condition :
 $T_a = +25 \text{ }^\circ\text{C}$
 CE0, CE1 = GND
 /AIRQ, /TIRQ, FOE = VDD
 FOUT; 32.768 kHz output ON

11. 取り扱い上の注意事項

1) 取り扱い上の注意事項

- 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気


耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および運搬容器には 導電性の物を使用してください。


はんだごてや測定回路などは高電圧リークの無いものを使用し、また、実装時・作業時にも 静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されますと、誤動作やラッチアップ現象等による破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子 (V_{DD} – GND 間) の極力近い場所に、0.1 μF 以上のバスコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを配置しないようにしてください。

※ 図 1 の () 部の部品面は、信号線を接近させず、可能であれば GND パターンで埋めてください。

※ 図 1 の () 部の部品面は、いかなるパターンも レイアウトしないでください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ V_{DD} または GND の電位に近い電位に設定してください。

(4) 未使用入力端子の処理

入力端子の入力インピーダンスは非常に高く、開放状態での使用は 不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、プルアップ または プルダウン抵抗による処理を 必ず施してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 °C を越えますと、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。ご実装前に 必ず実装条件 (温度・時間) を ご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。

※ 図 2 に、弊社 はんだ耐熱性評価プロファイルを 参考掲載します。

(2) 実装機

汎用実装機の使用が可能です。使用機器、条件等によっては 実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には 必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後に ご使用ください。実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

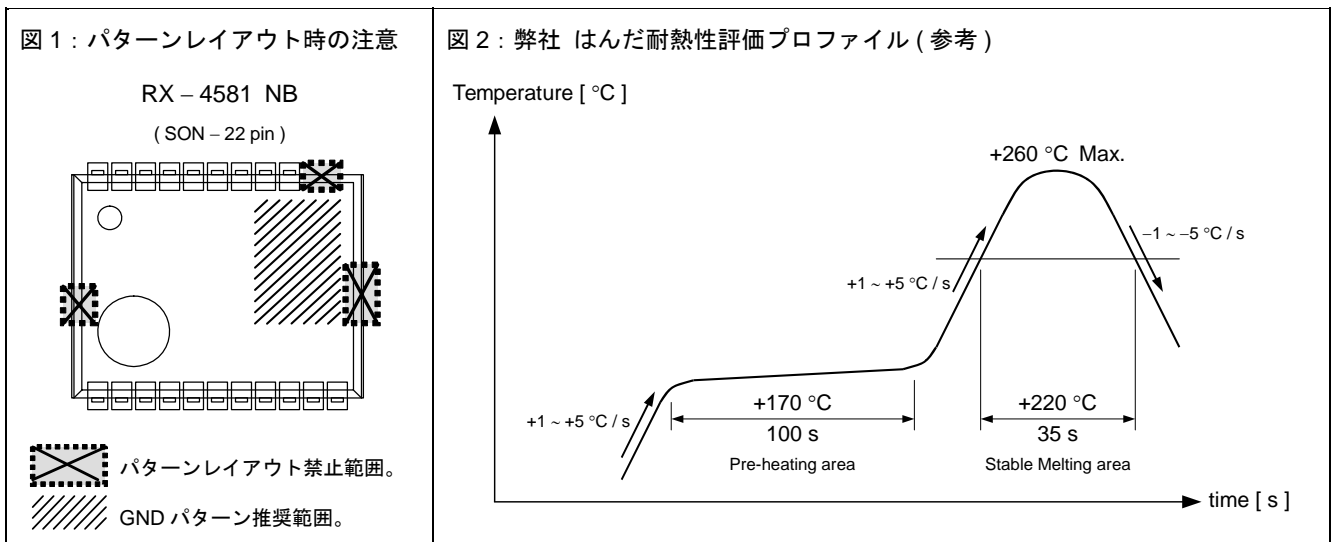
超音波洗浄は、使用条件によっては 内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと 端子間リークを招く場合がありますので、洗浄し さらに 乾燥させた後に電源投入を行なってください。





Application Manual

エプソントヨコム株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 17F
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

インターネットによる情報配信

<http://www.epsontoyocom.co.jp>

代理店
