アプリケーションマニュアル

Real Time Clock Module

RX4111CE

Rev 05 ---- 30 June 2025

製品名称	製品型番
RX4111CE A	X1B000431000115
RX4111CE B	X1B000431000215

EPSON

●本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
2. 本資料の一部または全部を、弊社に無断で転載または複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社は、正確さを期すために慎重に本資料を作成しておりますが、本資料に掲載されている情報に誤りがないことを保証するものではありません。万一、本資料に掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
5. 本資料に掲載されている弊社製品および弊社技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および弊社技術を大量破壊兵器等の開発目的、および軍事利用の目的、その他軍事用途等に使用しないでください。弊社製品または弊社技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米国輸出管理規則（EAR）」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
6. 弊社は、お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害（直接・間接を問わず）に関して、一切その責任を負いかねます。また、お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害（直接・間接を問わず）が発生した場合、弊社は一切その責任を負いかねます。
7. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
8. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

●免責事項

1. 弊社製品は、極めて高い信頼性、安全性が要求されない一般的な電子機器用途での使用を想定して設計された製品です。

2. 弊社の責に帰すべき欠陥による場合を除き、本製品に一切の不具合が発生しないことを表明または保証しません。
また、本製品に起因する場合であっても、弊社起因の不具合品の返金あるいは交換以外の保証・賠償の責任を負いかねます。

3. 弊社製品を生命・身体や財産に影響を及ぼす機器（原子力、航空宇宙、社会基盤施設、医療機器など）に直接的・間接的にご使用される場合、お客様は、本製品と当該装置との適合性および装置への影響の確認および判断は、お客様単独の責任でおこなうものとします。
また、お客様は本製品や使用機器への影響を事前に確認し、必要な安全設計（冗長設計、誤動作防止設計などを含む）を行い、機器の信頼性・安全性を十分確保したうえで本製品を使用するものとします。

4. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
また、これに起因する不具合は保証範囲外とさせていただきます。

©SEIKO EPSON CORPORATION 2025, All rights reserved.

ETM62J 改訂履歴

過去の改訂ページはその後の改訂によってページ No が一致しない場合が有ります

Rev No.	日付	ページ	改定内容
-01	2020/02/19		新規制定
-02	2021/09/30	7	パッケージ外形図に注意事項*1 を追加しました *"5.1. 外形寸法図"*
		11	AC 特性 Vdd=1.8V の特性値を改訂しました *"9.2.1. AC 電気的特性(1)"*
			SPI アクセスにおいて CE がディセーブルであっても DI 入力はアクティブなため中間電圧入力やオープンを禁止する注意を追加しました *"SPI-Chart"*
		26	割り込み自動復帰時間シンボル tRTN を tRTN1 と tRTN2 に分けました ウェイクアップタイマー割り込み出力の自動復帰時間のシンボルを、tRTN から tRTN2 に変更しました "Table 20 TSEL ビット、ソースクロック選択"
		34	時刻更新割り込み機能の自動復帰時間を 7.57 ms から 7.324 ms ～ 7.644 ms に訂正しました 時刻更新割り込み出力の自動復帰時間のシンボルを tRTN から tRTN1 に変更しました *"Table 37 UIE ビット (Update Interrupt Enable)* **"14.4. 時刻更新割り込み機能"** *"3) UIE ビット (Update Interrupt Enable)"*
		35	時刻更新割り込みタイミングチャートを修正しました。 UF または UIE のクリアで/INT は直ちに Hi-Z に解放されます。 "Figure27 時刻更新タイミングチャート"
		42	"低容量 EDLC 使用時の注意"は削除されました。 SW1=ON でのリーク電流にご配慮は無用です。 "Page42"
		48	フローチャート 1)電源投入時の処理例にソフトウエアリセットの説明を追加しました *"FLOW1"*
		58	国内営業所住所を更新しました *"Contact"*
		全て	ページフッタに目次へのリンクを追加しました
-03	2023/10/11	6	電源接続例にコメントを追加しました。 4. 電源接続例
		9	動作温度範囲の Max.を 85℃から 105℃に拡大しました。 電気的特性全体
		10	消費電流特性を 85°C Max.と 105°C Max.それぞれ定義しました。 9.1.1. DC 電気的特性
04	2024/6/20	18,19	Time stamp 1/256S レジスターのビット表記を 1/n 分数形式に統一しました。 レジスターマップ
		15	ソフトウエアリセットの補足説明内容を加筆修正しました。 ソフトウエアによるリセット
		12, 13	悪意セス待機時間 tCL, tCU の誤記を訂正しました。 10. 電源投入シーケンス
05	2025/06/30		・本マニュアルのご使用上に関わるご留意内容の改訂 ・免責事項に関する記載の追加

目次

ETM62J 改訂履歴 1

目次 2

1 概 要 4

2 ブロック図 4

3. 端子説明 5
- 3.1. 端子配置 5
- 3.2. 端子機能 5

4. 電源接続例 6

5. 外形寸法図 マーキングレイアウト 7
- 5.1. 外形寸法図 7
- 5.2. マーキングレイアウト 7

6. 絶対最大定格 8

7. 推奨動作条件 8

8. 周波数特性 8

9.電気的特性 9
- 9.1.DC 電気的特性 9
  - 9.1.2. 充電特性 10
  - 9.1.3 電源切替素子参考特性 10
- 9.2. AC 電気的特性 11
  - 9.2.1. AC 電気的特性 (1) 11
  - 9.2.2. AC 電気的特性 (2) 11

10. 電源投入シーケンス 12
- 10.1. 電源投入シーケンス 12
- 10.2. 電源投入時の V_{DD} と CE のタイミング 13
- 10.3. 電源初期投入時およびバックアップ復帰時におけるアクセス動作の制限 14
- 10.4. ソフトウェアによるリセット 15

11. 周波数温度特性と時計精度 15

12. 取り扱い上の注意事項 16

13. 機能概要 および レジスターテーブル 17
- 13.1. 機能概要 17
- 13.2. レジスターテーブル 18
  - 13.2.1.レジスターテーブル 18
  - 13.2.2.レジスター初期値およびリード/ライト動作テーブル 20
- 13.3. レジスター概要 22
  - 13.3.1. 計時・カレンダーレジスター Bank1 - 0h ~ 6h 22
  - 13.3.2. ウェイクアップタイマー用ダウンカウンター Bank1 - Ah ~ Ch 22
  - 13.3.3. アラームレジスター Bank1 - 7h ~ 9h, Bank2 - Ch 22
  - 13.3.4. 機能関連レジスター Bank1 - Dh ~ Fh 22
  - 13.3.5. 電源切替関連レジスター Bank3 - 2h 23
  - 13.3.6. タイムスタンプ関連レジスター 23
  - 13.3.7. ユーザーRAM Bank4 ~ 7 23

14. 使用方法 24
14.1. 時計カレンダー 24
14.1.1. 時計カウンター 25
14.1.2. 曜カウンター 25
14.1.3. カレンダーカウンター 25
14.2. ウェイクアップタイマー割り込み機能 26
14.2.1. ウェイクアップタイマー割り込み機能関連レジスター 26
14.2.2. タイマースタートタイミング 28
14.2.3. ウェイクアップタイマー割り込み周期 29
14.2.4. ウェイクアップタイマー割り込み機能図 30
14.3. アラーム割り込み機能 31
14.3.1. アラーム割り込み機能 関連レジスター 31
14.3.2. アラーム設定例 32
14.3.3. アラーム割り込み機能図 33
14.4. 時刻更新割り込み機能 34
14.4.1. 時刻更新割り込み機能 関連レジスター 34
14.4.2. 時刻更新割り込み機能図 35
14.5. 自己監視機能 36
14.5.1. 自己監視機能 関連レジスター 36
14.6. FOUT 機能 (クロック出力機能) 37
14.6.1. FOUT 機能関連レジスター 37
14.6.2. FOUT 機能動作表 37
14.7. バックアップ電源切替機能 38
14.7.1. バックアップ電源切替機能の概要 38
14.7.2. バックアップ電源切替機能の関連レジスター 38
14.8. タイムスタンプ機能 43
14.8.1. タイムスタンプ機能概要 43
14.8.2. タイムスタンプ機能の設定関連レジスター 43
14.8.3. SPI アクセスによるタイムスタンプ機能 45
14.8.4 RTC 自己監視機能のタイムスタンプ機能 45
14.8.5. タイムスタンプ格納レジスター 46
14.8.6. 複数回タイムスタンプ記録機能 47
14.9. フローチャート 49
14.10. SPI-Bus データの リード/ライト 55
14.10.1 データの書き込み 55
14.10.2 データの書き込み 55
14.10.3 データの読み出し 55

15. 接続回路例 56

16.Table 57

17.Figure 58

リアルタイムクロックモジュール (SPI-Bus)
タイムスタンプ機能　電源切替機能

RX4111CE

- 32.768 kHz 水晶振動子内蔵 (周波数精度調整済み)
- インターフェイス方式　：SPI-Bus 4 wire, 4 MHz Max.
- 低消費電流　　：100 nA Typ. / 3 V
- 動作温度範囲　　：-40 °C ~ +105 °C
- 自動電源切替　　：メイン電源を監視しバックアップ電源に自動切替
- タイムスタンプ　　：タイムスタンプ 8 回記録 (年 ～ 1/256 秒)
- 時刻更新割り込み　　：毎分、毎秒
- アラーム 割り込み　　：曜、日、時、分、秒
- 定周期ウェイクアップタイマー 割り込み
- 自己監視検出割り込み　：水晶発振停止、V_{BAT} 電圧低下、V_{DD} 電圧低下

1 概 要

・本モジュールは、SPI-Bus インターフェイス方式のリアルタイムクロックです
・リアルタイムクロック部は、秒から年まで自動うるう年補正の時刻カレンダー回路、時刻アラーム、
　ウェイクアップタイマー、時刻更新割り込み、クロック出力、ユーザーRAM 等の豊富な機能を備えています
・主電源への逆流防止 MOS スイッチを内蔵した電源切り替え回路とインターフェイス専用電源端子の採用によりさまざまな電源回路
　構成に対応することが可能です
・1/256 秒から年までを最大 8 回記録可能なタイムスタンプ機能を搭載しています
・独自の低消費電流設計によってあらゆるシステムの時計カレンダー情報の長期バックアップに貢献いたします

2 ブロック図

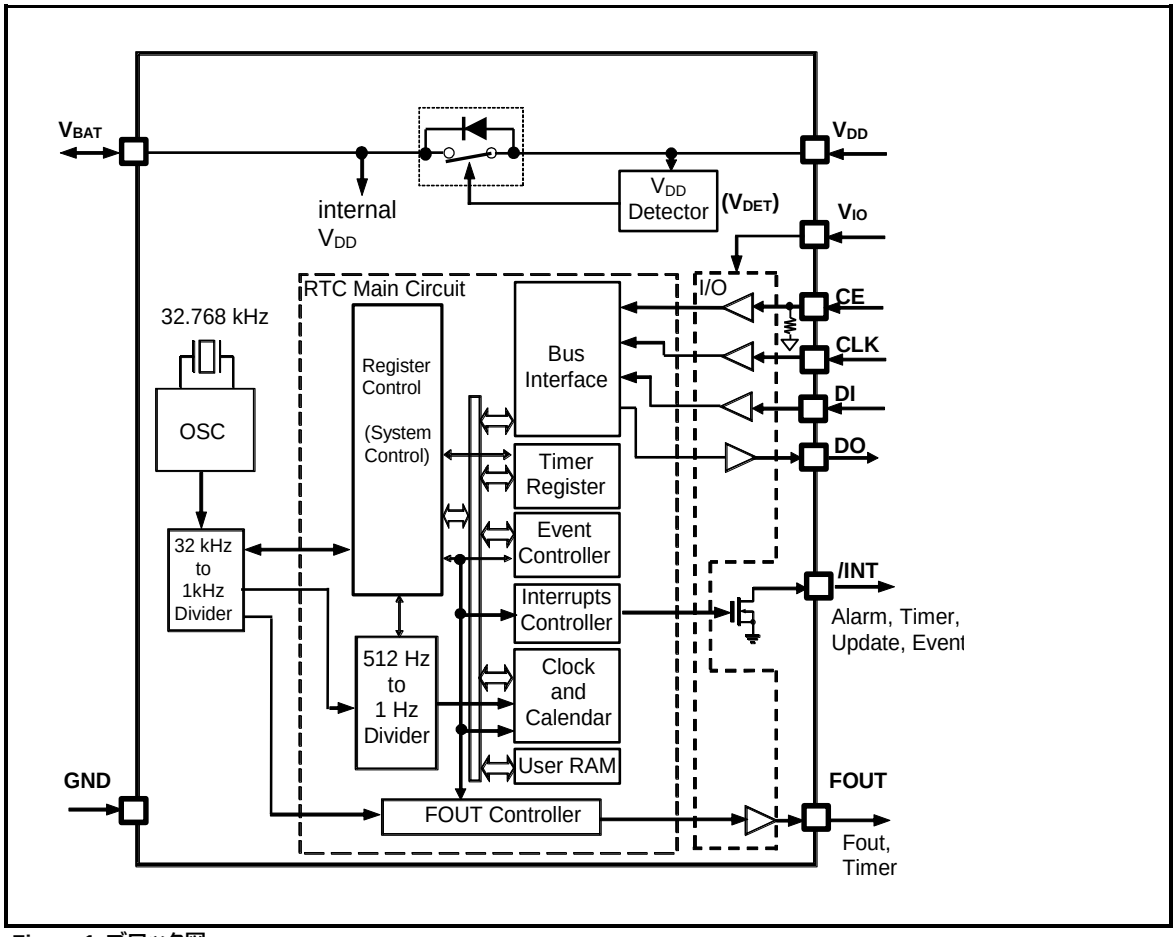


Figure 1 ブロック図

3. 端子説明

3.1. 端子配置

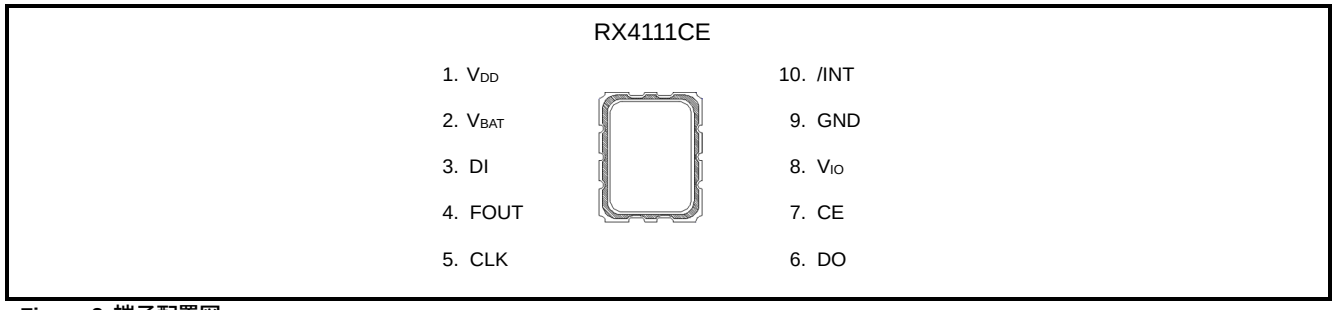


Figure 2 端子配置図

3.2. 端子機能

Table 1 端子機能

端子名	入出力	機能
CE	Input	チップイネーブル入力端子　プルダウン抵抗内蔵
CLK	Input	シリアルデータ転送のシフトクロック入力端子
DI	Input	シリアルデータ転送のデータ入力端子 (MOSI)
DO	Output	シリアルデータ転送のデータ出力端子 (MISO)
FOUT	Output	クロック出力端子 (CMOS) デフォルトで 32.768 kHz が出力されます 32.768 kHz, 1024 Hz, 1 Hz 出力が選択可能です。不使用時は OPEN にしてください ウェイクアップタイマー割込み出力に切り替え可能です ウェイクアップタイマー割込み時も出力は CMOS です
/INT	Open-Drain Output	割り込み出力端子 (N-ch. open drain) バックアップモードでも出力可能です ウェイクアップタイマー／時刻更新／アラーム／イベント検出の各割り込みの出力が可能です。 選択された各割り込みは OR で出力されます。未使用時は OPEN にしてください
V_{DD}	–	メイン電源入力端子 メイン電源動作範囲では、この端子から内部に電源が供給されます V_{IO} と異なる電圧を印加することが可能です
V_{IO}	–	SPI インターフェイス用電源入力端子 HOST のインターフェイス電源と同じ電源を供給してください
V_{BAT}	–	バックアップ電源接続端子 大容量キャパシタ、二次電池、一次電池等のバックアップ用電源を接続してください バックアップ電源動作範囲では、この端子から電源が供給されます
GND	–	グランド端子

FOUT 端子, /INT 端子を未使用の際は OPEN のままでプルアップ/プルダウン抵抗器の設置は無用です。

4. 電源接続例

回路設計におかれましては、各バイパスコンデンサーは可能な限り各端子の直近に設置してください。
V_{BAT} 端子に外部電源デバイスや大型電池を利用される場合は必要に応じて V_{BAT} 端子に
0.1μF 以上のバイパスコンデンサーを設置してください。
VBAT-バッテリ間に保護抵抗を設置される際は、少なくとも 1μA の電流が VBAT に供給可能な抵抗値を設定してください。
ただし、電池メーカーの推奨抵抗値および UL 等の公的規格に適合させる場合はそれらの仕様を優先してください。
　保護抵抗無し0Ω でも RTC が規定以上の電流を消費することは有りません。

(1) SPI インターフェイス電圧と充電電圧が異なる場合

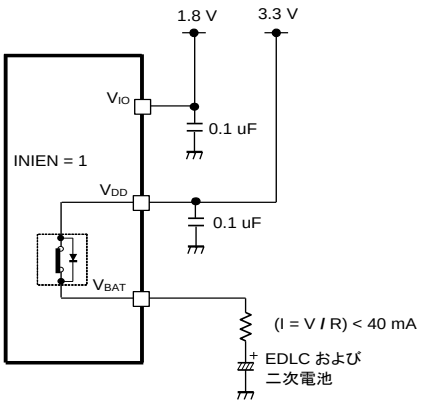


Figure 3 電源接続例 1

(2) SPI インターフェイス電圧と充電電圧が同じ場合

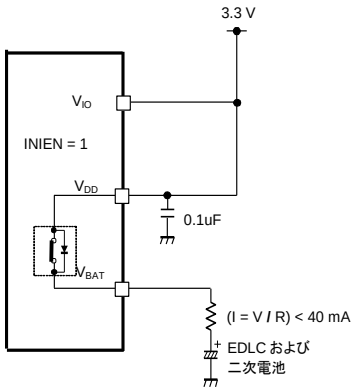


Figure 4 電源接続例 2

(3) 一次電池を使用する場合

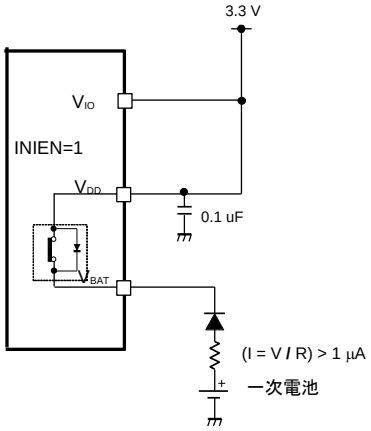


Figure 5 電源接続例 3

(4) 電源切替機能を使わず単一電源で使用する場合

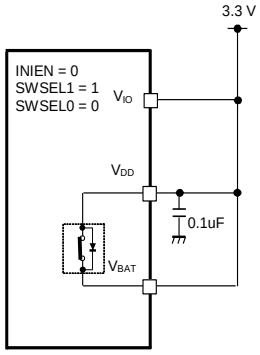


Figure 6 電源接続例 4

5. 外形寸法図 マーキングレイアウト

5.1. 外形寸法図

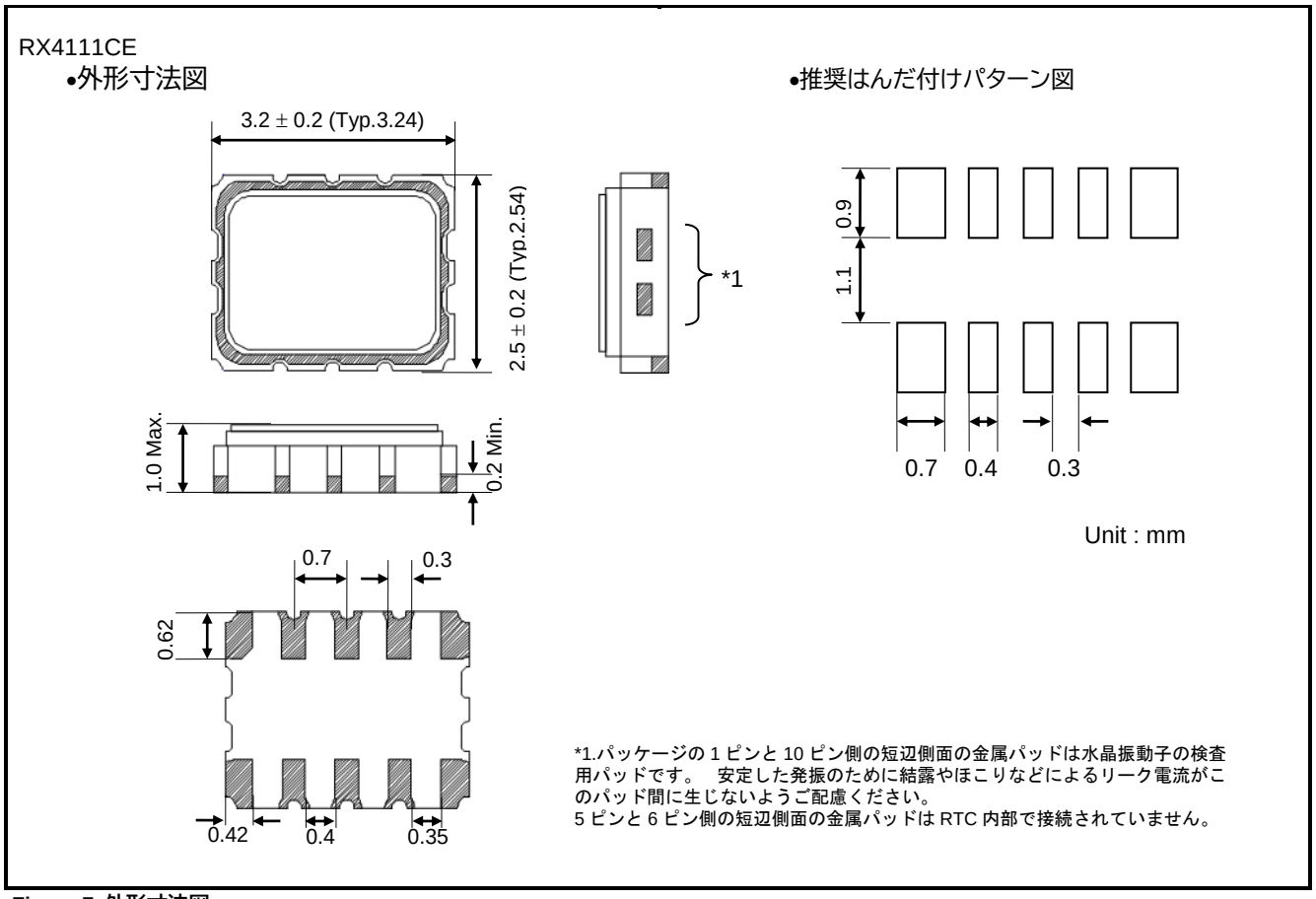


Figure 7 外形寸法図

5.2. マーキングレイアウト

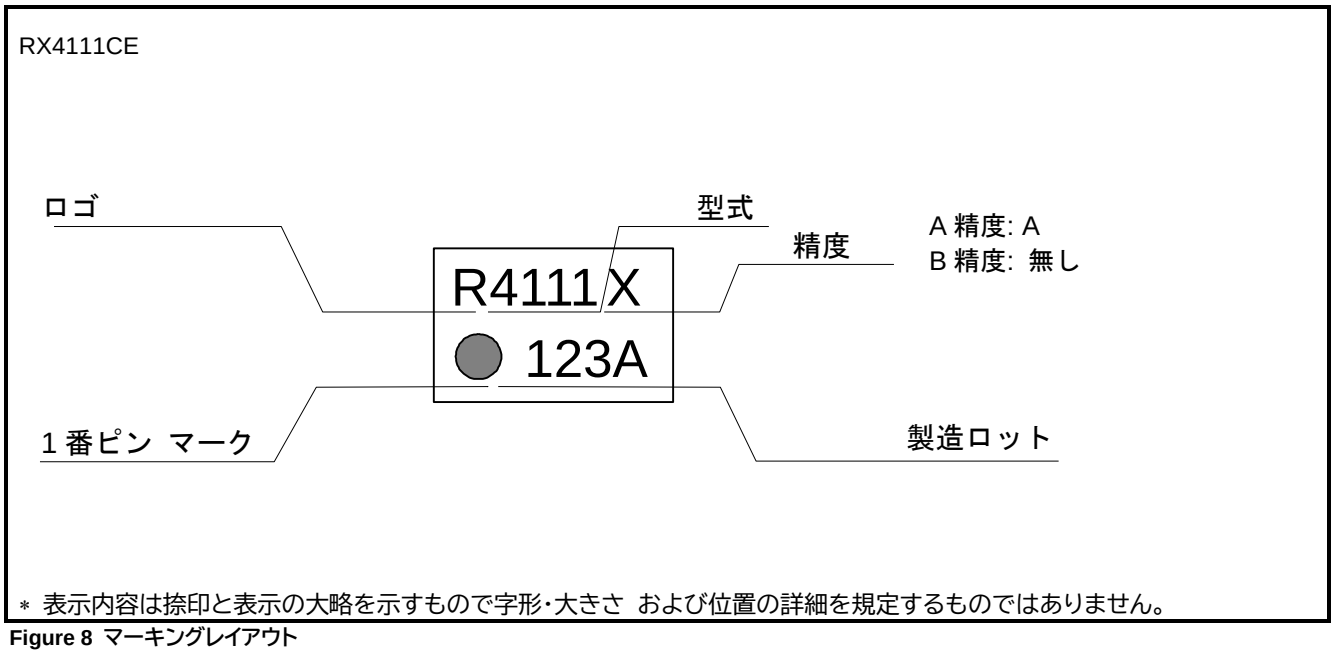


Figure 8 マーキングレイアウト

6. 絶対最大定格

Table 2 絶対最大定格

GND = 0 V

項 目	記 号	条 件	定格値	単 位
主電源電圧	V_{DD}	–	–0.3 ~ +6.5	V
バックアップ電源電圧	V_{BAT}	–	–0.3 ~ +6.5	V
インターフェイス 電源電圧	V_{IO}	–	–0.3 ~ +6.5	V
入力電圧	V_{IN}	CE, CLK, DI	–0.3 ~ +6.5	V
出力電圧 1	V_{OUT1}	/INT	–0.3 ~ +6.5	V
出力電圧 2	V_{OUT2}	FOUT, DO	-0.3 ~ V_{IO} + 0.3	V
保存温度	TSTG	梱包状態を除く 単品での保存	–55 ~ +125	°C

7. 推奨動作条件

Table 3 推奨動作条件

*特記無き場合 GND = 0 V, Ta = -40 °C ~ +105 °C

項 目	記 号	条 件	Min.	Typ.	Max.	単位
動作電源電圧	V_{DD}	主電源動作時	1.25	3.0	5.5	V
SPI インターフェイス 電源電圧	V_{IO}	V_{DD} = 1.6V ~ 5.5V	1.6	3.0	5.5	V
計時電源電圧	V_{CLK}	バックアップモード時	V_{VLF}	3.0	5.5	V
VLF 検出電圧	V_{VLF}	内部電源低下検出電圧	-	-	1.1	V
動作温度範囲	Ta	結露無きこと	-40	+25	+105	°C

＊ V_{VLF} は、V_{DD} ≧ V_{DET1} で初期設定後の 計時保持下限値です。
＊ 初回電源投入時の V_{DD} 電圧は+V_{DET1} 以上(1.45 V 以上)まで上昇させてください。

8. 周波数特性

Table 4 周波数温度特性

*特記無き場合 GND = 0 V, Ta = -40 °C ~ +105 °C

項 目	記 号	条 件	Min.	Typ.	Max.	単位
出力周波数	fo		32.768			kHz
周波数精度	Δ f / f	Ta = +25 °C V_{DD} = 3.0 V	A 精度 : ± 11.5 *1 B 精度 : ± 23.0 *2			× 10^{-6}
周波数電圧特性	f/V	Ta = +25 °C V_{DD} = 1.1 V ~ 5.5 V	-2		+2	× 10^{-6} / V
周波数温度特性	fo - T_C	Ta = –20 °C ~ +70 °C V_{DD} = 3.0 V +25 °C 基準	-120		+10	× 10^{-6}
水晶発振開始時間	t_{STA}	V_{DD} = 1.6 V ~ 5.5 V		0.3	1.0	s
エージング *3	fa	Ta = +25 °C , 電源電圧 = 3.0 V ; 初年度	-5		+5	× 10^{-6} / year

*1 月差±30 秒相当　　*2 月差±60 秒相当

*3 周波数経時変化は環境試験結果から周波数変動量を見込んだものであり製品寿命を保証するものではありません。

9.電気的特性

9.1.DC 電気的特性

Table 5 DC 電気的特性

*特記無き合 V_{BAT} = V_{DD} = V_{IO} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +105 °C,

項 目	記 号	条 件		Min.	Typ.	Max.	単位
消費電流 (1)	I_{DD}	入力端子 = "L" FOUT = OFF /INT = OFF VDD = VIO = 3.0 V CHGEN = INIEN = 0	-40 °C to +85 °C	-	100	450	nA
			-40 °C to +105°C	-	100	1000	
消費電流 (2)	I_{32k}	入力端子 = "L" FOUT = 32.768 kHz /INT = OFF VDD=VIO = 3.0 V	-40 °C to +85 °C	-	2.0	3.0	µA
			-40 °C to +105 °C	-	2.0	3.5	
消費電流 (3)	I_{BAT}	入力端子 = "L" VBAT = 3.0 V VDD = VIO = 0.0 V	-40 °C to +85 °C	-	110	450	nA
			-40 °C to +105 °C	-	110	1000	
V_{DD} 立ち上がり時 検出電圧 1	$+V_{DET1}$	(V_{BAT}) → (V_{DD}) 電源スイッチ電圧		1.25	1.35	1.45	V
V_{DD} 立ち下がり時 検出電圧 1	$-V_{DET1}$	(V_{DD}) → (V_{BAT}) 電源スイッチ電圧		1.20	1.30	1.40	V
High 入力電圧	V_{IH}	CE, CLK, DI		0.8 x V_{IO}	-	5.5	V
Low 入力電圧	V_{IL}	CE, CLK, DI		GND - 0.3	-	0.2 x V_{IO}	V
High 出力電圧	V_{OH1}	FOUT, DO	V_{IO} = 5.0 V, I_{OH} = -1 mA	4.5	-	5.0	V
	V_{OH2}		V_{IO} = 3.0 V, I_{OH} = -1 mA	2.2	-	3.0	
	V_{OH3}		V_{IO} = 3.0 V, I_{OH} = -100 µA	2.9	-	3.0	
Low 出力電圧	V_{OL1}	FOUT, DO	V_{IO} = 5.0 V, I_{OL} = 1 mA	GND	-	GND + 0.5	V
	V_{OL2}		V_{IO} = 3.0 V, I_{OL} = 1 mA	GND	-	GND + 0.8	
	V_{OL3}		V_{IO} = 3.0 V, I_{OL} = 100 µA	GND	-	GND + 0.1	
	V_{OL4}	/INT	V_{IO} = 5 V, I_{OL} = 1 mA	GND	-	GND + 0.25	V
	V_{OL5}		V_{IO} = 3 V, I_{OL} = 1 mA	GND	-	GND + 0.4	
入力リーク電流	I_{LK}	入力端子 CE を除く 入力電圧 = V_{IO} or GND		-0.1	-	0.1	µA
	I_{LKPD}	CE = GND		-0.1	-	0.1	
出力リーク電流	I_{OZ}	FOUT, DO , 出力電圧 = V_{IO} or GND		-0.1	-	0.1	µA
V_{DD} – V_{BAT} SW オフリーク電流	I_{SW}	V_{BAT} = 3.0 V、V_{DD} = 0.0 V		-	-	5.0	nA
V_{BAT}-V_{DD} 電源間 SW ON 抵抗	R_{SWON}	SW = ON	V_{DD} = 5 V	-	250	500	Ω
			V_{DD} = 3 V	-	400	650	
プルダウン抵抗	R_{DWN}	CE 端子 V_{IN} = V_{IO}	V_{IO} = 5 V	75	150	300	kΩ
			V_{IO} = 3 V	150	300	600	

9.1.2. 充電特性

2 次電池へ充電可能な電流特性 (SWON 抵抗特性)を示します。25 °C Typ.サンプルの参考値です。
V_{DD} 電圧が高いほど電流量は大きくなり V_{DD} と V_{BAT} の電圧差が少なくなるほど電流量が低下します。
縦軸が充電電流 Ichg を示し横軸が V_{DD} と V_{BAT} の電圧差 Vdif (V_{DD} - V_{BAT}) を示します。

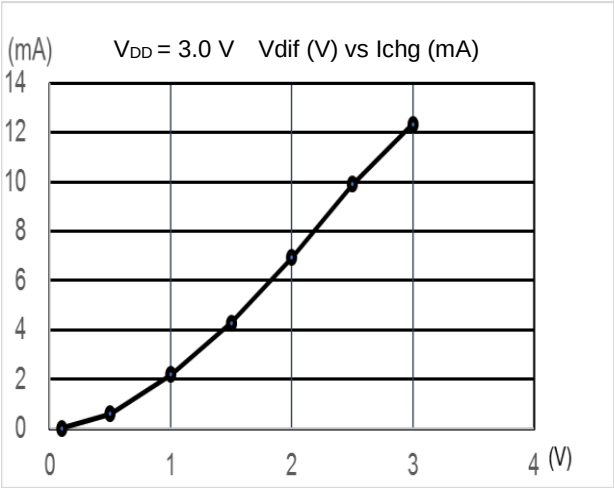


Figure 9 V_{BAT} 充電特性 (V_{DD} = 3.0 V)

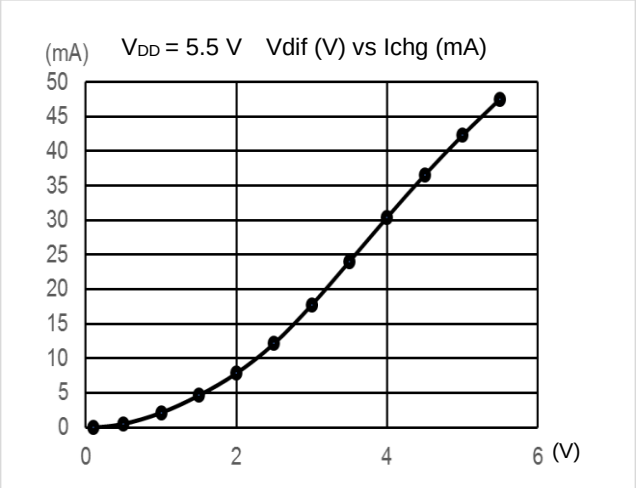


Figure 10 V_{BAT} 充電特性 (V_{DD} = 5.5V)

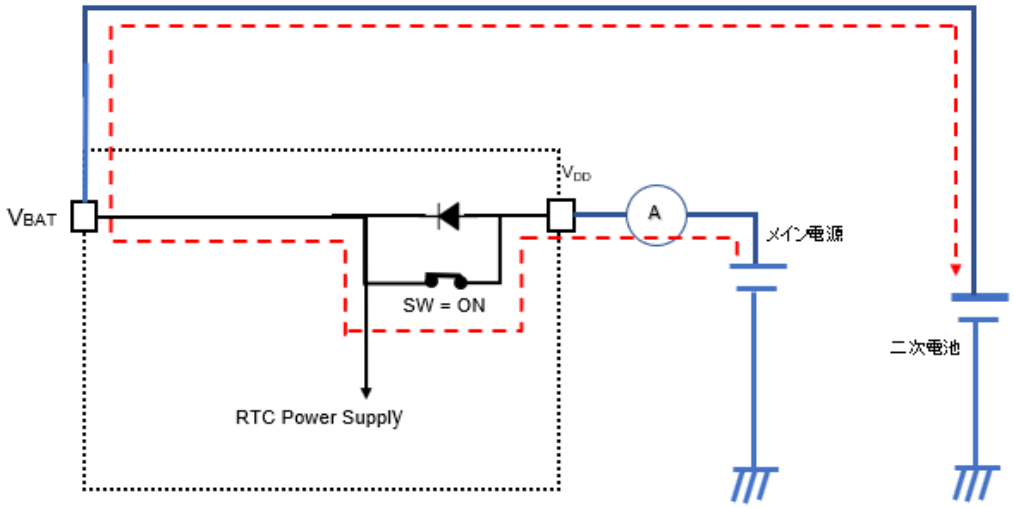


Figure 11 2 次電池充電経路図

9.1.3 電源切替素子参考特性

Table 6 電源切替素子参考特性

項目	参考特性値	条件
Pch - Switch 定格電流	40 mA Max.	SW = ON, +25 °C
ダイオード Vf	0.60 V / 1 mA Typ. 0.85 V / 10 mA Typ.	V_{DD} = 3.0 V, +25 °C
ダイオード IR	5 nA Max.	VR = 5.5 V, -40 °C ~ +85 °C

二次電池、EDLC などへの充電電流は 40 mA 以下でご使用ください。

9.2. AC 電気的特性

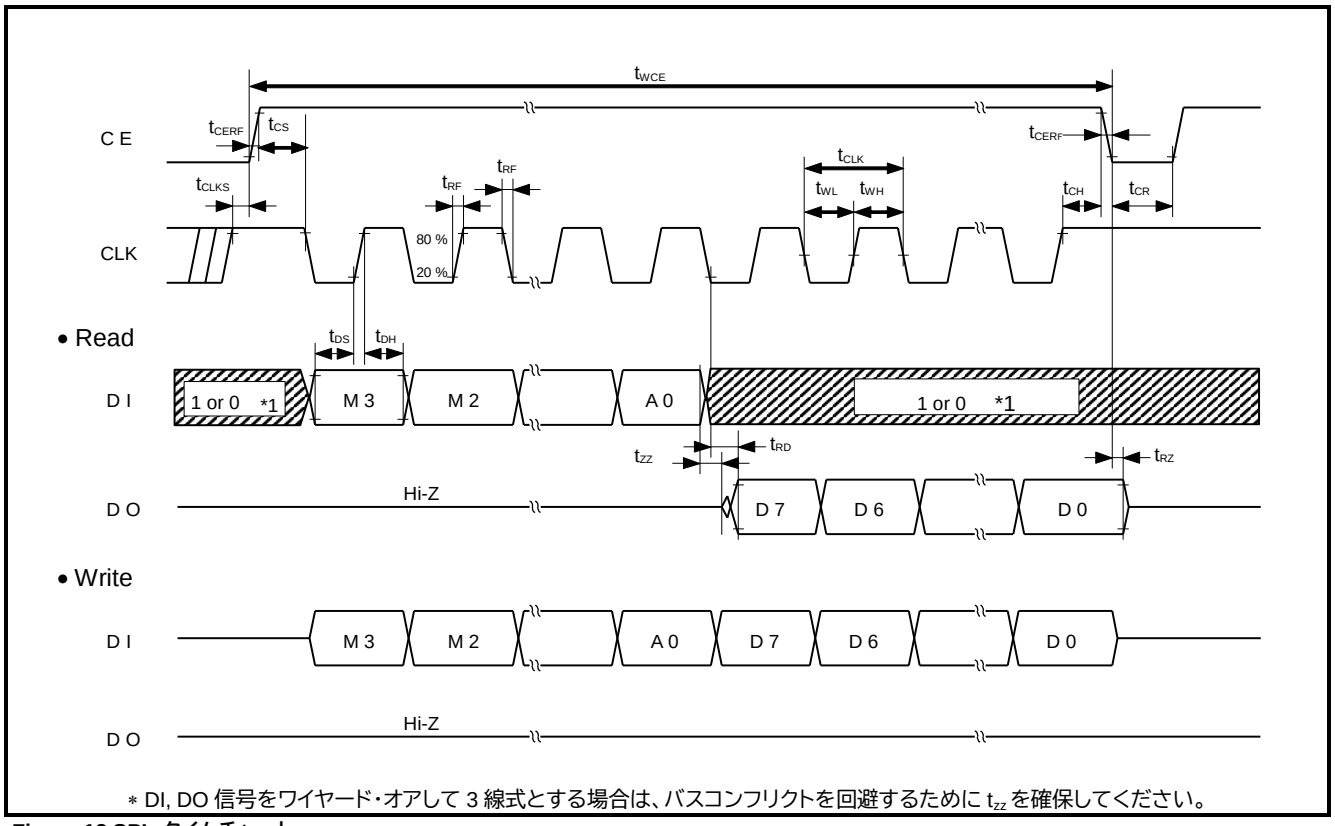
9.2.1. AC 電気的特性(1)

Table 7 AC 電気的特性

特記無き場合 GND = 0 V, V_{IO} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +105 °C

項　　目	記 号	条 件	V_{DD} = 1.8 V ± 0.2 V		V_{DD} = 3.0 V ± 10 %		V_{DD} = 5.0 V ± 10 %		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
CLK クロック周期	t_{CLK}		1000	―	332	―	250	―	ns
CLK　H パルス幅	t_{WH}		450	―	166	―	125	―	ns
CLK　L パルス幅	t_{WL}		450	―	166	―	125	―	ns
CLK　立ち上がり・立ち下り時間	t_{RF}		―	100	―	50	―	40	ns
CLK　セットアップ時間	t_{CLKS}		100	―	30	―	30	―	ns
CE セットアップ時間	t_{CS}		400	―	150	―	130	―	ns
CE 保持時間	t_{CH}		400	―	200	―	100	―	ns
CE リカバリー時間	t_{CR}		500	―	200	―	150	―	ns
CE 立ち上がり・立ち下り時間	t_{CERF}			100	―	50	―	40	ns
書き込みデータ セットアップ時間	t_{DS}		200	―	50	―	40	―	ns
書き込みデータ 保持時間	t_{DH}		200	―	50	―	40	―	ns
読み出しデータ 遅延時間	t_{RD}	CL = 50 pF	0	400	―	150	―	110	ns
DO 出力 ディセーブル時間	t_{RZ}	CL = 50 pF RL = 10 kΩ	0	400	―	120	―	110	ns
DI / DO コンフリクト回避時間	t_{ZZ}		0	―	0	―	0	―	ns

注)1. V_{DD} = 2.0V ～ 2.7V 未満は V_{DD} = 1.8V ± 0.2V 規格、V_{DD} = 3.3V ～ 4.5V 未満は V_{DD} = 3.0V ± 10%規格を適用します。



＊ DI, DO 信号をワイヤード・オアして 3 線式とする場合は、バスコンフリクトを回避するために t_{ZZ} を確保してください。

Figure 12 SPI タイムチャート

データ書き込みは 8 ビット毎の CLK の立上りで行われ 8 ビット未達で通信が遮断された場合データは書き込まれません。

* 1：CE が Low でも DI ピンはアクティブです。 定常時に中間電圧の入力、または DI をオープンにしないでください。

9.2.2. AC 電気的特性(2)

Table 8 FOUT 波形シンメトリ

GND = 0 V, V_{IO} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +105 °C

項目	記号	条件	Min.	Typ.	Max.	単位
FOUT 波形シンメトリ	SYM	50% V_{IO} レベル	40		60	%

10. 電源投入シーケンス

10.1. 電源投入シーケンス

t_{R1} はパワーオンリセット*1 を有効とするための仕様です。本仕様を満足できない場合には、
パワーオンリセットが正常に動作しない可能性があるので必ずソフトウエアで初期設定を行ってください。
確実にパワーオンリセットを有効とするためには電源 OFF 後、V_{DD} = V_{BAT} = GND の状態を 10 秒以上
確保してください。

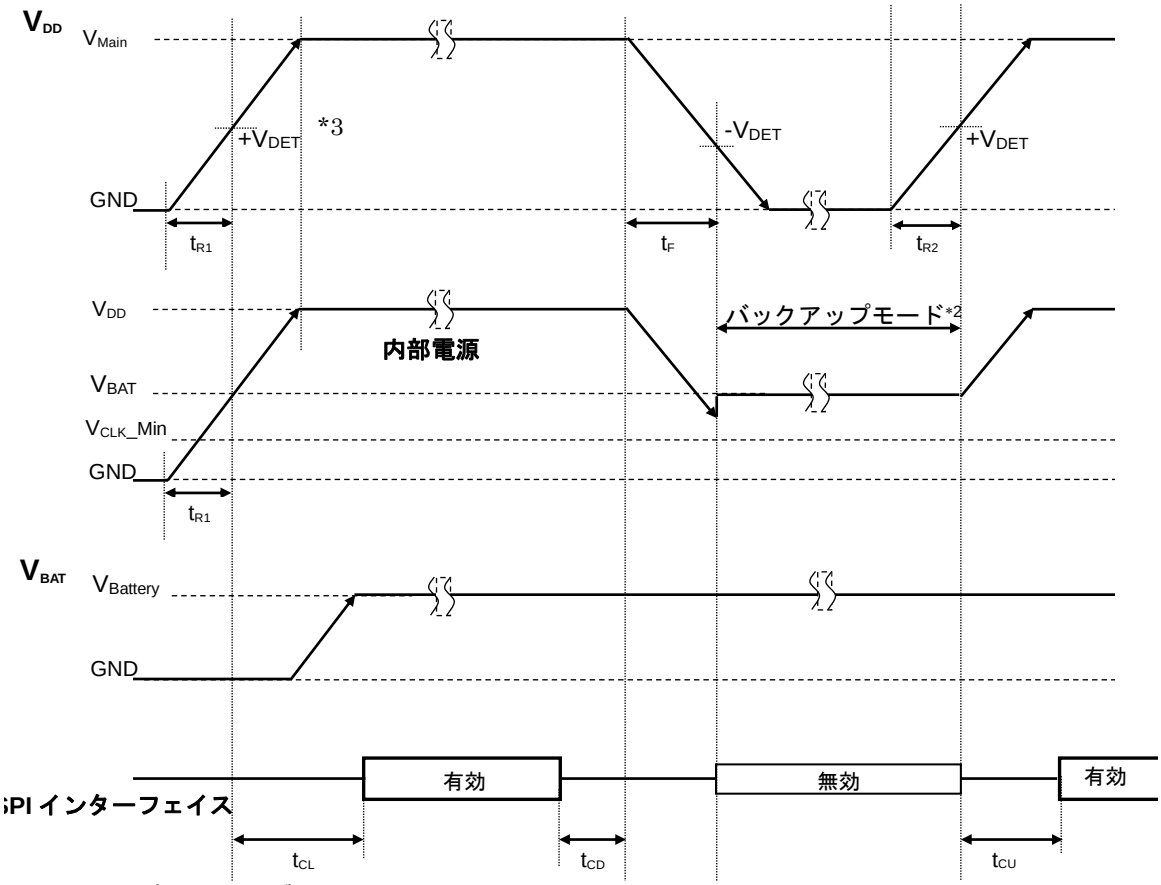


Figure 13 電源投入タイミング

Table 9 電源投入特性

*特記無き場合、GND = 0 V, V_{IO} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +105 °C

項目	記号	条　件		Min.	Typ.	Max.	単位
初期電源立上時間*1	t_{R1}	GND から V_{DD} または V_{BAT} に電源投入されて電圧が上昇する時間	3 V	0.1	-	10	ms / V
			5 V	0.5	-	10	ms / V
初期電源投入時アクセス待機時間	t_{CL}	V_{DD} = +V_{DET1} 到達後		30	-	-	ms
電源降下前アクセス時間	t_{CD}	SPI インターフェイスアクセス後のバックアップ切り替え開始時間		0	-	-	ms
電源降下時間	t_F	V_{DD} から V_{DD} = -V_{DET1} 到達までの時間		1	-	-	ms / V
電源復帰立上時間	t_{R2}	GND から V_{DD} = +V_{DET1} 到達までの時間		0.1	-	-	ms / V
バックアップ復帰後アクセス待機時間	t_{CU}	電源復帰後からSPI インターフェイスアクセス開始までの時間		40	-	-	ms

*1 パワーオンリセットは V_{DD},V_{BAT} どちらか先に入力された電源で機能します。
*2 バックアップ期間は電源に対するノイズ特性を示すものではありません。
バックアップ期間は十分に長い時間とします。(60 秒以上)
3 バックアップ中の V_{DD} 電圧監視(V_{DET})は間欠動作間隔 31.25 ms のため、V_{DD} が+V_{DET1} に到達後から電源が切り替わるまでに最大 31.25 ms の遅延が生じます。"Figure 29 電源切替状態遷移 バックアップモード 電源切替機能:ON"*を参照ください。
初回電源投入時の V_{DD} 電圧は+V_{DET1} 以上まで上昇させてください。

10.2. 電源投入時の V_{DD} と CE のタイミング

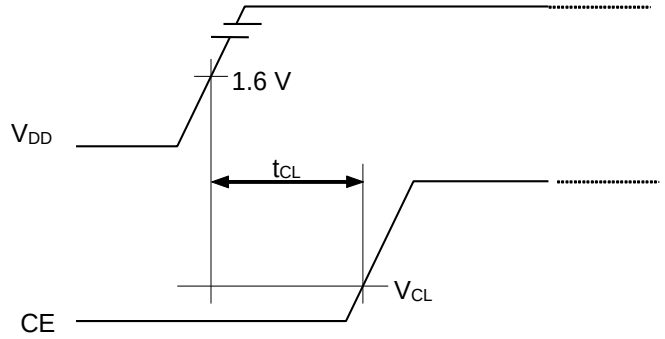


Figure 14 VDD, CE シーケンス

電源投入時は CE = V_{CL} を t_{CL} 時間確保してください。

Table 10 CE タイミング

項目	記号	備考	仕様	単位
電源投入時 CE 電圧	V_{CL}	V_{DD} = 1.6 V 到達までの CE 電圧	0.3 Max.	V
CE セットアップタイム	t_{CL}	V_{DD} = 1.6 V 到達以後の CE = V_{CL} V を維持する時間	30 Min.	ms

10.3. 電源初期投入時およびバックアップ復帰時におけるアクセス動作の制限

• 初期電源投入直後のレジスターへのアクセスは電源投入後から 30 ms の待ち時間を設けてください。
40 ms の待ち時間の後、レジスターのアクセスは可能ですが内蔵水晶振動子が発振開始するまでの間に時刻等の内蔵水晶振動子の発振クロックに連動した機能は動作開始できません。
そのため、電源初期投入時 および電圧低下などが原因で 発振が停止していた状態から電源電圧復帰した後の初期設定は、[内部水晶発振が開始してから 発振開始時間 t_{STA} 後に行うことを推奨しています。
発振開始時間をモニターしながら初期化を実行する方法は 14.9 フローチャートの*"電源投入時の処理例"*をご参照ください。

• 初期電源投入時

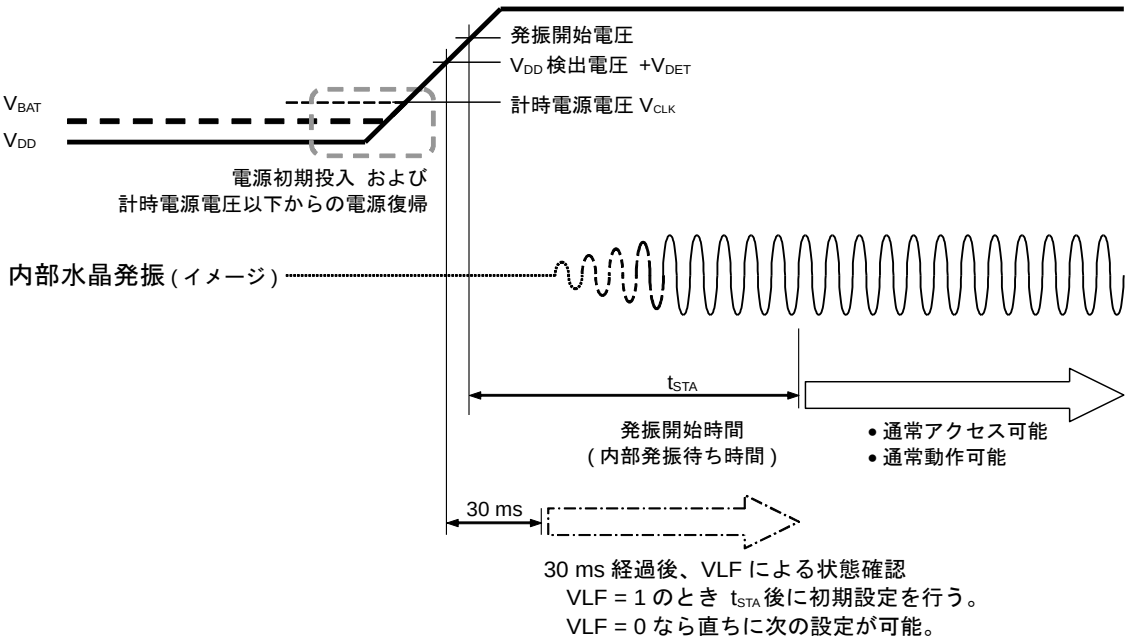


Figure 15 発振開始シーケンス(初期電源投入時)

• バックアップから復帰時

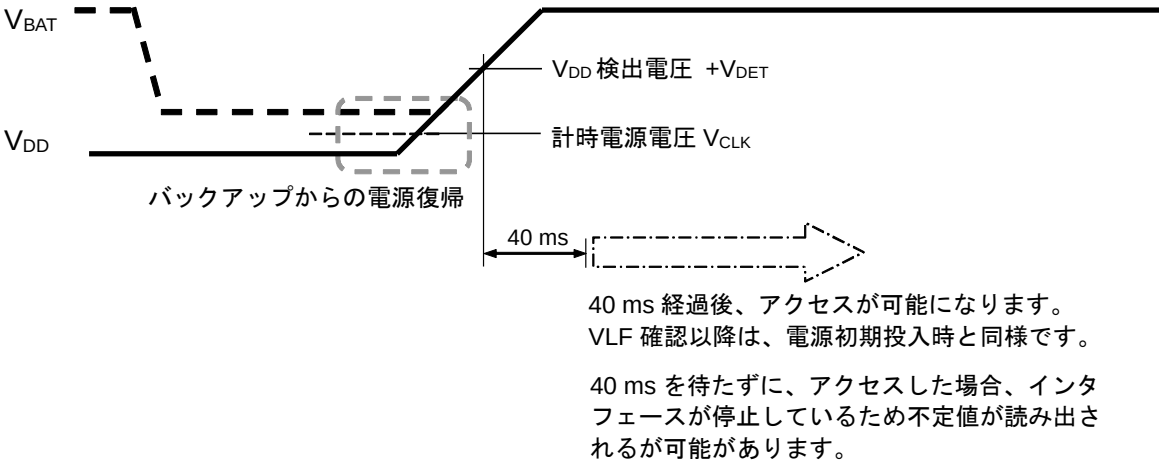


Figure 16 発振開始シーケンス(バックアップ復帰時)

10.4. ソフトウェアによるリセット

以下の手順でパワーオンリセットを発生することができます。
ソフトウェアリセット以外で Bank5 0~3h へのデータ書き込みおよび TEST ビットをセットしないでください。
以下の操作は弊社デバイス検査モードを利用していますので、指定以外の操作が行われますと
諸特性が仕様を外れる可能性がございますのでご注意ください。
下記、Wait 30ms または 40 ms 以上 *1 が確保されていれば、電源投入直後でなくても
任意のタイミングで実行可能です。 ただし、リセット後はコントロールビットが初期化されますので
ご注意ください。 13.2.2.レジスター初期値およびリード/ライト動作テーブル を参照してください。

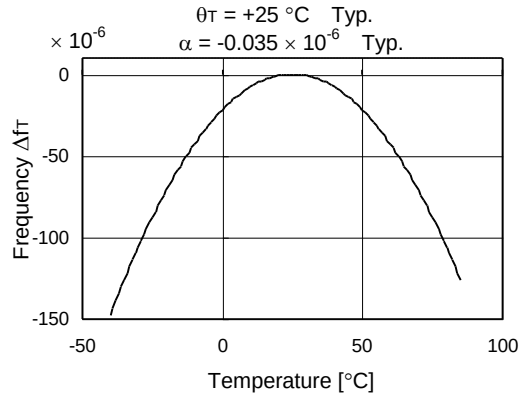
1) Power ON
2) Wait 30ms または 40 ms 以上 *1
3) ダミーリード *2
4) Write 00h Address: Bank3 Reg 02h INIEN = 0b
5) Write 80h Address: Bank3 Reg 0Fh TEST = 1
6) Write 6Ch Address: Bank5 Reg 00h
7) Write 03h Address: Bank5 Reg 01h
8) Write 10h Address: Bank5 Reg 02h
9) Write 20h Address:Bank5 Reg 03h
10) Wait 2 ms 以上 (TEST ビットは自動クリアされます) *3

*1 10.3. 電源初期投入時およびバックアップ復帰時におけるアクセス動作の制限を参照してください
*2 ダミーリードを行うアドレスは任意です。データ不問で読み出しを行ってください。
*3 リソフトウエアリセットが完了するための待ち時間です。2ms 間はアクセス禁止です。

11. 周波数温度特性と時計精度

11.1. 周波数温度特性から時刻精度の求め方

周波数温度特性例



[周波数安定度の求め方]

1. 周波数温度特性は、以下の式で近似できます。

$\Delta f_T = \alpha (\theta_T - \theta_X)^2$

- Δf_T : 任意の温度における周波数偏差
- α [1 / °C²] : 2 次温度係数 $(-0.035 \pm 0.005) \times 10^{-6}$ / °C²
- θ_T [°C] : 頂点温度 (+25 ± 5 °C)
- θ_X [°C] : 任意の温度

2. 時計精度を求めるためには、
更に周波数精度と電圧特性を加えます。

$\Delta f/f = \Delta f/fo + \Delta f_T + \Delta f_V$

- $\Delta f/f$: 任意の温度,電圧における時計精度 (周波数安定度)
- $\Delta f/fo$: 周波数精度
- Δf_T : 任意の温度における周波数偏差
- Δf_V : 任意の電圧における周波数偏差

3. 日差の求め方

日差 = $\Delta f/f \times 86400$ [秒]

* たとえば、$\Delta f/f = 11.574 \times 10^{-6}$ で
約 1 秒/日 の誤差になります。

Figure 17 周波数温度特性

弊社 Web に温度による時刻ズレが簡単に計算できるツールをご用意しております。→"こちら"

12. 取り扱い上の注意事項

1) 取り扱い上の注意事項

□ 本モジュールは 水晶振動子を内蔵していますので過大な衝撃･振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので以下に注意して 使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが過大な静電気が加わると IC が破壊されるおそれがありますので梱包 および運搬容器には 導電性の物を使用してください。
はんだごてや測定回路などは 高電圧リークの無いものを使用し､また実装時･作業時にも静電気対策をお願いいたします。

(2) ノイズ

電源および入出力端子に過大な外来ノイズが印加されますと誤動作やラッチアップ現象等による破壊の原因となることがあります。
安定動作のため本モジュールの電源端子の極力近い場所に 0.1 μF 以上のパスコン (ラミックを推奨) を使用してください。
また、本モジュールの近くには高ノイズを発生するデバイスを 配置しないでください。

(3) 入力端子の電位

入力端子に入力電圧仕様範囲外の電圧が定常的に入力されると貫通電流が発生し消費電流の増加やラッチアップなどの原因になり、内蔵 IC の破壊等を招く場合が有ります。入力端子は入力電圧仕様に従ってご使用頂き、定常時は V_{IO} か GND の電圧を入力してください。

(4) 未使用入力端子の処理

入力端子を開放状態 (オープン) で使用されると消費電流の増加や不安定な動作を招く場合が有ります。
未使用の入力端子は V_{IO} か GND に電圧を固定してください。プルアップダウン抵抗を用いず直接接続で問題ございません。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 °C を越えますと水晶振動子の特性劣化および破壊を招く場合がありますので
弊社はんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。
ご実装前に必ず実装条件 (温度・時間) をご確認ください。
また、条件変更時も同様の確認をしていただいた後にご使用ください。

(2) 実装機

汎用実装機の使用が可能ですが、使用機器, 条件等によっては 実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合が有りますので、ご使用の前には 必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後にご使用ください。
実装時･作業時には静電気対策をお願いいたします。

(3) 超音波洗浄

超音波洗浄は、使用条件によっては内蔵の水晶振動子が共振破壊される場合があります。 貴社での使用条件 (洗浄機の種類, パワー, 時間, 槽内の状態等) を弊社にて特定できませんので超音波洗浄の保証は いたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと端子間リークを招く場合がありますので､洗浄して乾燥させた後に電源投入を行なってください。

(6) バックアップ電池実装

充電済みのバックアップ電池を半田実装する際は、誤動作を防止するために電池を接続する端子を GND 電位に固定した状態でバックアップ電池を実装してください。また実装時･作業時には静電気対策をお願いいたします。

13. 機能概要 および レジスターテーブル

注意事項
　初期設定では使用しない機能も含めて全てのレジスターの初期化を行ってください。

13.1. 機能概要

1) 時計カレンダー機能
　西暦の下二桁の年、月、日、曜, 時、分、秒のデータ設定 / 計時 / 読み出しが可能です。
西暦の下二桁が 00 と 4 の倍数のときはうるう年と認識して 2 月を 29 日までカウントします。
また、うるう秒補正のための 60 秒の書き込みに対応しています。

2) ウェイクアップタイマー割り込み機能
　ソースクロック 1/60 Hz, 1 Hz, 64 Hz, 4096 Hz から選択して 244 μs ~ 32 年までのタイマー時間が設定できます (24 bit x 1 ch)。
タイマー完了時に/INT 端子から割り込み出力後オートリリースし、設定された周期でオートリピートするため定周期ウェイクアップ、またはウォッチドッグタイマーのような使い方も可能です。
割り込み発生時には TF ビットのセットおよび/INT 端子の LOW アクティブでウェイクアップタイマー終了を知ることができます。タイマーはカウントダウン中の値を読み出すことが可能です。また一時停止や V_{DD}/V_{BAT} 選択状態に連動した動作も可能で装置の稼働積算時間計などさまざまな用途にご利用いただけます。

3) アラーム割り込み機能
　現在時刻が設定された日, 曜, 時, 分, 秒, に一致すると割り込みを出力する機能です。
割り込みイベント発生時には AF ビットのセットおよび /INT 端子の LOW アクティブでアラーム発生を知ることができます。

4) 動作電圧低下検出機能 (VLF)
　RTC 電圧の低下を検出する機能です。
初期電源投入時およびバックアップ状態からのウェイクアップ復帰時に電圧低下の発生有無を判定することができます。

5) 発振停止検出機能 (XST)
　内部水晶発振が停止したことを検出します。

6) FOUT 機能(クロック出力)
　FOUT 出力端子から 32.768 kHz, 1024 Hz, 1 Hz から選択したクロックが出力します。
クロック出力を使用しない場合にはウェイクアップタイマー割り込み出力 (CMOS) に切り替えることが可能です。

7) 自動電源切替
　V_{DD} 電圧低下を監視し V_{BAT} 電源に自動切替ができます。
バックアップ電源切替電圧: 1.2 V Min.

8) タイムスタンプ機能
　指定されたイベント発生時に時刻情報を記録する機能で例えばシステムのソフトウェアアップデート時刻や電池交換した時刻、または異常アラート発生時刻記録などにご利用いただけます。
本タイムスタンプ機能は、バックアップ電源動作時でも機能して堅牢性の高いシステム構築に寄与いたします。
タイムスタンプトリガーは、自己監視検出 (VLF, XST) から選択することができます。
また任意のタイミングで 1/1024 秒の分解能で時刻データの取得が可能な SPI コマンドによるタイムスタンプトリガー機能を搭載しています。

9) タイムスタンプメモリー (User RAM)
　8 bit × 64 word = 512 bit メモリーを内蔵しています。
タイムスタンプメモリーを使用しないときはユーザーメモリーに切り替えることが可能です。
年 ～ 1/256 秒のタイムスタンプ情報を 8 回記録可能です。

13.2. レジスターテーブル

SPI アクセスのモード設定コードでアクセスするバンクを指定します。

Table 11 SPI Bank Access Code

Mode		Bank1	Bank2	Bank3	Bank4	Bank5	Bank6	Bank7
Read		9h	Ah	Bh	Ch	Dh	Eh	Fh
Write		1h	2h	3h	4h	5h	6h	7h

13.2.1.レジスターテーブル

Table 12 レジスターテーブル(1)

Bank1 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	SEC	z	40	20	10	8	4	2	1
1h	MIN	z	40	20	10	8	4	2	1
2h	HOUR	z	z	20	10	8	4	2	1
3h	WEEK	z	6	5	4	3	2	1	0
4h	DAY	z	z	20	10	8	4	2	1
5h	MONTH	z	z	z	10	8	4	2	1
6h	YEAR	80	40	20	10	8	4	2	1
7h	MIN Alarm	AE	40	20	10	8	4	2	1
8h	HOUR Alarm	AE	•	20	10	8	4	2	1
9h	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1
Ah	Timer Counter 0	128	64	32	16	8	4	2	1
Bh	Timer Counter 1	32768	16384	8192	4096	2048	1024	512	256
Ch	Timer Counter 2	8388608	4194304	2097152	1048576	524288	262144	131072	65536
Dh	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	▲	TSEL1	TSEL0
Eh	Flag Register	POR	z	UF	TF	AF	EVF	VLF	XST
Fh	Control Register	z	z	UIE	TIE	AIE	EIE	z	STOP

Bank2 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	Time Stamp 1/1024S	--	--	--	--	--	--	1/512	1/1024
1h	Time Stamp 1/256S	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256
2h	Time Stamp SEC	z	40	20	10	8	4	2	1
3h	Time Stamp MIN	z	40	20	10	8	4	2	1
4h	Time Stamp HOUR	z	z	20	10	8	4	2	1
5h	Time Stamp WEEK	z	6	5	4	3	2	1	0
6h	Time Stamp DAY	z	z	20	10	8	4	2	1
7h	Time Stamp MONTH	z	z	z	10	8	4	2	1
8h	Time Stamp YEAR	80	40	20	10	8	4	2	1
9h	Status Stamp	z	z	•	•	VDET	z	XST	z
Ah	No Function	z	z	z	z	z	z	z	z
Bh	Over Write Control	▲	z	z	z	z	z	OVW	-
Ch	SEC Alarm	AE	40	20	10	8	4	2	1
Dh	Timer Control	z	z	z	z	TBKON	TBKE	TMPIN	TSTP
Eh	Time Stamp control 0	z	z	z	z	z	z	z	COMTG
Fh	Command Trigger	z	z	z	z	z	z	z	z

Table 13 レジスターテーブル (2)

Bank3 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	No Function	z	z	z	z	z	z	z	z
1h	No Function	z	z	z	z	z	z	z	z
2h	Power Switch Control	▲	INIEN	z	z	SWSEL1	SWSEL0	SMPT1	SMPT0
3h	No Function	z	•	z	z	•	z	•	z
4h	Time Stamp Control 1	z	z	z	z	z	EISEL	TSCLR	TSRAM
5h	Time Stamp Control 2	•	z	z	z	▲	EVDET	▲	EXST
6h	Time Stamp Control 3	z	z	z	TSFUL	TSEMP	TSAD2	TSAD1	TSAD0
7h	No Function	z	z	z	•	z	z	z	•
8h-Dh	No Function	z	z	z	z	z	z	z	z
Eh	No Function	-	-	-	-	-	-	-	-
Fh	TEST	TEST	z	z	z	z	z	z	z

Bank4,5,6,7 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	Time stamp 1/256S	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256
1h	Time Stamp SEC	•	40	20	10	8	4	2	1
2h	Time Stamp MIN	•	40	20	10	8	4	2	1
3h	Time Stamp HOUR	•	•	20	10	8	4	2	1
4h	Time Stamp DAY	•	•	20	10	8	4	2	1
5h	Time Stamp MONTH	•	•	•	10	8	4	2	1
6h	Time Stamp YEAR	80	40	20	10	8	4	2	1
7h	Status stamp	•	•	•	•	VDET	•	XST	•
8h	Time stamp 1/256S	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256
9h	Time Stamp SEC	•	40	20	10	8	4	2	1
Ah	Time Stamp MIN	•	40	20	10	8	4	2	1
Bh	Time Stamp HOUR	•	•	20	10	8	4	2	1
Ch	Time Stamp DAY	•	•	20	10	8	4	2	1
Dh	Time Stamp MONTH	•	•	•	10	8	4	2	1
Eh	Time Stamp YEAR	80	40	20	10	8	4	2	1
Fh	Status stamp	•	•	•	•	VDET	•	XST	•

0V からの初期電源投入時、および VLF ビット読み出し時の結果が VLF = 1 のときは必ずレジスターの初期化を行ってから使用してください。時計カレンダーに 日付・時間として正しくないデータの設定はしないでください。 非存在日時からの計時動作は保証できません。 曜は実際のカレンダーと異なっても問題有りません。
TEST ビットはデバイステスト用ビットのため初期化時に 0 クリアして 0 を維持してください。
タイムスタンプ領域の初期化は必要ありません。
'**z**' マークへの書き込みは無効で読み出し値は常に 0 です。
'•' マークは、任意データを Write / Read することができる RAM bit です。
'-' マークは、書き込み時は 0 を書き込んでください。読み出し値は不定のため読み出し後にマスクしてください。
'▲'マークは初期化時に 0 クリアして 0 を維持してください。1 にセットされると消費電流が増加する場合が有ります。
レジスターテーブルに記載のアドレス以外へは Write / Read しないでください。
No Function レジスターへの書き込みは機能に影響はありません。

13.2.2.レジスター初期値およびリード/ライト動作テーブル

パワーオンリセットによって初期化される値です。

Table 14 レジスター初期値(1)

Bank1 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	SEC	0	X	X	X	X	X	X	X
1h	MIN	0	X	X	X	X	X	X	X
2h	HOUR	0	0	X	X	X	X	X	X
3h	WEEK	0	X	X	X	X	X	X	X
4h	DAY	0	0	X	X	X	X	X	X
5h	MONTH	0	0	0	X	X	X	X	X
6h	YEAR	X	X	X	X	X	X	X	X
7h	MIN Alarm	1	X	X	X	X	X	X	X
8h	HOUR Alarm	1	X	X	X	X	X	X	X
9h	WEEK Alarm	1	X	X	X	X	X	X	X
	DAY Alarm		X	X	X	X	X	X	X
Ah	Timer Counter 0	X	X	X	X	X	X	X	X
Bh	Timer Counter 1	X	X	X	X	X	X	X	X
Ch	Timer Counter 2	X	X	X	X	X	X	X	X
Dh	Extension Register	0	0	0	0	0	0	1	0
Eh	Flag Register	1	0	0	0	0	0	1	X
Fh	Control Register	0	0	0	0	0	0	0	0

Bank2 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	Time Stamp 1/1024S	0	0	0	0	X	X	X	X
1h	Time Stamp 1/256S	X	X	X	X	X	X	X	X
2h	Time Stamp SEC	0	X	X	X	X	X	X	X
3h	Time Stamp MIN	0	X	X	X	X	X	X	X
4h	Time Stamp HOUR	0	0	X	X	X	X	X	X
5h	Time Stamp WEEK	0	X	X	X	X	X	X	X
6h	Time Stamp DAY	0	0	X	X	X	X	X	X
7h	Time Stamp MONTH	0	0	0	X	X	X	X	X
8h	Time Stamp YEAR	X	X	X	X	X	X	X	X
9h	Status Stamp	0	0	X	X	X	0	X	0
Ah	No Function	0	0	0	0	0	0	0	0
Bh	Over Write Control	0	0	0	0	0	0	0	0
Ch	SEC Alarm	0	0	0	0	0	0	0	0
Dh	Timer Control	0	0	0	0	0	0	0	0
Eh	Time Stamp control 0	0	0	0	0	0	0	0	0
Fh	Command Trigger	0	0	0	0	0	0	0	0

【 X: 0 / 1 は不定です。】

【 **0**: リセット状態 】

【 **1**: セット状態 】

Table 15 レジスター初期値(2)

Bank3 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	No Function	0	0	0	0	0	0	0	0
1h	No Function	0	0	0	0	0	0	0	0
2h	Power Switch Control	0	0	0	0	0	1	0	0
3h	No Function	0	X	0	0	0	0	0	0
4h	Time Stamp Control 1	0	0	0	0	0	0	0	0
5h	Time Stamp Control 2	0	0	0	0	0	0	0	0
6h	Time Stamp Control 3	0	0	0	0	1	1	1	1
7h	No Function	0	0	0	0	0	0	0	0
8h-Dh	No Function	0	0	0	0	0	0	0	0
Eh	No Function	X	X	X	X	X	X	X	X
Fh	TEST	0	0	0	0	0	0	0	0

Bank4,5,6,7 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	Time stamp 1/256S	X	X	X	X	X	X	X	X
1h	Time Stamp SEC	X	X	X	X	X	X	X	X
2h	Time Stamp MIN	X	X	X	X	X	X	X	X
3h	Time Stamp HOUR	X	X	X	X	X	X	X	X
4h	Time Stamp DAY	X	X	X	X	X	X	X	X
5h	Time Stamp MONTH	X	X	X	X	X	X	X	X
6h	Time Stamp YEAR	X	X	X	X	X	X	X	X
7h	Status stamp	X	X	X	X	X	X	X	X
h	Time stamp 1/256S	X	X	X	X	X	X	X	X
9h	Time Stamp SEC	X	X	X	X	X	X	X	X
Ah	Time Stamp MIN	X	X	X	X	X	X	X	X
Bh	Time Stamp HOUR	X	X	X	X	X	X	X	X
Ch	Time Stamp DAY	X	X	X	X	X	X	X	X
Dh	Time Stamp MONTH	X	X	X	X	X	X	X	X
Eh	Time Stamp YEAR	X	X	X	X	X	X	X	X
Fh	Status stamp	X	X	X	X	X	X	X	X

【 X: 0 / 1 は不定です。】
【 **0**: リセット状態 】
【 **1**: セット状態 】

13.3. レジスター概要

13.3.1. 計時・カレンダーレジスター Bank1 - 0h ~ 6h

秒~ 年までを計時するカウンターレジスターです。

* 詳細は [項 14.1. 時計カレンダー説明] を参照してください。

13.3.2. ウェイクアップタイマー用ダウンカウンター Bank1 - Ah ~ Ch

ウェイクアップタイマー割り込み機能のカウントダウン中の値を読み出すレジスターです。
当機能を使用するには、TE, TF, TIE, TSEL1, TSEL0,TBKON,TBKE,TMPIN ビットと共に使用します。
当機能を使用しない場合は、TIE = TE= 0 とすることでデータの内容は任意です。

* 詳細は [項 14.2. ウェイクアップタイマー割り込み機能] を参照してください。

13.3.3. アラームレジスター Bank1 - 7h ~ 9h, Bank2 - Ch

アラーム割り込み機能を使用して [日], [曜], [時], [分],[秒] などに対する割り込みイベントを得たいときに、AIE, AF ビット および WADA ビットと共に設定し使用します。当機能を使用しない場合は AIE = 0 とすることでデータの内容は任意です。

* 詳細は [項 14.3. アラーム割り込み機能] を参照してください。

13.3.4. 機能関連レジスター Bank1 - Dh ~ Fh

1) FSEL1, FSEL0 bit

FOUT 機能を使用するときに FOUT 出力端子の出力周波数および出力 ON/OFF を設定するビットです。
FOUT 機能 を使用しない場合の設定例(FESL1,FSEL0 は 1)

* 詳細は [項 14.6. FOUT 機能 (クロック出力機能)] を参照してください。

2) USEL, UF, UIE bit

時刻更新割り込み機能の動作を制御するビットです。
当機能を使用しない場合の設定例 (USEL , UIE は 0, UF は不問)

* 詳細は [項 14.4. 時刻更新割り込み機能] を参照してください。

3) TE, TF, TIE, TSEL1, TSEL0, TSTP, TBKON, TBKE, TMPIN bit

ウェイクアップタイマー割り込み機能の動作を制御するビットです。
当機能を使用しない場合の設定例 (TE,TIE,TSTP, TSEL1,TSEL0 は 0, TF は不問)

* 詳細は [項 14.2. ウェイクアップタイマー割り込み機能] を参照してください。

4) WADA, AF, AIE bit

アラーム割り込み機能の動作を制御するビットです。
当機能を使用しない場合の設定例 (WADA は 1,AIE は=0, AF は不問)

5) EVF bit

タイムスタンプのイベント発生を記録するビットです。
詳細は [項 14.8. タイムスタンプ機能] を参照してください。

6) VLF, POR, XST bit

本製品の状態を検出して結果を保持するフラグビットです。
初期電源投入時、電源電圧の低下など自己監視を検出して、" 0 " → " 1 " に変化します。

* 詳細は [項 14.5. 自己監視機能] を参照してください。

7) STOP bit

計時動作を停止させるためのビットです。STOP ビットが " 1 " の場合は以下の制限が生じます。

7-1) 年,月,日,曜,時,分,秒,1/128 秒,1/1024 秒 の更新が停止します。
計時,カレンダー動作の更新が全て停止します。
このため、アラーム, 時刻更新割り込みも停止します。
またタイムスタンプされるデータは停止している時刻です。

7-2) ウェイクアップタイマー割り込み機能の一部が停止します。
ウェイクアップタイマーのソースクロック設定が 64 Hz, 1 Hz, 1min のときはカウントが停止します。
ソースクロック設定が 4096 Hz の時は動作します。

7-3) FOUT は、出力が停止する周波数が有ります。
32.768 kHz、1024 Hz を選択されているときは出力します。
1 Hz 選択時は出力停止します。

7-4)電源切替動作が停止されます。

13.3.5. 電源切替関連レジスター Bank3 - 2h

詳細は *"14.7. バックアップ電源切替機能"* を参照してください。

1) INIEN bit
電源切替動作およびバックアップ時の SPI 通信を停止を設定するビットです。

2) SMPT1, SMPT0 bit
内蔵 MOS スイッチの電圧監視回路の間欠動作アクティブ時間を設定するためのビットです。

3) SWSEL1, SWSEL0 bit
バックアップ切替機能を使用しない場合に、内蔵 MOS スイッチを設定するビットです。

13.3.6. タイムスタンプ関連レジスター

＊ 詳細は **" 14.8. タイムスタンプ機能"** を参照してください。

タイムスタンプおよびステータス記録レジスター (Bank2 - 0h ~ 9h,Bank4 ~ 7)
イベント発生時に 1/1024 秒~ Year までのタイムスタンプデータと内部状態を記録するレジスターです。

1) コマンドトリガ・タイムスタンプ制御レジスター(Bank2 - Eh ~ Fh)
SPI アクセスを使ってタイムスタンプを行うために使用するレジスターです。

2) タイムスタンプトリガ制御レジスター(Bank3 - 5h)
自己監視機能によるタイムスタンプトリガを選択するレジスターです。

13.3.7. ユーザーRAM Bank4 ~ 7

タイムスタンプ機能を使用しないときは Bank3 4h の TSRAM bit の設定で、任意データを Write / Read することができる RAM エリアに切り替えが可能です。

14. 使用方法

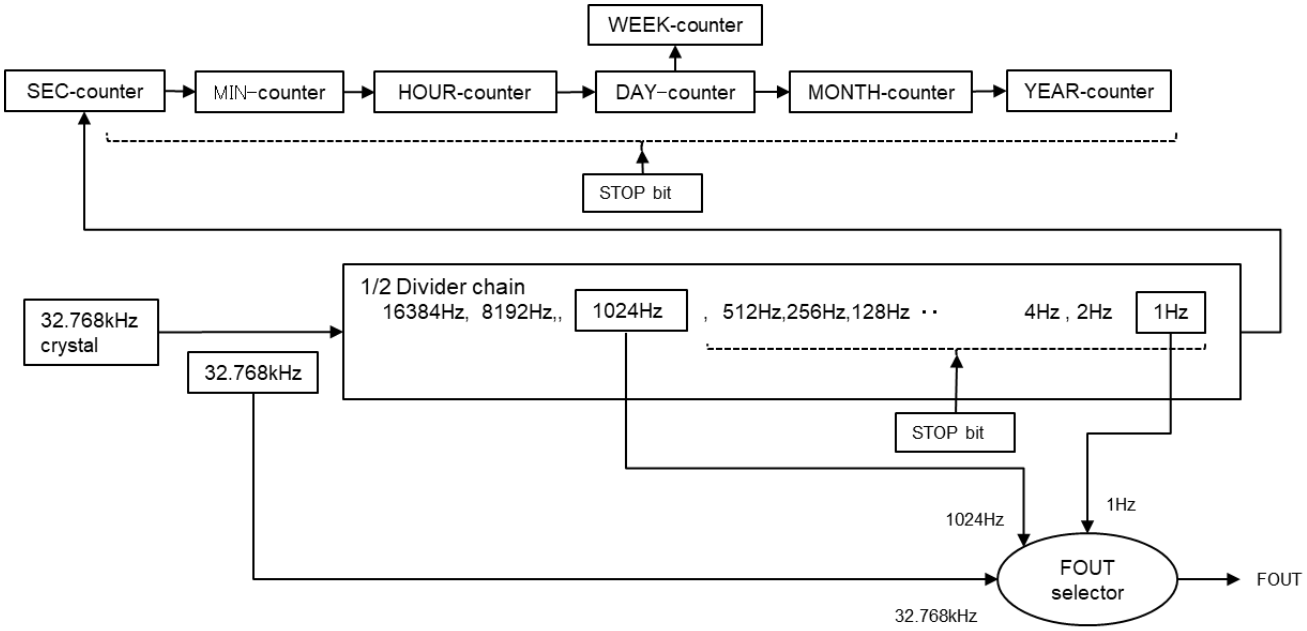


Figure 18 基本(32kHz 発振、カウンター、FOUT) 機能

14.1. 時計カレンダー

通信開始時に、時刻データは固定され通信終了時に自動で時刻補正されますので時計カレンダーに
アクセスする場合はオートインクリメント機能を利用した一括アクセスを行うことを推奨します。
現在時刻を読み出す時は、STOP ビットを使用しないでください。

設定／表示例:88 年 2 月 29 日(日曜日)17 時 39 分 45 秒(るう年)

Table 16 時計・カレンダー設定例

Bank1 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
0h	SEC	0	1	0	0	0	1	0	1
1h	MIN	0	0	1	1	1	0	0	1
2h	HOUR	0	0	0	1	0	1	1	1
3h	WEEK	0	0	0	0	0	0	0	1
4h	DAY	0	0	1	0	1	0	0	1
5h	MONTH	0	0	0	0	0	0	1	0
6h	YEAR	1	0	0	0	1	0	0	0

存在しない時刻データが書き込まれた場合は 正常な動作ができない原因になります。
時刻の書き込みに STOP ビットを利用すると任意のタイミングで STOP 解除して計時をスタートできますが
読み出しの際は時刻遅れが生じますのでご利用しないでください。

14.1.1. 時計カウンター

1) [SEC] [MIN] レジスター

00~59 までの 60 進 BCD カウンターです。秒レジスターからの桁上げタイミングでインクリメントされ 59→00 のタイミングで分レジスターに桁上げされます。

[SEC]レジスターに書き込みを行うと 1 秒未満の内部カウンター (512Hz ~ 1 Hz) が 0 リセットされます。

2) [HOUR] レジスター

24 進 BCD カウンター(24 時間制)です。分レジスターからの桁上げでインクリメントされます。

3) うるう秒対応

秒カウンターに 60 秒を書き込んだ場合は 1 秒後の桁上げで 00 秒となり以降通常の 59 秒までのカウントを行いますのでうるう秒補正が可能です。

14.1.2. 曜カウンター

- 曜を bit 0 ~ bit 6 までの 7 ビットで示します。

01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 (→ 01h 曜 → 02h 曜 ~) の順に更新します。
曜レジスターは上位のレジスターへ桁上げをしません。 また、年・月・日と連動して自動設定はされませんので、カレンダーデータを変更した場合は、曜データもセットする必要があります。曜カウンターを
ご使用されない場合は初期化時に 01h~ 40h までの任意のデータを書き込んで以降は無視してください。

- 曜日の値の設定例

Table 17 WEEK レジスター

Day	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Data
Sunday	0	0	0	0	0	0	0	1	01h
Monday	0	0	0	0	0	0	1	0	02h
Tuesday	0	0	0	0	0	1	0	0	04h
Wednesday	0	0	0	0	1	0	0	0	08h
Thursday	0	0	0	1	0	0	0	0	10h
Friday	0	0	1	0	0	0	0	0	20h
Saturday	0	1	0	0	0	0	0	0	40h

14.1.3. カレンダーカウンター

1) [DAY], [MONTH] レジスター

[DAY] レジスターは、月・うるう年に連動した可変型の[日]を表す 28 ~ 31 進 BCD カウンターで [MONTH]レジスターは 12 進の[月]を表す BCD カウンターです。日レジスターからの桁上げでインクリメントされます。

Table 18 DAY、MONTH レジスター

		Jan.	Feb.	Mar	Apr.	May	June	July	Aug.	Sep.	Oct.	Nov.	Dec.
Days	Normal year	31	28	31	30	31	30	31	31	30	31	30	31
	Leap year		29										

2) [YEAR] レジスター

- 00~99 年までの BCD カウンターです。12 月 31 日から 1 日への桁上げでインクリメントされます。
- 本 RTC は 00 年と 4 の倍数年をうるう年と判断して 2 月を 29 日までカウントします。

このため 西暦 2100 年, 2200 年, 2300 年, はソフトウェアで平年への変更対応が必要です。

うるう年・平年の定義

うるう年:4 で割り切れる西暦年 および 400 で割り切れる西暦年
例) 2004, 2008, 2012,,, 2096, 2000, 2400, 2800,,,

平年: 4 で割り切れない西暦年 および 100 で割り切れる西暦年
例) 2001, 2002, 2003, 2005,,,2099, 2100, 2200, 2300, 2500,,,

14.2. ウェイクアップタイマー割り込み機能

244.14 μs ~ 32 年までの任意の周期で割り込みを発生させる機能です。
一時停止することが可能で電源切替と連動させて主電源動作の積算時間計としても利用できます。
＊ 割り込み発生時の /INT からの Low 出力は、tRTN2 で自動解除 されます。

14.2.1. ウェイクアップタイマー割り込み機能関連レジスター

Table 19 ウェイクアップタイマー割り込みレジスター

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
BANK1 Ah	Timer Counter 0	128	64	32	16	8	4	2	1
BANK1 Bh	Timer Counter 1	32768	16384	8192	4096	2048	1024	512	256
BANK1 Ch	Timer Counter 2	8388608	4194304	2097152	1048576	524288	262144	131072	65536
BANK1 Dh	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	▲	TSEL1	TSEL0
BANK1 Eh	Flag Register	POR	z	UF	TF	AF	EVF	VLF	XST
BANK1 Fh	Control Register	z	z	UIE	TIE	AIE	EIE	z	STOP
BANK2 Dh	Timer Control	z	z	z	z	TBKON	TBKE	TMPIN	TSTP

動作設定は、はじめに TE ビットを " 0 " クリアしてください。
機能を使用しないときは、Timer Counter レジスターを RAM レジスターとして使用できます。
その場合は TE, TIE = " 0 " に設定して機能を停止させてください。

1)ウェイクアップタイマー用ダウンカウンター Timer Counter 2, 1, 0
プリセッタブル・ダウンカウンターの初期値 (プリセット値) を設定するレジスターで、
カウント値は 1 ~ 16777216 までの任意の値を設定できます。
プリセット値の書き込みは、必ず TE ビットが " 0 " の状態で行ってください。

本レジスターを読み出すとき、
TE ビットが " 0 " のときは カウントダウン初期値(プリセット値)が読み出せます。
TE ビットが " 1 " のときは カウントダウン中のカウント値が読み出せます。
但し、読み出されるデータはホールドされていません。データ変化中の場合がありますので正しいデータを得るために 2 度読み比較などを行ってください。

2) TSEL1, TESL0 ビット

カウントダウン周期 (ソースクロック) を選択するビットです。
ソースクロックの設定は、必ず TE ビットを" 0 " にクリアしてから行ってください。

Table 20 TSEL ビット、ソースクロック選択

TSEL1 (bit 1)	TSEL0 (bit 0)	ソースクロック 周波数	ソースクロック 周期	自動復帰時間 tRTN2
0	0	4096 Hz	244.14 μs	122 μs
0	1	64 Hz	15.625 ms	7.813 ms
1	0	1 Hz	1 秒更新	7.813 ms
1	1	1/60 Hz	1 分更新	7.813 ms

/INT 端子の自動復帰時間 tRTN2 は、ソースクロックによって上記の様に異なります。

TE=1 設定後の初回のカウントダウンまたはカウント再開した後の初回のカウントダウンは
選択したソースクロック周期よりも短い時間で発生します。

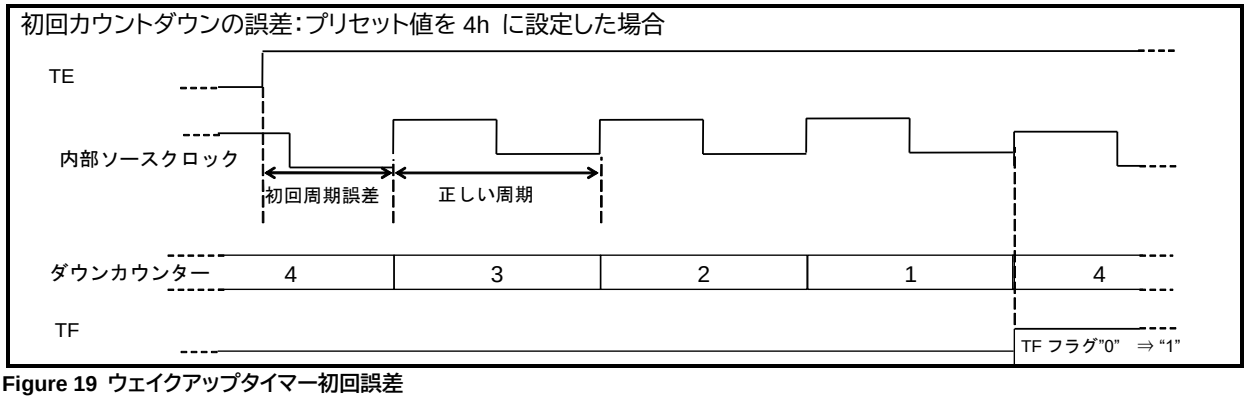


Figure 19 ウェイクアップタイマー初回誤差

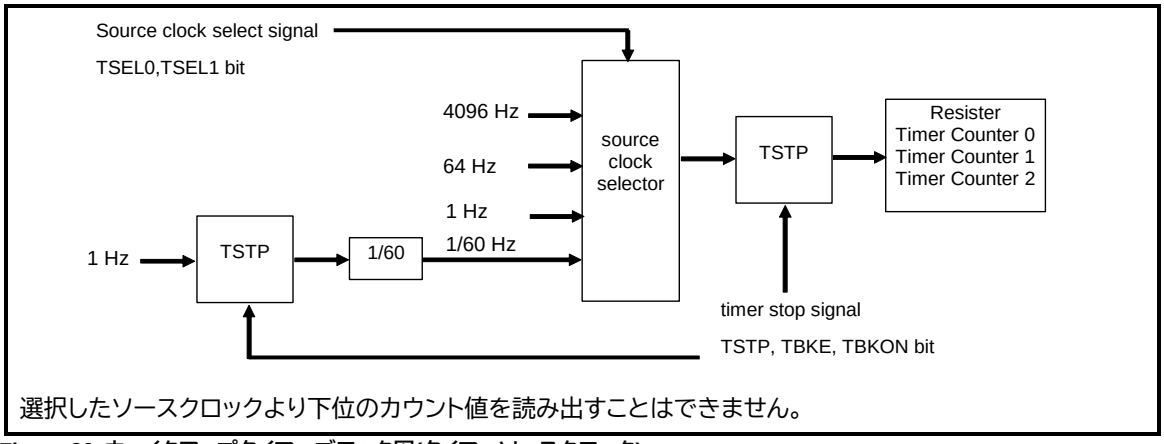


Figure 20 ウェイクアップタイマーブロック図(タイマーソースクロック)

3) TE bit (Timer Enable)
ウェイクアップタイマー割り込み機能の動作を 開始させるためのビットです。

Table 21 TE ビット(Timer Enable)

TE	Data	内 容
Write	0	ウェイクアップタイマー機能を停止します。 タイマーカウンターにプリセット値がロードされます。 * /INT 出力は、直ちに解除されます(Hi-Z になります)
	1	ウェイクアップタイマー割り込み機能が動作を開始 * カウントダウンのスタート値は、常にプリセット値より開始します。

4) TF bit (Timer Flag)
ウェイクアップタイマー割り込みイベントを検出して結果を保持するフラグビットです。

Table 22 TF ビット(Timer Flag)

TF	Data	内 容
Write	0	1) 割り込み信号は出力しない 2) 割り込み出力を解除します。/INT は Hi-Z に移行します。
	1	" 1 " は 書き込めません。
Read	0	–
	1	ウェイクアップタイマー割り込みイベント発生の検出あり * 結果は 0 クリアするまで保持されます。

5) TIE bit (Timer Interrupt Enable)
ウェイクアップタイマー割り込みイベント発生時の /INT への割り込み信号出力可否を設定します。

Table 23 TIE ビット(Timer Interrupt Enable)

TIE	Data	内 容
Write	0	1) ウェイクアップタイマー割り込み信号は出力しない (/INT = Hi-Z 継続) 2) ウェイクアップタイマー割り込み信号を停止します。 注:/INT 端子はアラーム割り込み、ウェイクアップタイマー割り込み、 時刻更新割り込みが OR で出力されます。
	1	割り込み信号を出力する。(/INT = Hi-Z → Low)

6) TBKON, TBKE bit
TBKE="1"の時に、通常動作/バックアップ動作のどちらでカウント動作を行うか選択します。
カウントは積算されます。

Table 24 TBKON,TBKE ビット (Timer Backup ON, Timer Backup/Normal Enable)

TBKE	TBKON	内 容
0	X	ノーマルモード/バックアップ動作に関係なくカウント動作
1	0	ノーマルモード(V_{DD} 動作時)のときだけカウント動作
	1	バックアップ動作時(V_{BAT} 動作時)のときだけカウント動作

7) TMPIN bit (Timer PIN)

タイマーの割り込み出力を FOUT 端子に割り当てることができます。ただし FOUT 出力とのオア出力になりますのでタイマー割り込みだけを出力する場合は FOUT 出力設定は FSEL1,0=(1,1) として FOUT 出力を停止してください。

Table 25 TMPIN ビット (Timer PIN)

TMPIN	Data	内 容
Write	0	タイマー割り込み出力は/INT 端子から出力します。
	1	タイマー割り込み出力は FOUT 端子から出力します。

8) TSTP bit (Timer Stop)

ウェイクアップタイマーカウントを一時停止させるためのビットです。

Table 26 TSTP ビット(Timer Stop)

TE	STOP	TBKE	TSTP	Description
1	0	0	0	カウントダウン動作します。
			1	カウントダウンをを一時停止します。Figure 20 参照
		1	X	TSTP の設定は無効になり TSTP=”1” に設定しても カウントは停止しません。
	1	X	X	1/60 Hz, 1 Hz, 64 Hz 設定時は停止します。
0	X	X	X	カウントダウンは初期値ロードして停止します。

14.2.2. タイマースタートタイミング

ウェイクアップタイマー割り込み機能のタイマーカウントダウンは、TE = "0" → "1" への書き込み終了時の 8 ビット送信の立ち上がりエッジから開始します。

*タイマーソースクロック選択ビット (TSEL1, TSEL0) も CLK の立ち上がりエッジで取り込みます。

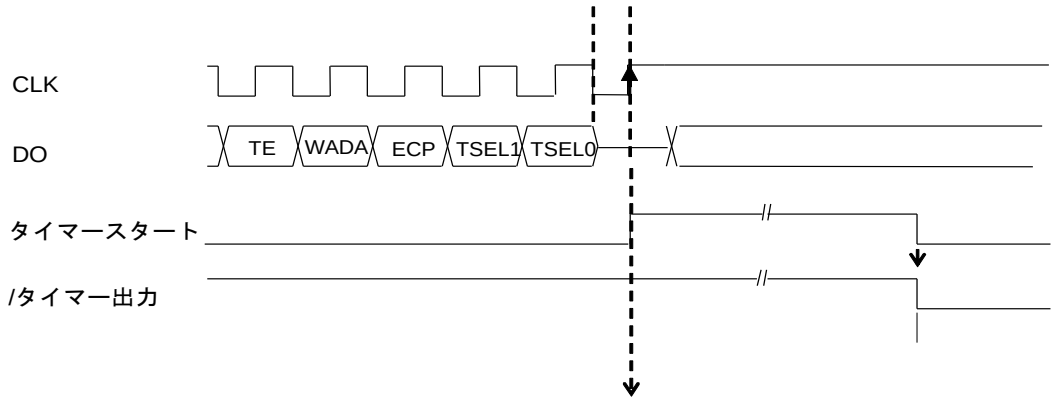


Figure 21 ウェイクアップタイマースタートタイミング

14.2.3. ウェイクアップタイマー割り込み周期

ソースクロック設定 と ダウンカウンター設定 の組み合わせによる割り込み周期の例を示します。

Table 27 ウェイクアップタイマー割込み周期

Timer Counter 設定値 1 ~ 16777216	Source clock			
	4096 Hz TSEL1, 0 = 0, 0	64 Hz TSEL1, 0 = 0, 1	1 Hz TSEL1, 0 = 1, 0	1/60 Hz TSEL1, 0 = 1, 0
0	–	–	–	–
1	244.14 μs	15.625 ms	1 s	1 min
•	•	•	•	•
410	100.10 ms	6.406 s	410 s	410 min
•	•	•	•	•
3840	0.9375 s	60.000 s	3840 s	3840 min
•	•	•	•	•
4096	1.0000 s	64.000 s	4096 s	4096 min
•	•	•	•	•
16777216	1.13 h	72.81 h	4660 h	31.9 Year

カウンター値を全て 0b に設定した場合はタイマーは動作しません。

14.2.4. ウェイクアップタイマー割り込み機能図

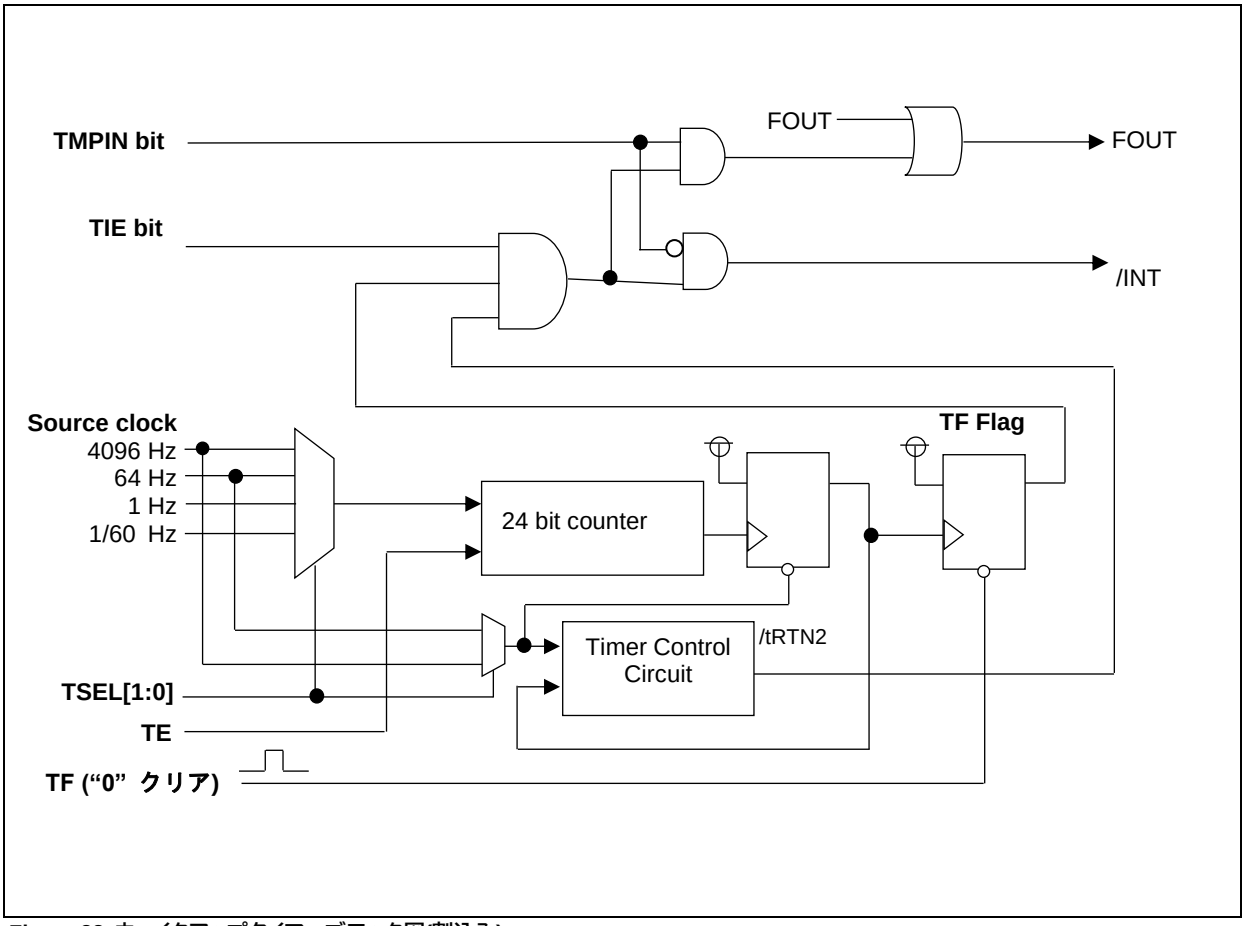


Figure 22 ウェイクアップタイマーブロック図(割込み)

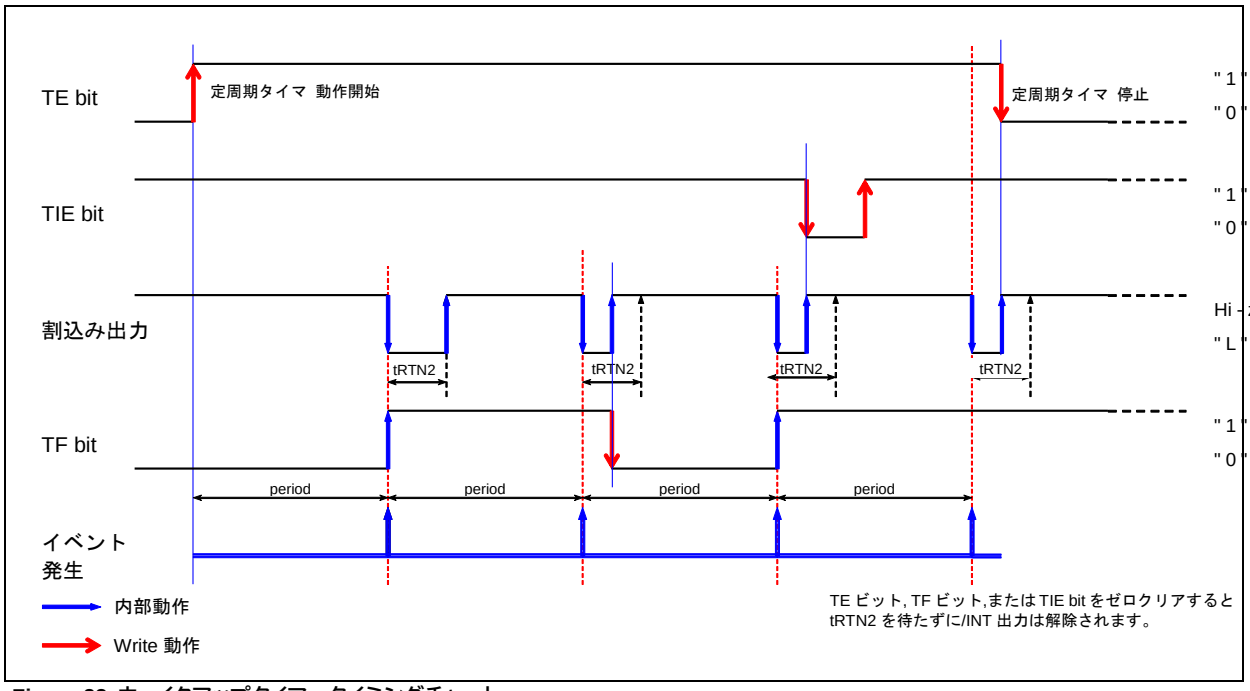


Figure 23 ウェイクアップタイマータイミングチャート

割り込みイベントが発生した後は、プリセット値を自動的に再ロードして再びプリセット値よりカウントダウンを開始して繰り返し動作を行います。
TE を 0 から 1 にセットするとウェイクアップタイマーのカウントダウンが開始します。
カウントダウン中でも TE を 0 クリアして 1 にセットするとプリセット値から再びカウントダウンします。

14.3. アラーム割り込み機能

指定された [日], [曜], [時], [分], [秒] に達すると割り込みを発生させる機能です。

アラーム発生時には AF ビット = 1 および /INT 端子 = Low になりアラームの発生が検出されます。
アラーム発生時の /INT = Low 出力は、自動解除されず AF クリアまで /INT = Low が保持されます。

14.3.1. アラーム割り込み機能 関連レジスター

Table 28 アラーム割込み機能レジスター

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Bank2 – Ch	SEC Alarm	AE	40	20	10	8	4	2	1
Bank1 – 7h	MIN Alarm	AE	40	20	10	8	4	2	1
Bank1 – 8h	HOUR Alarm	AE	•	20	10	8	4	2	1
Bank1 – 9h	WEEK Alarm	AE	6	5	4	3	2	1	0
	DAY Alarm		•	20	10	8	4	2	1
Bank1 - Dh	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	•	TSEL1	TSEL0
Bank1 - Eh	Flag Register	POR	Z	UF	TF	AF	EVF	VLF	XST
Bank1 - Fh	Control Register	Z	Z	UIE	TIE	AIE	EIE	Z	STOP

動作設定は、設定時の不用意なハードウェア割り込みを避けるために最初に AIE ビットを " 0 " にすることを推奨します。
STOP ビットが " 1 " のときは、アラーム割り込みイベントは発生しません。
アラーム割り込み機能を使用しないときはアラームレジスター を RAM レジスターとして使用できます。その場合は、AIE ビットを必ず " 0 " にしてください。

1) アラームレジスター
WEEK/DAY は、WEEK/DAY Alarm レジスターを曜または日にするか選択します。
[曜]を選択したときは、曜設定を月・水・金・土のような複数曜の同時設定が可能です。

1-2) アラーム発生の対象としたくない項目については対象としたくない項目のレジスターの AE ビットを " 1 " にしてください。AE = " 1 " のとき、その項目については データ不問でアラーム比較対象外となります。
例) WEEK Alarm / DAY Alarm レジスターに 80h (AE = " 1 ") を書き込む
→ [時],[分],[秒]がアラーム比較対象となる。[曜/日]はアラーム比較対象外。
1-2) AE ビットの全てを " 1 " にしたときは 1 秒毎にアラーム割り込みイベントが発生します。

1-3) 現時刻と同じ状況を設定してもアラームは発生しません。次回の時刻一致時に発生します。

2) WADA ビット (Week Alarm / Day Alarm Select)
アラーム割り込み機能の対象を選択指定するビットです。

Table 29 WADA ビット(Week Alarm/ Day Alarm Select)

WADA	Data	内 容
Write	0	WEEK Alarm(曜)で動作します。
	1	DAY Alarm(日)で動作します。

3) AF bit (Alarm Flag)
アラーム割り込みイベントを検出して結果を保持するフラグビットです。

Table 30 AF ビット(Alarm Flag)

AF	Data	内 容
Write	0	/NT が Alarm Low 出力中の場合は解除されます。(Hi-Z になります)
	1	" 1 " の書き込みは無効です。
Read	0	–
	1	アラーム割り込みイベント発生有り 1 は、0 クリアするまで保持されます。

4) AIE bit (Alarm Interrupt Enable)

アラーム割り込みイベント発生時の/INT 割り込み信号の動作を設定します。

Table 31 AIE ビット (Alarm Interrupt Enable)

AIE	Data	内 容
Write	0	1) アラーム割り込み信号は出力しない (/INT = Hi-Z 継続) 2) アラーム割り込み信号を解除します。 注:/INT 端子はアラーム割り込み、ウェイクアップタイマー割り込み、 時刻更新割り込みが OR で出力されます。
	1	割り込み信号を出力する(/INT = Hi-Z → Low)

AIE ビットは /INT 端子の出力制御のみです。アラームを解除するには AF フラグを 0 クリアする必要があります。

14.3.2. アラーム設定例

[曜] 指定時 の アラーム設定例 ／ WADA ビット = 0

Table 32 アラーム設定例 1

[曜] 指定時 WADA ビット" 0 "	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	HOUR Alarm	MIN Alarm	SEC Alarm
毎週 月 ~ 金, 午前 7 時 00 分 * [秒]不問 合致時刻で 1 分間アラームが繰り返し発生	0	0	1	1	1	1	1	0	07 h	00h	AE bit = 1
毎週 日, 土 毎時 30 分 00 秒 * [時]不問	0	1	0	0	0	0	0	1	AE bit = 1	30 h	00h
毎日, 午後 6 時 59 分 30 秒	0 1	1 X	1 X	1 X	1 X	1 X	1 X	1 X	18 h	59 h	30h

X : don't care

[日] 指定時 の アラーム設定例 ／ WADA ビット = 1

Table 33 アラーム設定例 2

[日] 指定時 WADA bit = 1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	HOUR Alarm	MIN Alarm	SEC Alarm
毎月 01 日, 午前 7 時 00 分 * [秒]不問 合致時刻で 1 分間アラームが繰り返し発生	0	0	0	0	0	0	0	1	07 h	AE bit = 1	AE bit = 1
毎月 15 日, 毎時 30 分 00 秒 * [時]不問	0	0	0	1	0	1	0	1	AE bit = 1	30 h	00h
毎日, 午後 6 時 59 分 30 秒	1	X	X	X	X	X	X	X	18 h	59 h	30h

X : 設定値は不問です。

14.3.3. アラーム割り込み機能図

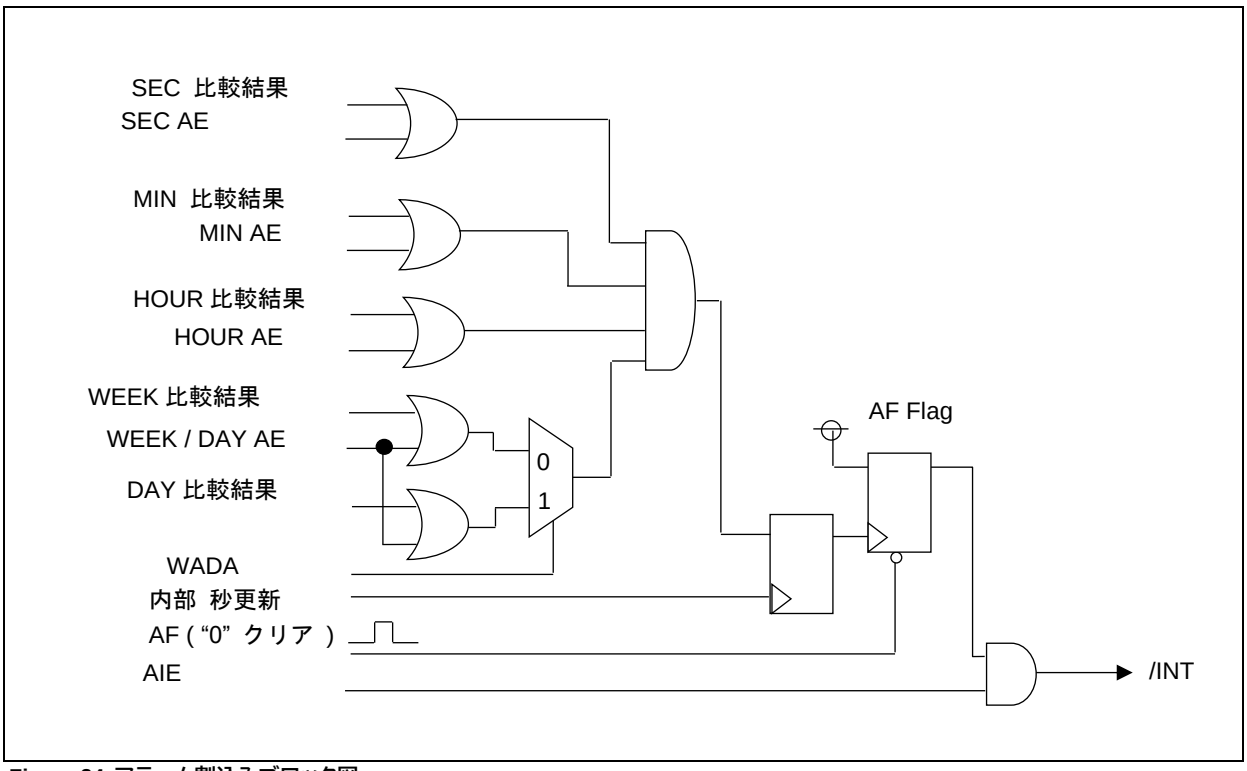


Figure 24 アラーム割込みブロック図

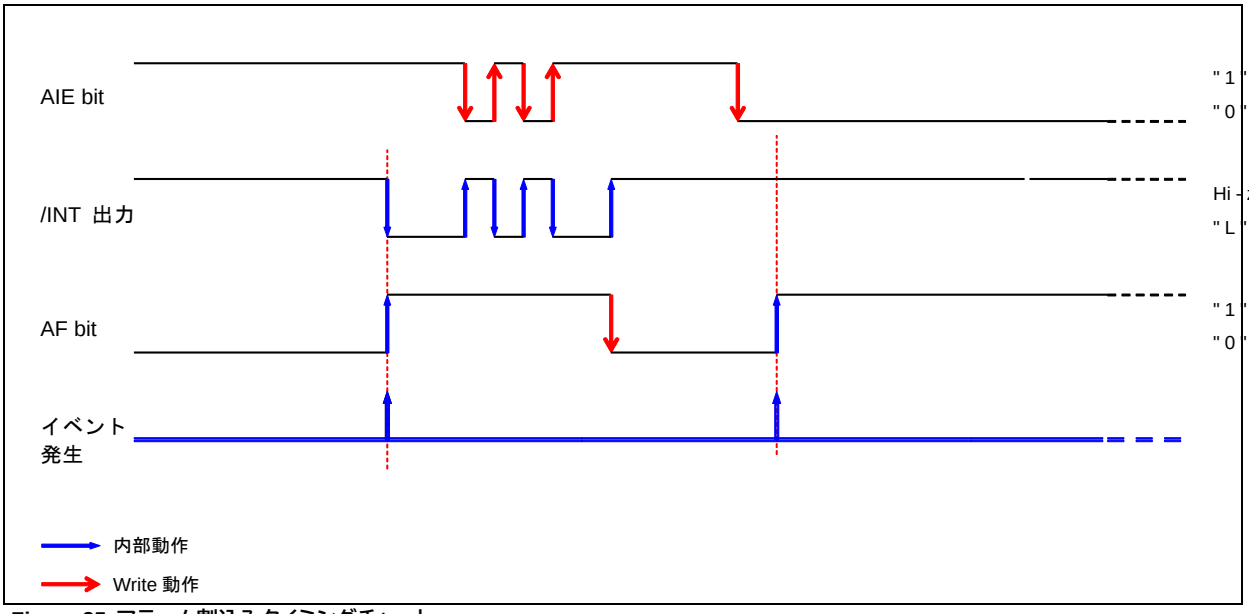


Figure 25 アラーム割込みタイミングチャート

14.4. 時刻更新割り込み機能

時刻更新割り込み機能は 1 秒更新または 1 分更新のタイミングで割り込みイベントを発生させる機能です。
時刻更新割り込み信号は発生から一定時間後に 7.324 ms～7.644 ms (tRTN1) で Hi-Z に自動解除されます。
時刻更新割り込み出力介助時間(tRTN2)は

14.4.1. 時刻更新割り込み機能 関連レジスター

Table 34 時刻割込みレジスター

Bank1 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Dh	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	•	TSEL1	TSEL0
Eh	Flag Register	POR	z	UF	TF	AF	EVF	VLF	XST
Fh	Control Register	z	z	UIE	TIE	AIE	EIE	z	STOP

動作設定を行うときは設定中の不用意なハードウェア割り込みを避けるために最初に UIE ビットを " 0 " にすることを推奨します。
STOP ビットが " 1 " のときは時刻更新割り込みは発生しません。
時刻更新割り込み機能は停止できません。時刻更新割り込み機能による/INT 出力を禁止することは可能です。

1) USEL ビット (Update Interrupt Select)
時刻更新割り込みイベントの発生タイミングを[秒]更新か[分]更新に設定するビットです。

Table 35 USEL ビット(Update Interrupt Enable)

USEL	データ	内 容
Write / Read	0	[秒] 更新時の 1 秒毎に繰り返しです。
	1	[分] 更新時の 1 分毎に繰り返しです。

2) UF ビット (Update Flag)
時刻更新割り込みイベントを検出して結果を保持するフラグビットです。

Table 36 UF ビット (Update Flag)

UF	データ	内 容
Write	0	/INT " L " 出力を解除して Hi-Z に解放します。
	1	" 1 " の書き込みは無効です。
Read	0	-
	1	時刻更新割り込みイベント発生有り 1 は、0 クリアするまで保持されます。

3) UIE ビット (Update Interrupt Enable)
時刻更新割り込みイベント発生時の/INT 端子への割り込み信号の動作を設定します。

Table 37 UIE ビット (Update Interrupt Enable)

UIE	データ	内 容
Write / Read	0	1) 時刻更新割り込み信号は出力しません (/INT = Hi-Z 継続) 2) 時刻更新割り込み信号を解除します。 注:/INT 端子はアラーム割り込み、ウェイクアップタイマー割り込み、 時刻更新割り込みが OR で出力されます。
	1	割り込み出力を許可する。 時刻更新割り込み出力は 7.324 ms～7.644 ms (tRTN1)後に自動解除されます。

14.4.2. 時刻更新割り込み機能図

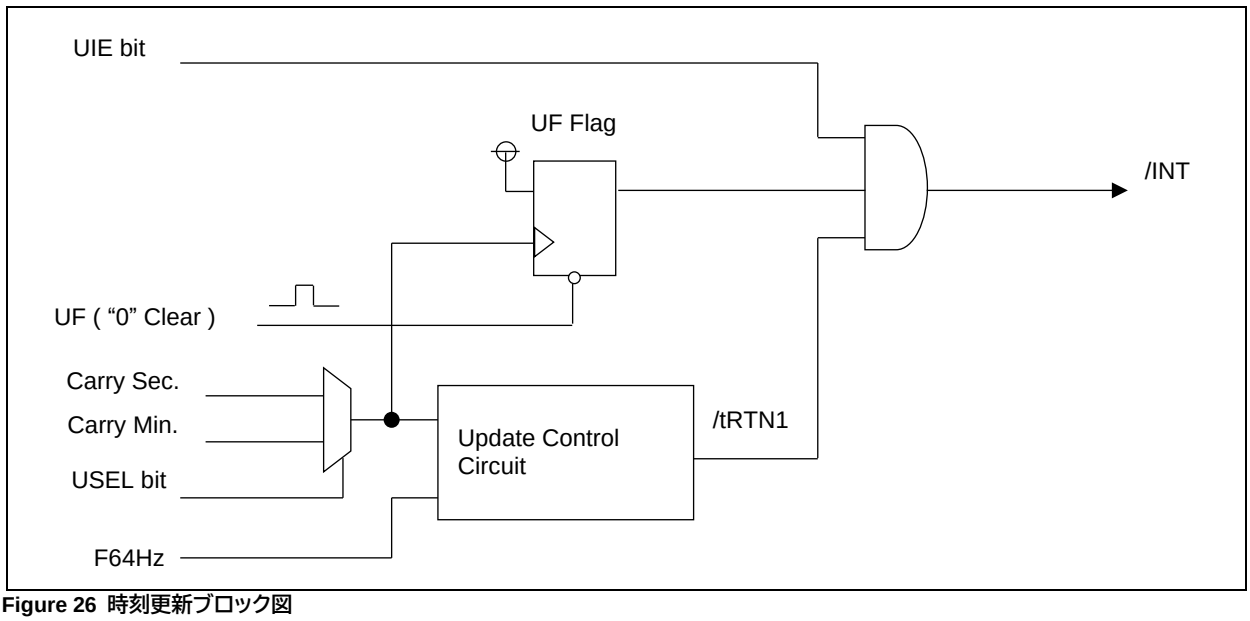


Figure 26 時刻更新ブロック図

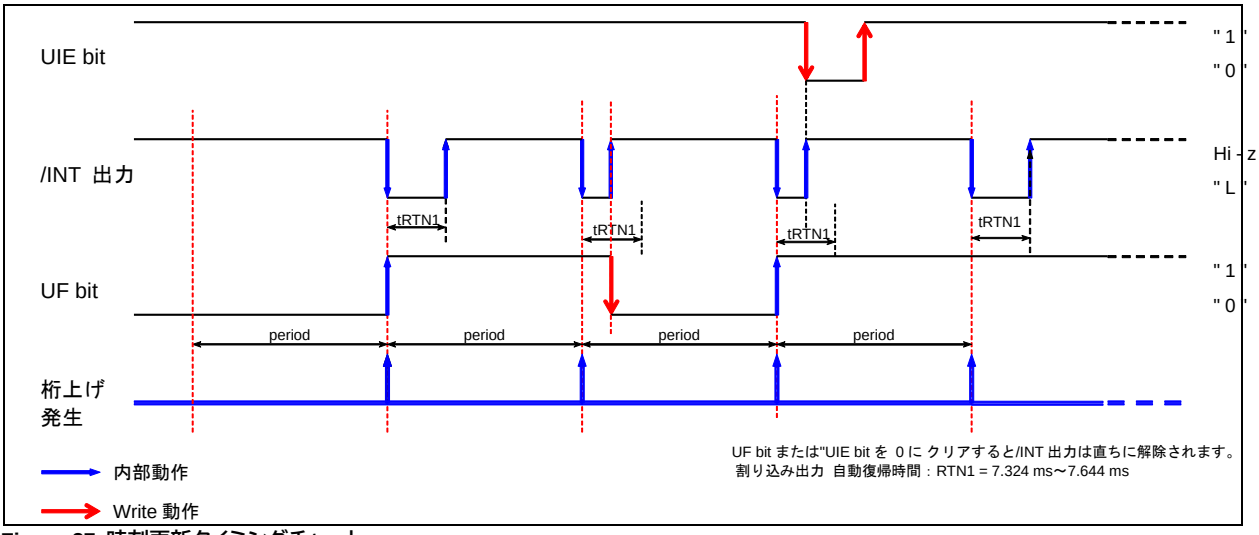


Figure 27 時刻更新タイミングチャート

14.5. 自己監視機能

本製品の動作状態を監視検出して結果を保持するフラグ bit です。以下の 3 種類が監視されています。

- Power ON Reset
- VLF
- XST

14.5.1. 自己監視機能 関連レジスター

Table 38 RTC 自己監視機能レジスター

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Bank1 - Eh	Flag Register	POR	z	UF	TF	AF	EVF	VLF	XST

1) POR bit (Power On Reset)

パワーオンリセットが発生したことを記録するビットです。

Table 39 POR ビット (Power On Reset)

POR	Data	内 容
Write	0	POR ビットを 0 クリアし次回検出に備える。
	1	" 1 " の書き込みは無効です。
Read	0	パワーオンリセット動作の検出なし。
	1	パワーオンリセット動作の検出あり。0 クリアするまで保持します。 パワーオンリセットによりレジスターはデフォルト値がセットされます。

2) VLF bit (Voltage Low Flag)

POR と XST の OR でセットされます。

Table 40 VLF ビット (Voltage Low Flag)

VLF	Data	内 容
Write	0	VLF ビットを 0 クリアし次回検出に備える。
	1	" 1 " の書き込みは無効です。
Read	0	電圧低下の検出なし。
	1	POR と XST のいずれかによりセットされます。0 クリアするまで保持します。 電源投入時などでこのフラグをチェックして初期化の必要性を判断するのに便利です。

3) XST bit (X'tal Oscillation Stop)

水晶発振が停止したことを検出して記録するビットです。

ただし発振停止状態ではタイムスタンプ機能が動作しませんので XST でタイムスタンプされた場合は、発振が復帰した時の時刻が記録されます。水晶発振が約 10 ms 以上停止すると XST 検出されます。

Table 41 XST ビット (X'tal Oscillation Stop)

XST	Data	内 容
Write	0	XST ビットを 0 クリアし次回検出に備える。
	1	1 の書き込みは無効です。
Read	0	発振停止の検出なし。
	1	発振停止の検出あり。 時刻が停止したことを示します。 0 クリアするまで保持します。

この bit はパワーオンリセットで初期化されません。

14.6. FOUT 機能 (クロック出力機能)

32.768 kHz などのクロックを出力します。
FOUT 端子出力を停止させたときは、端子は Hi-Z になります。

14.6.1. FOUT 機能関連レジスター

Table 42 FOUT 機能レジスター

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Bank1 Dh	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	▲	TSEL1	TSEL0

▲ビットは常に 0 クリアしてください。

14.6.2. FOUT 機能動作表

1) FSEL1, FSEL0 bit

FSEL1	FSEL0	Output	STOP = 1
0	0	32.768 kHz Output	出力
0	1	1024 Hz Output	出力
1	0	1 Hz Output	出力停止
1	1	OFF	出力停止

∗初期電源投入時(0V から電源投入時)は、FSEL1、FSEL0 共に "0" が設定されます。
クロック出力を使用する時は、タイマー割込み出力を FOUT 端子に割り付けないでください。

∗STOP = 1 のときの FOUT は選択周波数によっては 出力が停止します。
(1) 32.768 kHz、1024 Hz を選択出力させているときは継続出力します。
(2) 1 Hz では FOUT 出力が停止します。

14.7. バックアップ電源切替機能

14.7.1. バックアップ電源切替機能の概要

電源切替機能は主電源 V_{DD} の電圧低下を検出して V_{BAT} 電源に切替える機能で V_{DD} 電圧検出回路と MOS スイッチ (SW) およびダイオードから構成されます。(Figure28 参照)
V_{BAT} 電源動作時は SW が OFF されて VBAT から VDD への電流リークが防止されます。
V_{DD} 電圧源によって 2 つの動作モードが存在します。

1)ノーマルモード　V_{DD} 端子からの給電で RTC が動作します。
2)バックアップモード　V_{BAT} 端子からの給電で RTC が動作します。
　バックアップモードでは FOUT 端子は Hi-Z となり SPI バス入力端子は入力無効となり
　フローティングが許可されます。
VLF bit が 0 →1 にセットされると Power Switch Control レジスターはデフォルト値がセットされます。

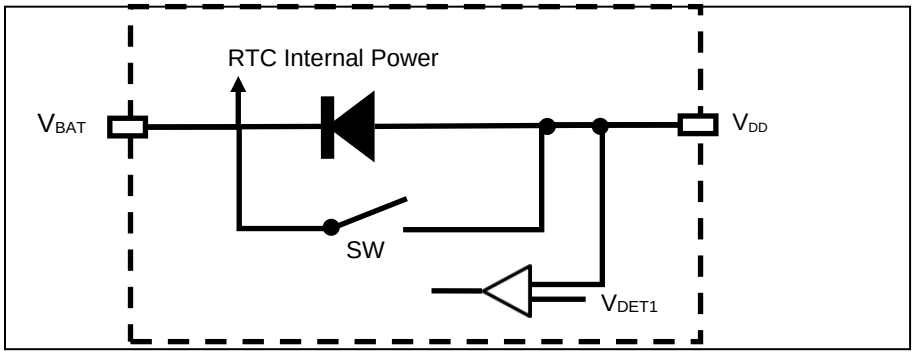


Figure 28 電源監視切替回路

14.7.2. バックアップ電源切替機能の関連レジスター

Table 43 バックアップ電源切替レジスター

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Bank3 – 2h	Power Switch Control	▲	INIEN	z	z	SWSEL1	SWSEL0	SMPT1	SMPT0
	Default	-	0	z	z	0	1	0	0

1)INIEN bit
　このビットに"1"を書き込むことでバックアップ電源切替機能が ON 状態になり SW の ON/OFF 制御が開始します。INIEN bit の設定によって-V_{DET1} 以下に電圧が低下したときの SPI 通信の有効/無効をコントロールすることができます。

Table 44 INIEN ビット(Initial Enable)

INIEN	Data	内 容
Write / Read	0	SW 制御無効(Default setting)
	1	バックアップ電源切替機能：ON。V_{DD} の電圧低下を検出すると SP インターフェィスは入出力が無効になり端子のフローティングが許可されます。

2)SW の状態

Table 45 SW 状態

状態	SW	内容
V_{DD} より先に V_{BAT} にバッテリーを接続	OFF	
V_{DD} への初期電源投入時	OFF	初期は SW のダイオード経由で電源供給されます。
バックアップ電源切替機能を使用 INIEN bit = 1	ON	V_{DD} 動作時(ノーマルモード)
	OFF	V_{DD}＝OFF 時(バックアップモード)

3) SWSEL1, SWSEL0 bit
INIEN=0 で電源切替を使用しない場合は内蔵 SW の状態を固定することができます。

Table 46 INIEN,SWSEL ビット組み合わせ

INIEN	SWSEL1	SWSEL0	SW	SPI 無効制御	備考
0	0	1	OFF	OFF	SW をダイオードとして固定します。Default
	1	0	ON	OFF	電源切替回路を使用しません
	0	0	OFF	OFF	使用禁止
	1	1	OFF	OFF	使用禁止
1	1	1	OFF	ON	SW をダイオードとして固定し、I/O 制御を有効にします。
	(1,1)以外		Auto control	ON	電源切替動作を自動で行います。

V_{BAT} に一次電池を接続する場合は充電防止ダイオードの設置が必要です。"*Figure5 電源接続例 3 参照*"

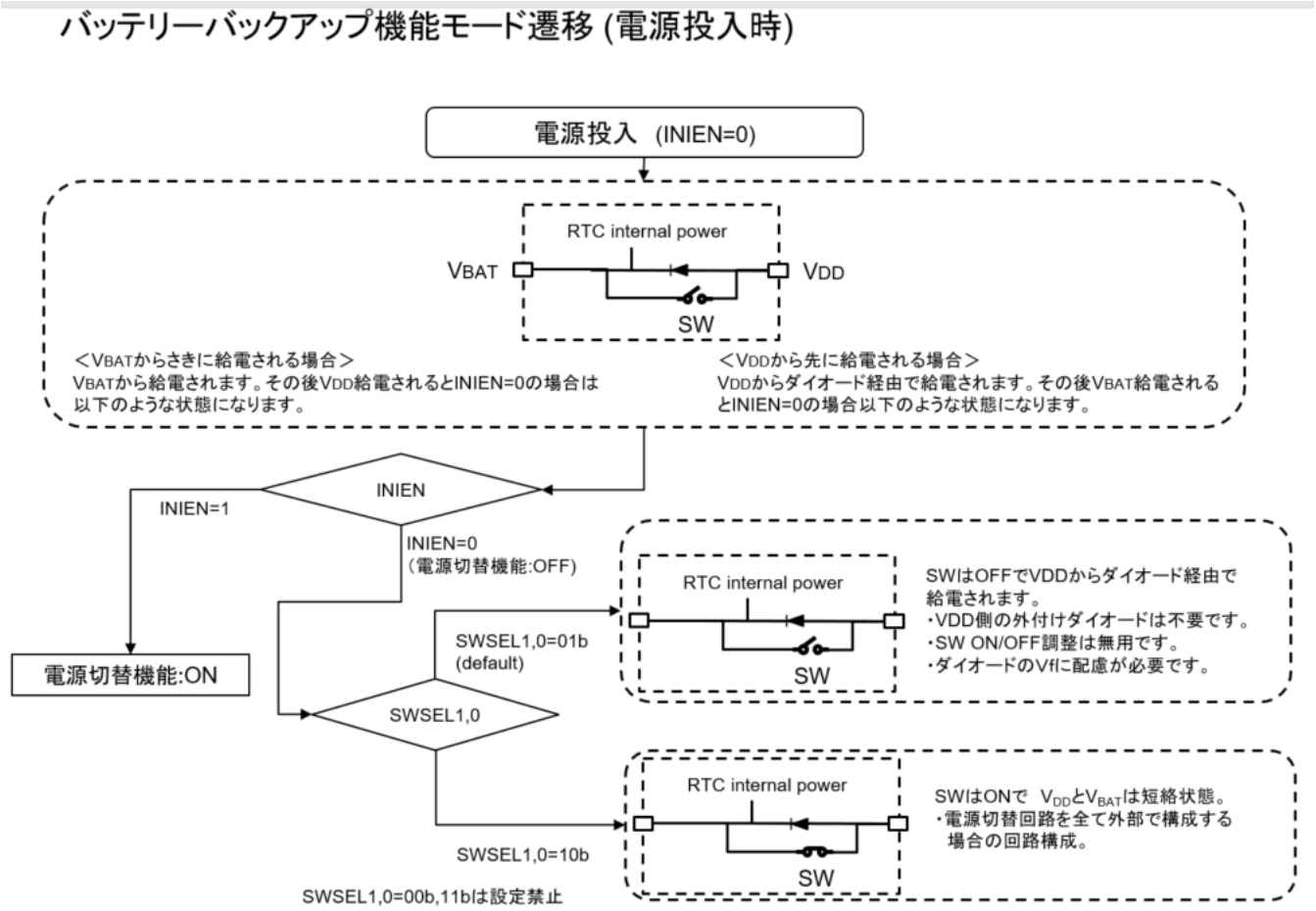


Figure 29 電源切替状態遷移 (電源投入時、切替機能：OFF 時)

電圧検出動作の間欠周期

Table 47 電源電圧検出タイミング

動作モード	V_{DD} 動作 INIEN=1	V_{DD} 動作 INIEN=0	V_{BAT} 動作 バックアップモード
V_{DD} 検出 VDET	常時	停止	1 回 / 31.25 ms

4) SMPT1, SMPT0 bit
V_{BAT} に電池を接続しているときに V_{DD} 電源の遮断を正しく検出するために SW の OFF の時間を調整する機能です。
V_{DD} 電圧低下を検出するときに SW1 = ON では V_{DD} 電圧が V_{BAT} 電圧に引かれて正しく検出できないため SW1 を OFF にして VDD 電圧が検出されます。　　Figure31 V_{DD} 電圧監視 (V_{DET}) SW 間欠動作を参照してください。

主電源 OFF 時の電圧低下速度に応じて SW の OFF 時間を設定してください。
SW が OFF のときは RTC 内部電圧が SW と並列のダイオードの V_F 電圧だけ低下しますのでご注意ください。

V_{DD} 電源が OFF したときに V_{DD} 電圧低下が長時間を要する場合は SW=ON の間に V_{BAT} 電池から少し電圧低下した V_{DD} にリークが生じてしまいます。このような場合は V_{BAT} の電池から V_{DD} へのリークを防止するために SWSEL0/1 の設定でSW=OFF にして常にダイオードを有効にしてください。

Table 48 SMPT ビット (Sample Time)

SMPT1	SMPT0	SW OFF 時間	備考
0	0	常に ON	default
0	1	2 ms	
1	0	128 ms	
1	1	256 ms	

1 秒に 1 回 OFF 動作します。Figure30 V_{DD} 電圧監視 (VDET) SW 間欠動作も参照してください。

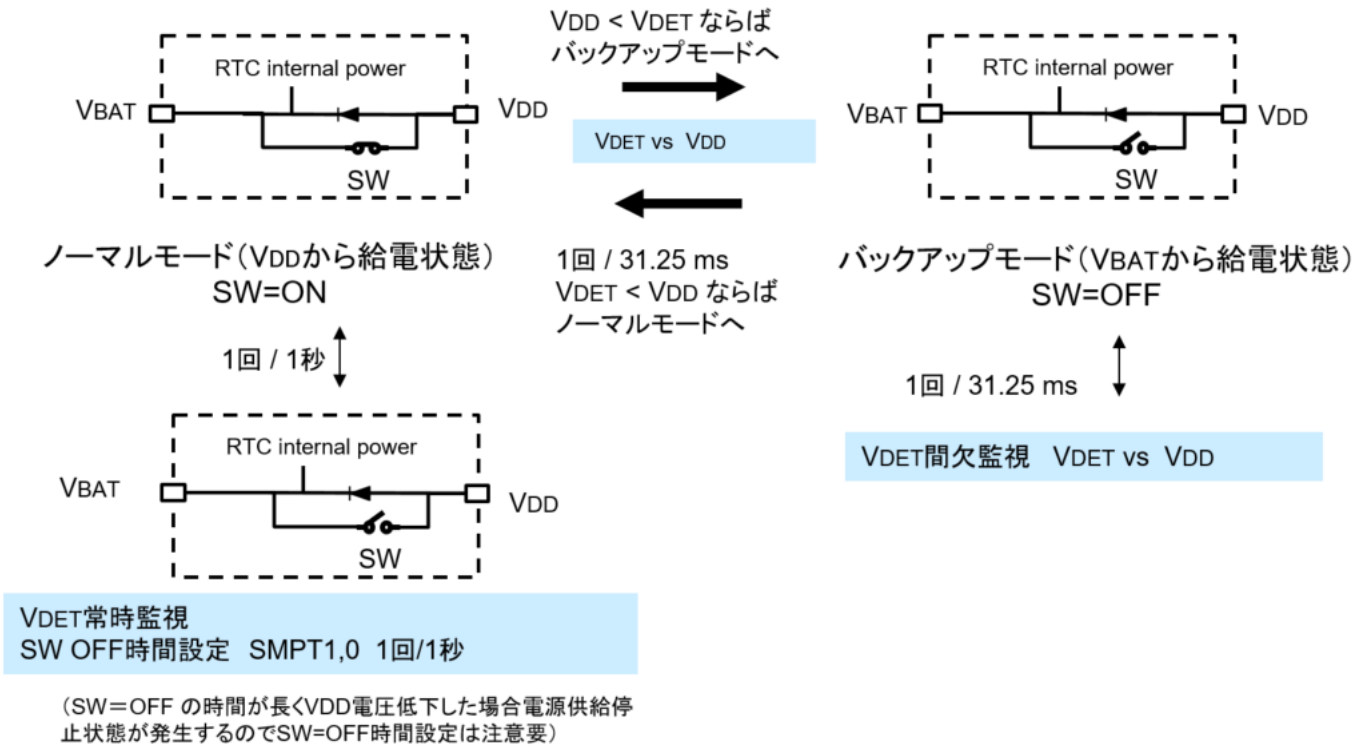


Figure 29 電源切替状態遷移 バックアップモード 電源切替機能：ON

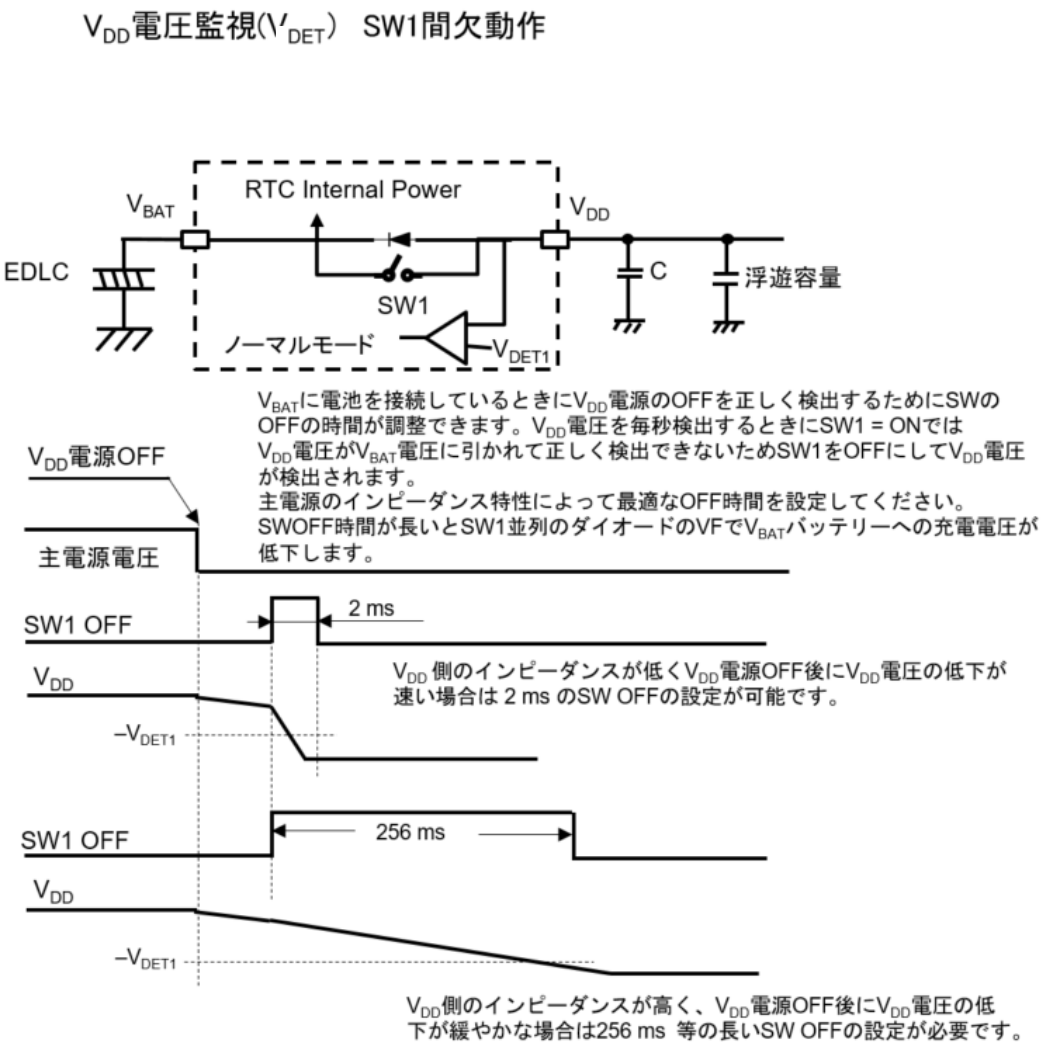
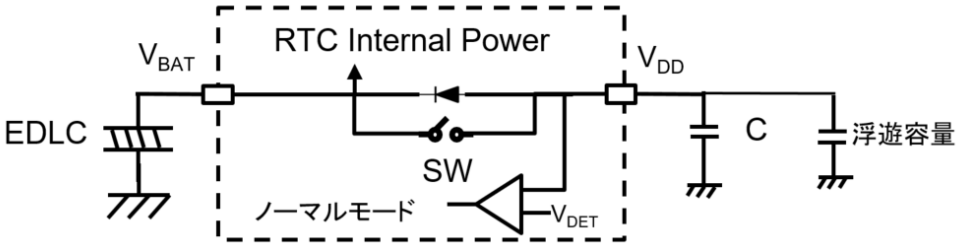
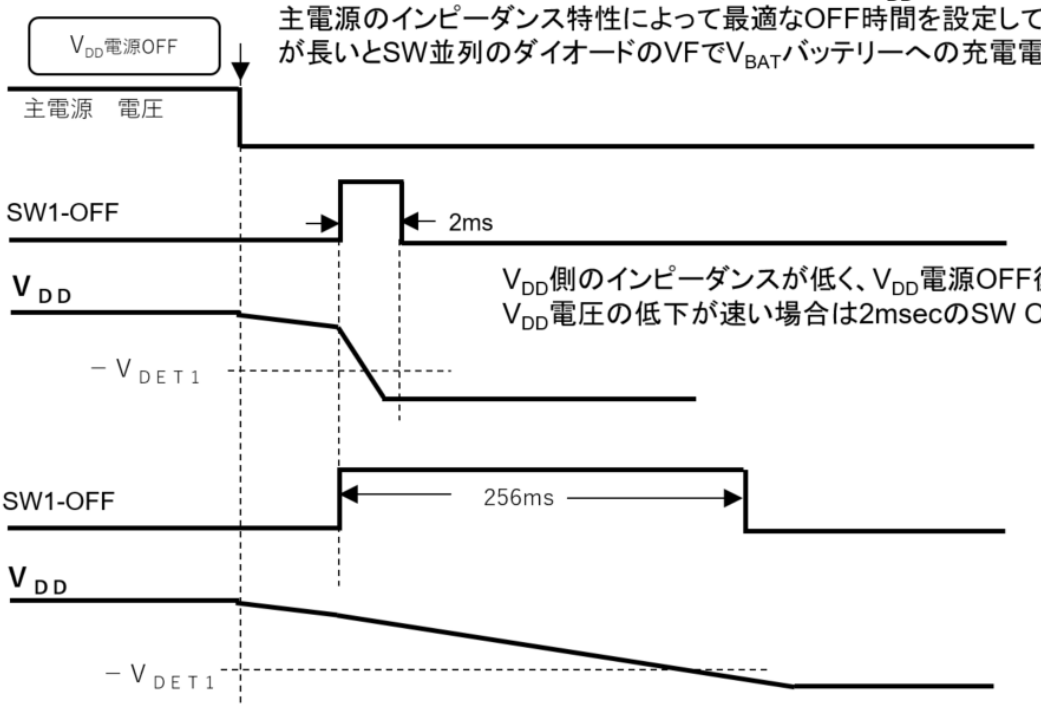


Figure 30 VDD 電圧監視 (VDET) SW 間欠動作



V_{BAT}に電池を接続しているときにV_{DD}電源のOFFを正しく検出するためにSWのOFFの時間が調整できます。 V_{DD}電圧を毎秒検定するときにSW=ONではV_{DD}電圧がV_{BAT}電圧に引かれて正しく検出できないためSWをOFFにしてV_{DD}電圧が検出されます。
主電源のインピーダンス特性によって最適なOFF時間を設定してください。SWOFF時間が長いとSW並列のダイオードのVFでV_{BAT}バッテリーへの充電電圧が低下します。



V_{DD}側のインピーダンスが低く、V_{DD}電源OFF後に
V_{DD}電圧の低下が速い場合は2msecのSW OFFの設定が可能です。

V_{DD}側のインピーダンスが高く、V_{DD}電源OFF後にV_{DD}電圧の低下が緩やかな場合は256msec等の長いSW OFFの設定が必要です。

14.8. タイムスタンプ機能

14.8.1. タイムスタンプ機能概要

次の 2 つの要因(イベント)でタイムスタンプが実行されます。

1) SPI 通信でのコマンドトリガ(bank2 - Fh 読み出し)
2) RTC 自己監視検出

これらのタイムスタンプを最大8イベントまで記録できます。
イベント発生時に/INT から割り込みを出力することが可能です。これらの機能はバックアップ時でも動作します。
1/1024 秒がタイムスタンプできるのは BANK2 アドレス 0h だけです。

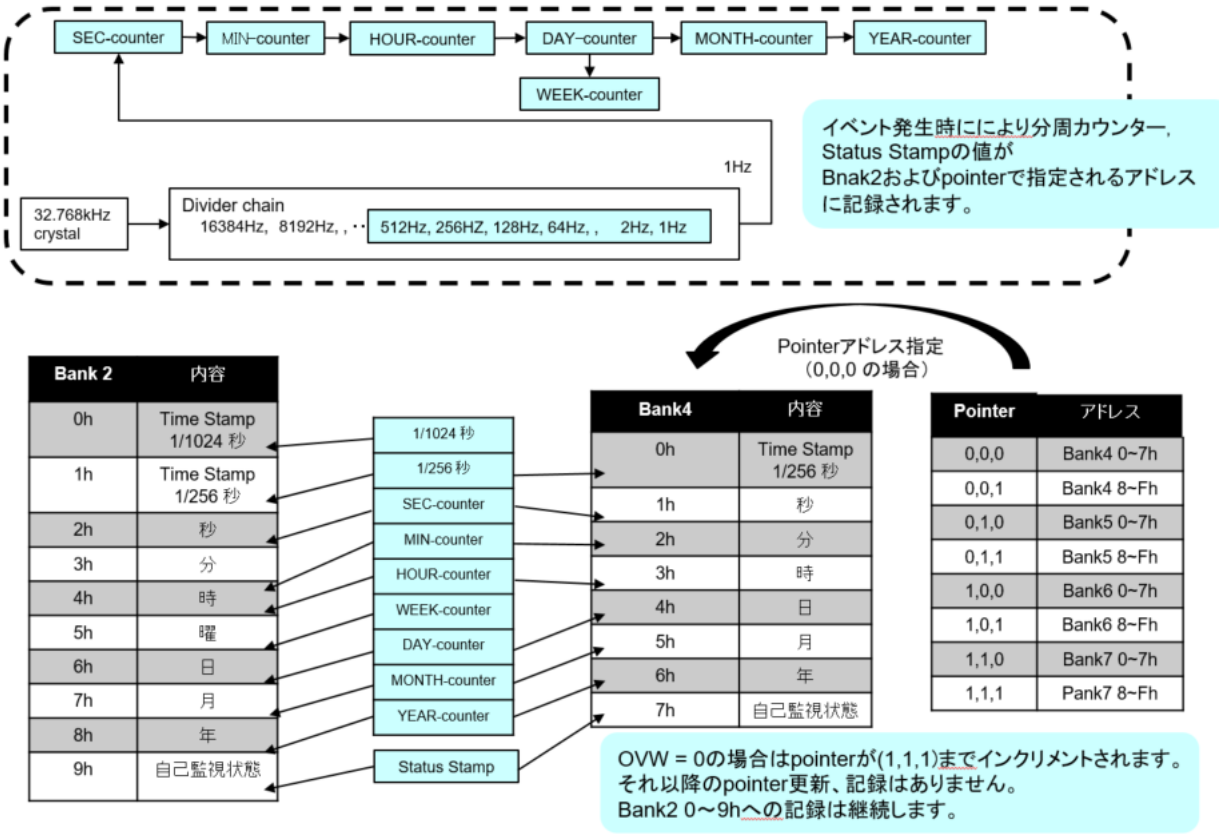


Figure 31 タイムスタンプ機能

14.8.2. タイムスタンプ機能の設定関連レジスター

Table 49 タイムスタンプ機能レジスター

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Bank1 – Dh	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	▲	TSEL1	TSEL0
Bank1 – Eh	Flag Register	POR	z	UF	TF	AF	EVF	VLF	XST
Bank1 – Fh	Control Register	z	z	UIE	TIE	AIE	EIE	z	STOP
Bank2 – Bh	Over Write Control	▲	•	•	•	•	•	OVW	-
Bank2 –Eh	Command Tigger control	z	z	z	z	z	z	z	COMTG
Bank2 –Fh	Command Trigger	z	z	z	z	z	z	z	z
Bank3 – 2h	Power Switch Control	▲	INIEN	z	z	SWSEL1	SWSEL0	SMPT1	SMPT0
Bank3 – 4h	Time Stamp Control 1	z	z	z	z	z	EISEL	TSCLR	TSRAM
Bank3 -5h	Time Stamp Control 2	•	z	z	z	▲	EVDET	▲	EXST
Bank3 -6h	Time Stamp Control 3	z	z	z	TSFUL	TSEMP	TSAD2	TSAD1	TSAD0

1) EVF bit (Event Flag)

イベント発生時に時刻を記録すると同時に EVF bit に 1 をセットします。

Table 50 EVF ビット (Event Flag)

EVF	Data	内 容
Write	0	/INT が Low 出力中の場合は解除されます。(Hi-Z になります)
	1	" 1 " は 書き込めません。
Read	0	タイムスタンプイベントの発生は有りません。–
	1	タイムスタンプイベントが発生しています。結果は、0 クリアするまで保持されます。 SPI コマンドトリガーによるタイムスタンプは EVF がセットされません。

2) EIE bit (Event Interrupt Enable)

イベント発生時 (EVF, " 0 " → " 1 ") の、/INT 割り込み信号の動作を設定します。

Table 51 EIE ビット (Event Interrupt Enable)

EIE	Data	内 容
Write	0	1)割り込み信号は出力しない (/INT = Hi-Z 継続) 2)割り込み信号を解除 (/INT = Low → Hi-Z) する。
	1	割り込み信号を出力する。(/INT = Hi-Z → Low) トリガーコマンド(Bank2 Fh 読出しでは割込みを出力しません。

3) OVW bit (Over Write)

タイムスタンプの記録更新を設定します。

Table 52 OVW ビット(Over Write)

OVW	Data	内 容
Write	0	8 回分のタイムスタンプで記録を停止し記録エリアへの上書きをしません。
	1	記録は停止せず上書きします。

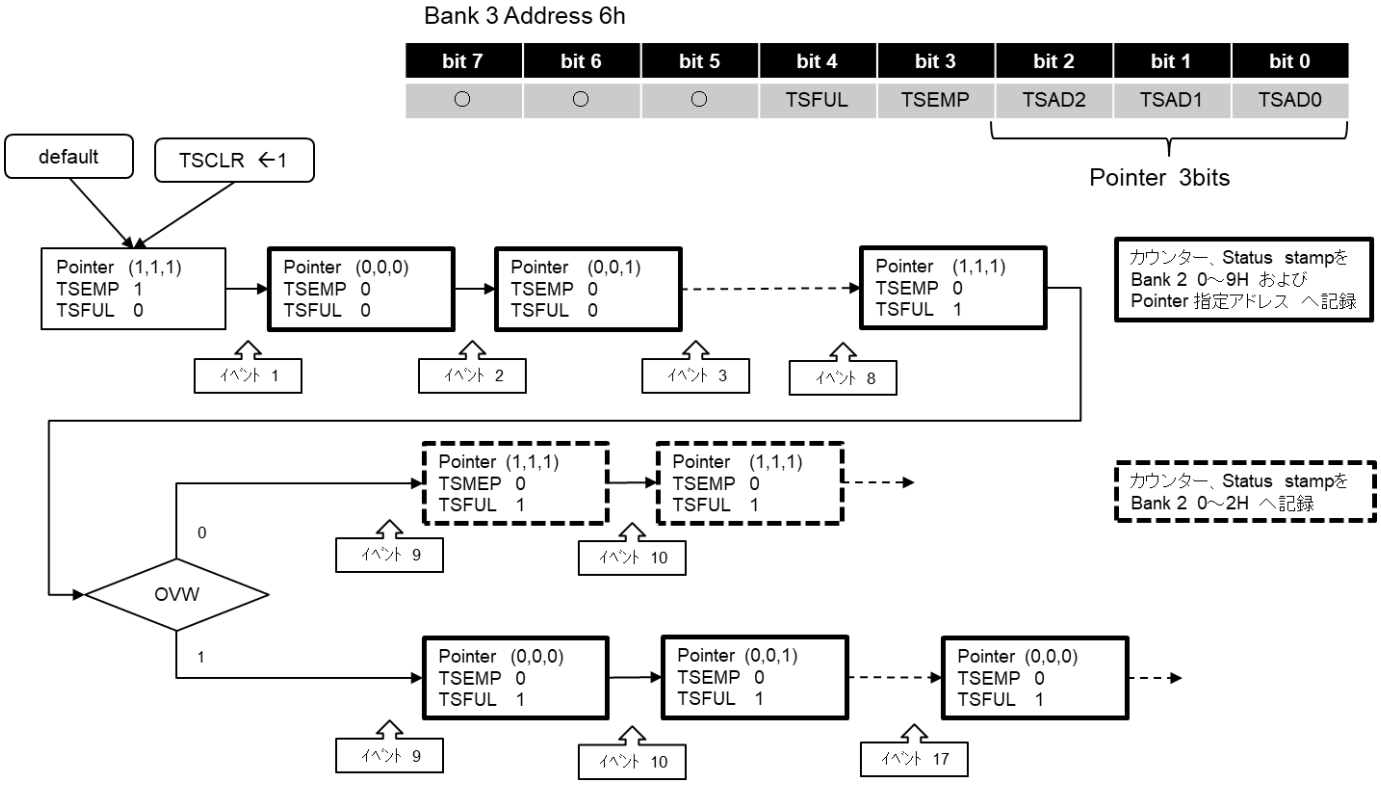


Figure 32 OVW, Pointer の動作

14.8.3. SPI アクセスによるタイムスタンプ機能

1)COMTG bit (Command Trigger)
SPI アクセスを使ってタイムスタンプを行います。
CPU から RTC にトリガーコマンド(Bank2 Fh Read)を送信することでタイムスタンプを行うことができますが
トリガーコマンド受信によるタイムスタンプは EVF がセットされません。
このためトリガーコマンドでタイムスタンプが行われた場合は/INT から割込み出力いたしません。
トリガーコマンドは任意のタイミングでサブセコンドまでの日時を記録しておき後で読み出す等の
使い方を想定して用意されています。

Table 53 COMTG ビット (Command Trigger)

COMTG	Data	内 容
Write	0	SPI コマンドによるタイムスタンプ OFF
	1	SPI コマンによるタイムスタンプ ON Bank2 Fh への読み出しコマンドを送信すると BANK2:2h~9h に時刻が記録されます。 BANK2：Fh の読み出し値は 00h です。
2) タイムスタンプタイミング		

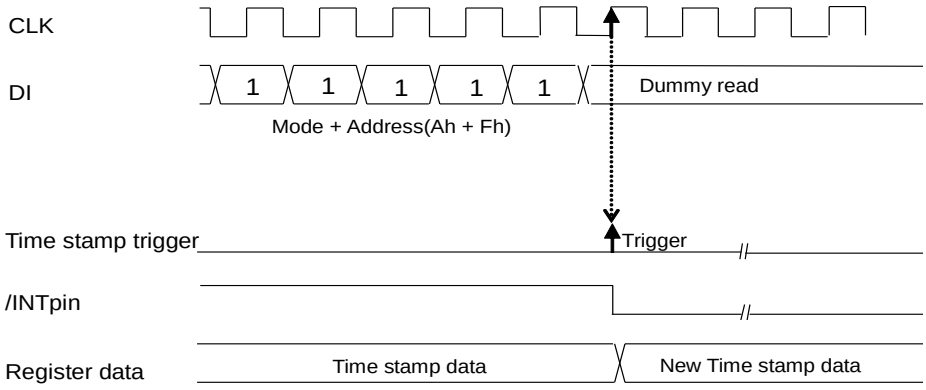


Figure 33 タイムスタンプ SPI 記録タイミング

14.8.4 RTC 自己監視機能のタイムスタンプ機能

1)VDET bit (Time Stamp VDET) イベント発生時に V_{DD} 電圧がバックアップ移行電圧 V_{DET} を下回っていたかを記録します。

Table 54 VDET ビット (Time Stamp VDET)

VDET	Data	内 容
Read	0	$V_{DD} > V_{DET1}$、通常状態 (V_{DD} 電圧動作)
	1	$V_{DD} < V_{DET1}$、バックアップ状態 (V_{BAT} 電圧動作)

2)XST bit (Time Stamp X'tal Oscillator Stop) イベント発生以前に発振停止したか記録されています。
0 ならタイムスタンプの時刻信頼性が担保できます。

Table 55 XST ビット(Time Stamp X'tal Oscillator Stop)

XST	Data	内 容
Read	0	発振が停止した履歴は有りません
	1	発振が停止した履歴がある

3)EVDET bit (Enable EVDET) V_{DET} V_{DD} 電圧低下検出によるタイムスタンプを有効にします。

Table 56 EVDET ビット(Time stamp Enable VDET)

EVDET	Data	内 容
Write	0	VDET 電圧低下を検出してもタイムスタンプしません。
	1	VDET 電圧低下を検出するとタイムスタンプ発生

4)EXST bit (Enable XST) XST 検出によるタイムスタンプを有効にします。

Table 57 EXST ビット(Time stamp Enable XST)

EXST	Data	内 容
Write	0	発振停止を検出してもタイムスタンプしません。
	1	発振停止検出時にタイムスタンプ発生

発振停止時点ではタイムスタンプが動作できません。
発振が復帰すると直ちにタイムスタンプされます。

14.8.5. タイムスタンプ格納レジスター

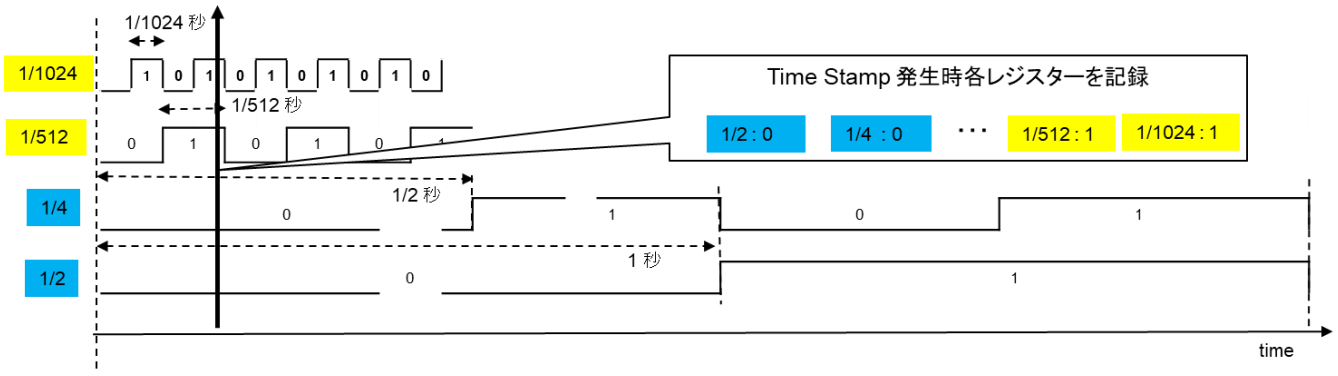
イベント発生時タイムスタンプレジスターには以下のデータが格納されます

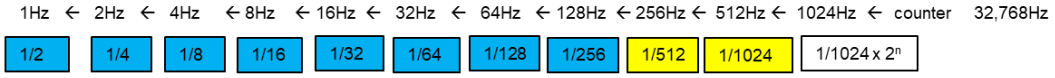
Table 58 タイムスタンプ格納レジスター

Bank2 Address	Function	タイムスタンプ内容
0h	Time Stamp 1/1024 s	1 秒以下のカウント値 1/1024 s ~ 1/512 s,
1h	Time Stamp 1/256 s	1 秒以下のカウント値 1/256 s ~ 1/2 s,
2h	Time Stamp SEC	秒データ
3h	Time Stamp MIN	分データ
4h	Time Stamp HOUR	時間データ
5h	Time Stamp WEEK	曜日データ
6h	Time Stamp DAY	日データ
7h	Time Stamp MONTH	月データ
8h	Time Stamp YEAR	年データ
9h	Status Stamp	イベント発生時の自己監視機能状態

Table 59 Status Stamp

Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Bank2 – 9h	Status Stamp	z	z	•	•	VDET	z	XST	z





address	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
20h	--	--	--	--	--	--	1/512	1/1024
21h	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256

address	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Pointer 指定	1/2	1/4	1/8	1/16	1/32	1/64	1/128	1/256

Figure 34 タイムスタンプ格納レジスター(1/1024 s ～ 1 s)

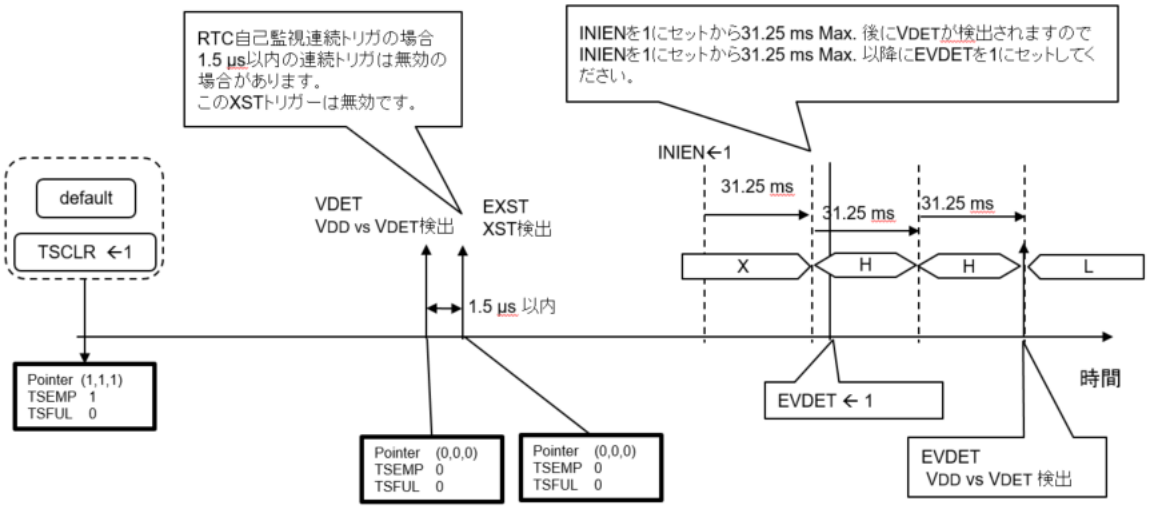


Figure 35 RTC 動作検出タイムスタンプの注意点

14.8.6. 複数回タイムスタンプ記録機能

複数のイベント(最大 8 回)でタイムスタンプを取得するマルチショットタイムスタンプ機能は、連続したイベントのタイムスタンプ取得を RAM に記録することが可能です。

Table 60 タイムスタンプ RAM

Bank3 Address	Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
4h	Time Stamp Control 1	z	z	z	z	z	EISEL	TSCLR	TSRAM
5h	Time Stamp Control 2	•	z	z	z	▲	EVDET	▲	EXST
6h	Time Stamp Control 3	z	z	z	TSFUL	TSEMP	TSAD2	TSAD1	TSAD0

(1)複数回タイムスタンプ記録機能レジスター
以下のレジスターを設定する事により複数回のタイムスタンプ記録が可能です。
Bank4 から Bank7 の記録エリアには、1/1024 秒と WEEK 情報は記録されません。

1) TSRAM bit (Time Stamp RAM)

アドレス Bank4 - 0h~Bank7 - Fh をタイムスタンプ記録エリアとし使用するかユーザー RAM として使用するかを設定します。

Table 61 TSRAM ビット (Time Stamp RAM)

TSRAM	Data	内 容
Write	0	RAM として Read/Write できます。タイムスタンプデータは Bank2 - 0h ~ 9h のみ記録されます。
	1	Bank4 ~ Bank7 をタイムスタンプ記録エリアとして使用します。 タイムスタンプデータをゼロクリアする場合は SPI アクセスで記録エリアに直接 0 書き込みをしてください。

TSRAM="1"の時の初回のタイムスタンプは Bank2 - 0h ~ 8h と Bank4 - 0h ~ 7h の両方に記録されます。

2)TSCLR bit (Time Stamp Clear)
本 bit に 1 を書き込むと Bank3 - 6h のフラグを初期化し実行後に自動で 0 に戻ります。

Table 62 TSCLR ビット(Time Stamp Clear)

TSCLR	Data	内 容
Write	0	無効
	1	アドレス Bank3- 6h のフラグを初期化します。 TSEMP:1、TSFUL:0、TSAD2,1,0: (1,1,1)

3)EISEL bit (Event Interrupt Select)

8 回分のタイムスタンプデータエリアが一杯になると割り込みを出力します。EIE=1 のとき

Table 63 EISEL ビット(Event Interrupt Select)

EISEL	Data	内 容
Write	0	トリガが発生するごとに/INT から割り込み出力をします。
	1	8 回分のタイムスタンプエリアが満杯になると/INT 割り込みが出力します。

(2) 複数回タイムスタンプ記録機能

1)TSFUL bit (Time Stamp Full)

8 回分のタイムスタンプデータエリアが一杯になったことを示します。

Table 64 TSFUL ビット(Time Stamp Full)

TSFUL	Data	内 容
Read	0	タイムスタンプ記録エリアに空きがある
	1	8 回分のタイムスタンプ記録エリアが一杯

2)TSEMP bit (Time Stamp Empty)

RAM 内のタイムスタンプデータの有無をモニタ出来ます。

Table 65 TSEMP ビット(Time Stamp Empty)

TSEMP	Data	内 容
Read	0	タイムスタンプデータ有り
	1	タイムスタンプデータ無し

3) TSAD2, TSAD1, TSAD0 bit (Time Stamp Address)

RAM(複数回タイムスタンプ記録用の Bank4～Bank7 にタイムスタンプされた最新のアドレスポインタをモニタできます

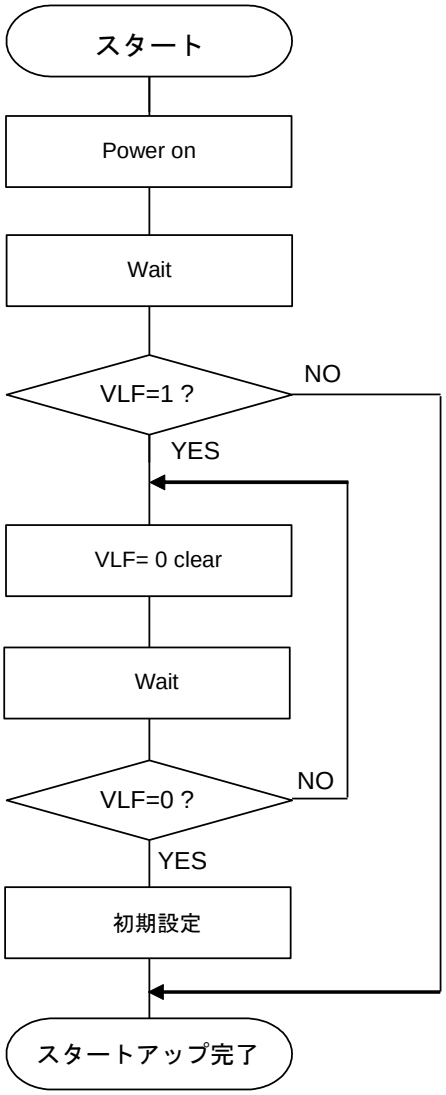
Table 66 TSAD ビット(Time Stamp Address)

TSAD2,1,0	TSAD2	TSAD1	TSAD0	Address pointer
Read	0	0	0	Bank4 0h~7h
	0	0	1	Bank4 8h~Fh
	0	1	0	Bank5 0h~7h
	0	1	1	Bank5 8h~Fh
	1	0	0	Bank6 0h~7h
	1	0	1	Bank6 8h~Fh
	1	1	0	Bank7 0h~7h
	1	1	1	Bank7 8h~Fh

14.9. フローチャート

• 以下のフローチャートは 一例です。
＊一般的な手順を記載してありますので システムに応じて処理の最適化をお願いいたします。

1)電源投入時の処理例



• 40 ms 以上の待ち時間が必要です。

•バックアップから正常復帰かを確認します。

• 内部発振が開始するまで VLF は 0 クリアできません。

•任意の待ち時間を設定してください。

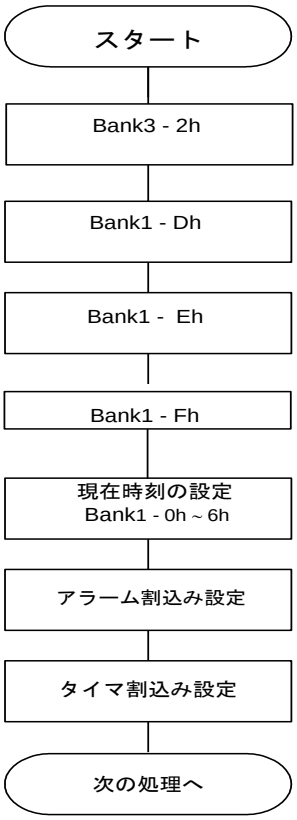
• 万が一の水晶発振異常に備えて最大ループ回数を設定して無限ループを回避してください。

• パワーオンリセットが有効となる電源条件を満足できない場合は上記 40ms の Wait 後にソフトウェアリセットを実行してから VLF チェックに進んで下さい。

"10.4 ソフトウェアによるリセット"

Figure 36 Flow1

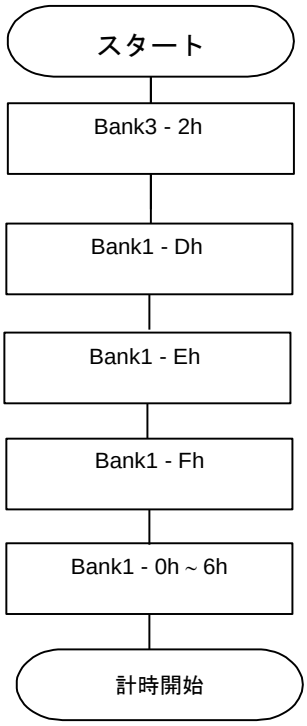
2)初期化
例 1.



- 電源切替機能を設定します。
- TE bit に 0 を設定.
- FSEL1, FSEL0 bit を設定します。
- 各検出フラグを 0 クリアする。
  VLF および XST は発振が開始するまで 0 クリアしても 1 の状態を保持しますので
  発振開始を待たずに初期化する場合は、発振開始後に 0 クリアしてください。
  電源投入時の処理例を使う場合は VLF クリアは必要ありません。
- AIE, TIE bit を 0 クリアして不要な割込み出力を防止します。
- 現在時刻を設定します。
  * 現在時刻の設定については、[時計･カレンダの書き込み] の項を参照ください。
- アラーム割り込み機能を設定します。
  アラーム割り込み機能を使用しないときは、Alarm レジスタを RAM として使用できます。 その場合は AIE ビットを 0 にしてください。
- タイマ割り込み機能を設定します。
  タイマ割り込み機能を使用しないときは、Timer Counter レジスタを RAM として使用できます。 その場合は TE, TIE ビットを 0 にしてください。
- 初期化終了時は 必ず STOP = 0 にしてください。

Figure 37 Flow 2

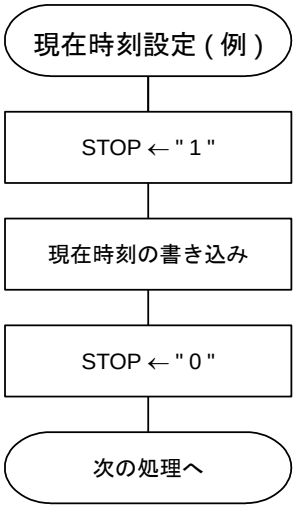
例 2. 時計機能のみ使用する場合の初期化例



- 書込み値 04h (一次電池を使用する場合)
- キャパシタや充電制御不要な二次電池を使用する場合　Write 0Ch
  ※SMPT1,0 の設定はデフォルト値 0,0b にて電源切替が困難な場合に調整してください。
- 書込み値　00h
- 書込み値 00h
  ※VLF および XST bit は、発振が開始するまで”0”クリアしても”1”の状態を保持しますので発振開始を待たずに初期化する場合は発振開始後に”0”クリアしてください。
- 書込み値 00h
  ※STOP ビットを 使用する場合は 01h にして時刻設定するまで計時を停止させます。 STOP ビットをご利用した時刻設定は推奨いたしません。
- 現在時刻の設定

Figure 38 Flow 3

3)時計･カレンダーの 書き込み例



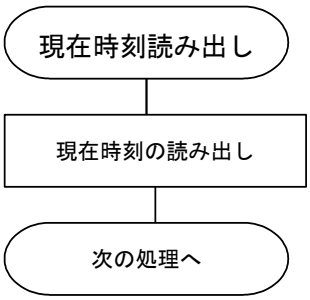
- STOP ビットを " 1 " にし、時刻設定中の計時更新を事前防止します。
- [年 / 月 / 日 [曜] 時:分:秒] のうち、設定 (または 再設定) が必要な情報を書き込みます。
  * 初期化のときは、全てのデータを初期設定してください。
- STOP ビットを " 0 " に解除し、計時動作を開始 (再開) します。
  * STOP ビットを " 0 " にした時点から、計時が開始します。

* STOP ビットを使用しなくても、時刻設定可能です。
STOPビットを使用しない場合は、[[秒] を書き込んだ時点から、計時が開始する] 点に ご注意ください。
[秒]～[年]まで一括書き込みをした場合においては、秒データ書き込み完了時点で秒以下のカウンタがリセットされて計時がスタートします。

* STOP=1の時、電源監視機能が停止する等、停止する機能があることにご注意ください。

Figure 39 Flow4

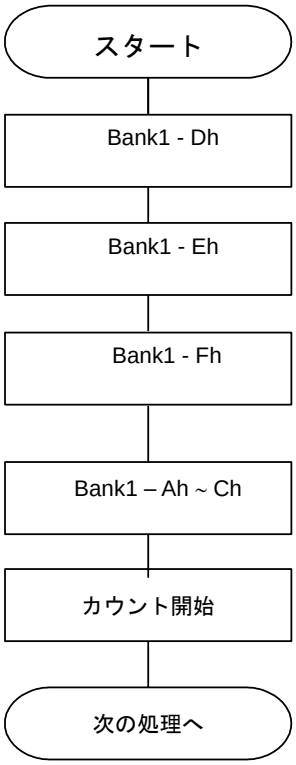
4)時計･カレンダーの 読み出し例



- 0.95 秒以内に[年 / 月 / 日 [曜] 時:分:秒] より､必要な情報を読み出します。
  読み出しは、STOPビットを ”0” のままで 読み出してください。
  (STOPビットを ”1” にして読み出すと、時刻遅れの原因になります)
- 読み出されるデータは､通信開始時の時刻情報です。
  通信開始時に、時刻データは固定され(桁上げホールド)、
  ホールド中の秒更新は通信終了時に1秒まで追加桁上げされます。
  このためSPI通信中に2回の秒桁上げが発生すると1秒の時刻遅れが生じます。
- 現在時刻の読み出しにおいては、上位桁への桁上げ処理中の時刻情報の
  読み出しを回避するためにアドレスオートインクリメント機能を使用して
  一括で読み出しすることを推奨します。

Figure 40 Flow 5

5)タイマー割り込み機能の設定例



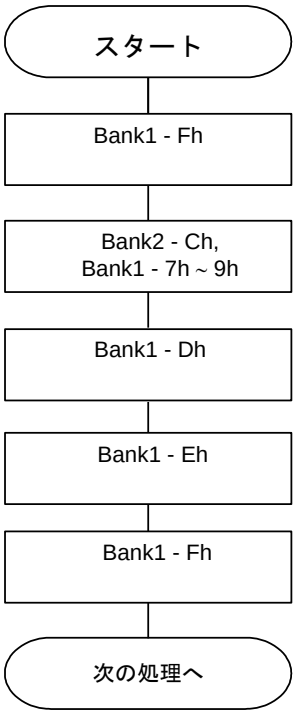
- TE ビットを " 0 " クリアして、タイマ割り込み機能を停止させます。
- TSEL1, TSEL0 ビットの組み合わせでタイマのカウントダウン周期 (= ソースクロック) を設定します。
- TF ビットを " 0 " クリアして、前回のタイマ割り込み出力 (/INT 出力) を解除します。
- TIE ビットの設定でイベント発生時の /INT 出力を選択設定します。
- ダウンカウンタの初期値を設定します。
- TE ビットを " 1 " にして、タイマ割り込み機能をスタートさせます。
  注) タイマ割り込み機能をスタートさせるときは､必ず事前に、
  ダウンカウンタの初期値を設定してください。

*1 カウンタを一時停止させるときは、TSTP ビットを” 1 " にしてください。
TSTP ビットを” 0 "で再スタートします。

*2 プリセット値から再開する場合は、TE ビットを " 0 " クリアして
再度 TE ビットを”1”にしてください。

Figure 41 Flow 6

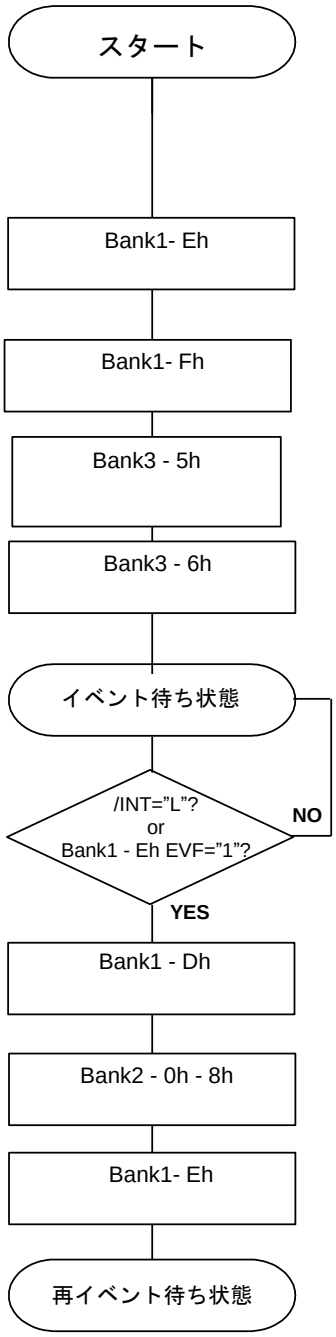
6)アラーム割込み機能の設定例



- AIE bit を “0” にしてアラーム割込み機能を停止します。
- アラーム時刻を設定します
  秒桁を使用しない場合は、BANK2 Ch 秒アラームレジスタの AE ビットを 1 にセットしてください。
- Week または Day を WADA bit で選択します。
- AF bit を”0”クリアします。
- AIE bit を”1”にして、/INT 出力を有効にします。

Figure 42 Flow 7

7)タイムスタンプ機能(1 回記録)の設定例



- EVFbit を 0 クリアします。
- EIE bit を 1 にしてイベント入力割込み時、/INT 端子への出力を許可します。
- EVDET, EXST を 1 にして RTC の自己監視トリガーを有効にします。
- TSCLR を 1、TSRAM を 1 にセットしデータ記録アドレスをセットします。
- イベント発生時、EVF bit が 1 に変化、/INT 端子から割り込み発生。
- EIE bit を 0 にしてタイムスタンプ機能を無効にします。
  タイムスタンプデータ読み出し中に、タイムスタンプが発生しないようにするためです。
- イベント発生時のタイムスタンプデータを読み出します。
- EVF bit を 0 にしてフラグをクリアします

Figure 43 Flow 8

14.10. SPI-Bus データの リード/ライト

書き込み/読み出し共に CE=High にした後に 4 ビットのモード送信と続いて 4 ビットのアドレス送信を行います。
その後は 8 ビット単位でデータの送受信を行います。
書き込み/読み出し共に MSB ファーストです。連続動作では対象アドレスがオートインクリメントされます。
アドレスのオートインクリメントは循環で、アドレス Fh の次は同じ Bank のアドレス 0h に循環します。
アクセスする Bank を変更する場合は CE を Low にネゲート後に再度モード設定からスタートしてください。

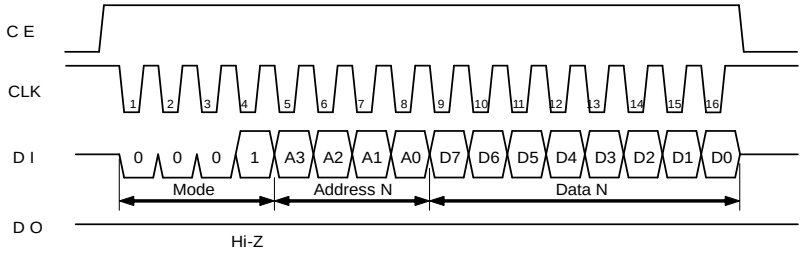
14.10.1 データの書き込み

通信の最初の 4 ビットのモード設定コードで対象レジスターのバンクを指定しアクセスします。

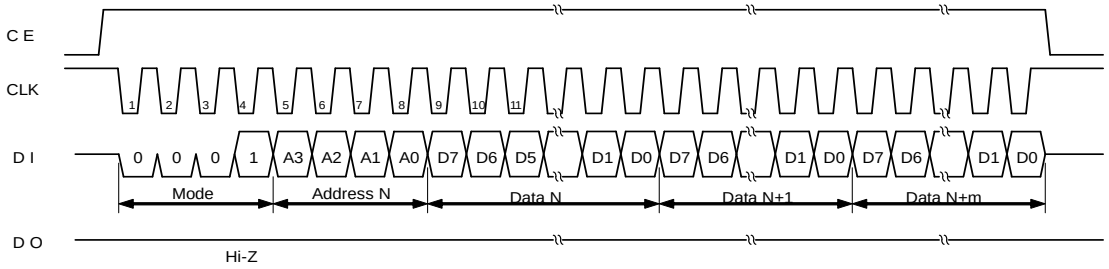
Mode	Bank1	Bank2	Bank3	Bank4	Bank5	Bank6	Bank7
Read	9 h	A h	B h	Ch	Dh	Eh	Fh
Write	1 h	2 h	3 h	4h	5h	6h	7h

14.10.2 データの書き込み

1)BANK1 アドレスへ書き込むフォーマット



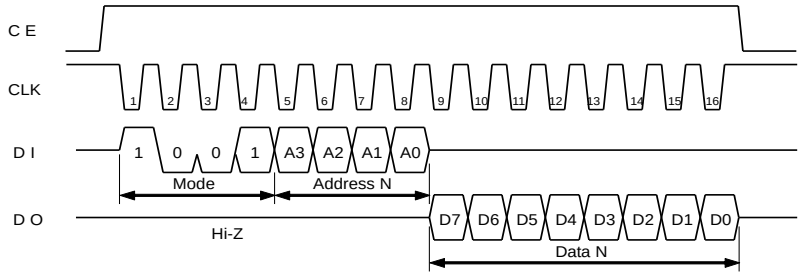
2)連続 書き込み



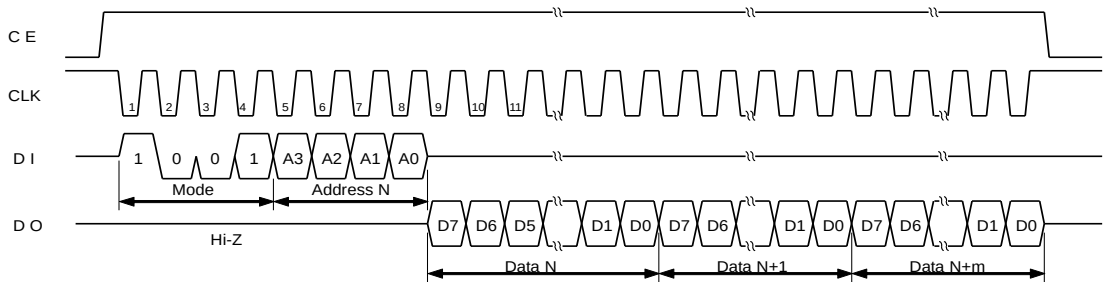
※ データライト時は 8 ビット単位のデータを入力する必要が有ります。
8 ビット単位のデータ入力が未完の状態で CE 入力を立ち下げた場合、CE 入力が立ち下がった時点の
8 ビットデータは書き込まれません。

14.10.3 データの読み出し

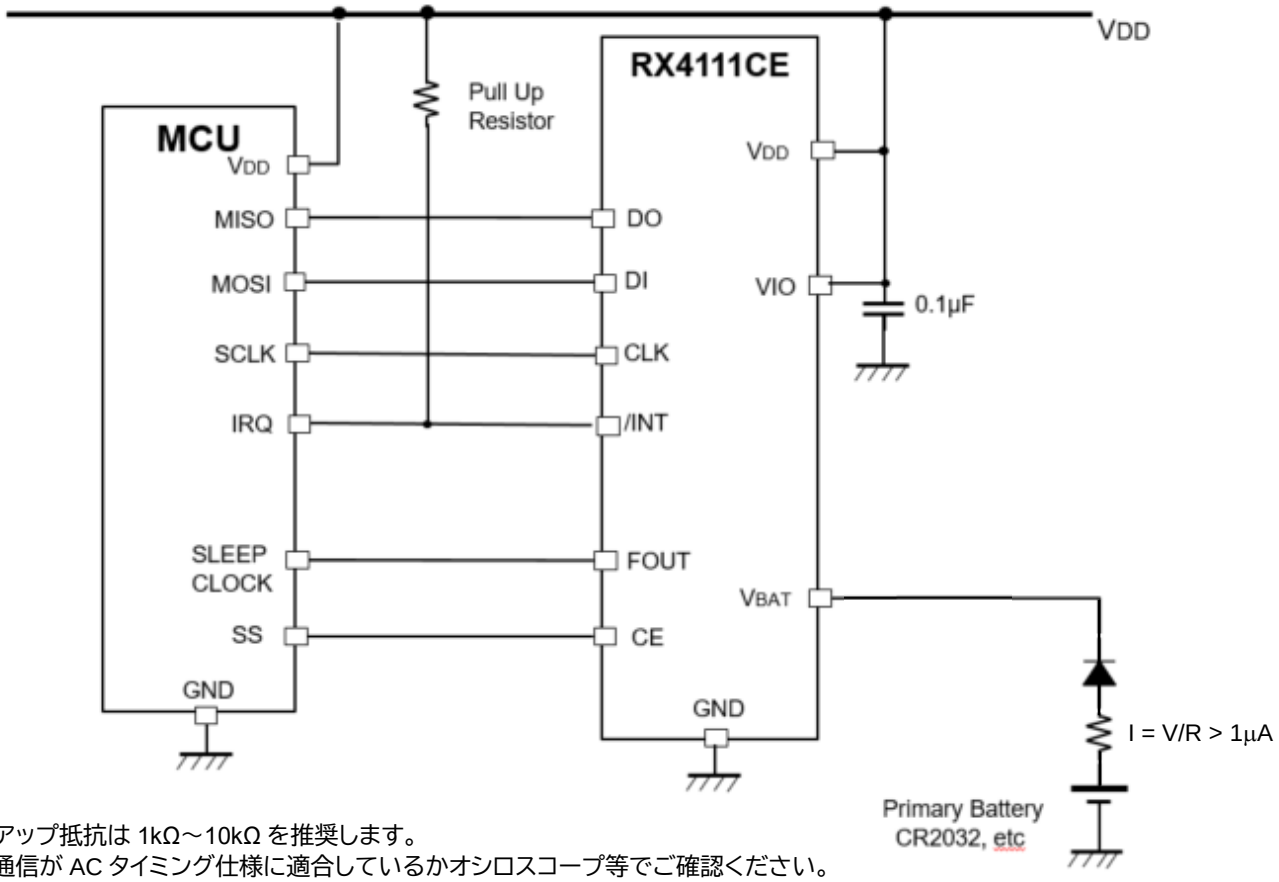
1)1アドレスの読み出し



2)連続読み出し



15. 接続回路例



プルアップ抵抗は 1kΩ～10kΩ を推奨します。
SPI 通信が AC タイミング仕様に適合しているかオシロスコープ等でご確認ください。
各バイパスコンデンサーは可能な限り各端子の直近に設置してください。
V_{BAT} 端子に外部電源デバイスや大型電池を利用される場合は必要に応じて V_{BAT} 端子に 0.1µF 以上のバイパスコンデンサーを設置してください。
VBAT-バッテリ間に保護抵抗を設置される際は、少なくとも 1µA の電流が VBAT に供給可能な抵抗値を設定してください。
ただし、電池メーカーの推奨抵抗値および UL 等の公的規格に適合させる場合はそれらの仕様を優先してください。
　保護抵抗無し0Ω でも RTC が規定以上の電流を消費することは有りません。

16.Table

Table 1 端子機能 5
Table 2 絶対最大定格 8
Table 3 推奨動作条件 8
Table 4 周波数温度特性 8
Table 5 DC 電気的特性 9
Table 6 電源切替素子参考特性 10
Table 7 AC 電気的特性 11
Table 8 FOUT 波形シンメトリ 11
Table 9 電源投入特性 12
Table 10 CE タイミング 13
Table 11 SPI Bank Access Code 18
Table 12 レジスターテーブル(1) 18
Table 13 レジスターテーブル (2) 19
Table 14 レジスター初期値(1) 20
Table 15 レジスター初期値(2) 21
Table 16 時計・カレンダー設定例 24
Table 17 WEEK レジスター 25
Table 18 DAY、MONTH レジスター 25
Table 19 ウェイクアップタイマー割り込みレジスター 26
Table 20 TSEL ビット、ソースクロック選択 26
Table 21 TE ビット(Timer Enable) 27
Table 22 TF ビット(Timer Flag) 27
Table 23 TIE ビット(Timer Interrupt Enable) 27
Table 24 TBKON,TBKE ビット (Timer Backup ON, Timer Backup/Normal Enable) 27
Table 25 TMPIN ビット (Timer PIN) 28
Table 26 TSTP ビット(Timer Stop) 28
Table 27 ウェイクアップタイマー割込み周期 29
Table 28 アラーム割込み機能レジスター 31
Table 29 WADA ビット(Week Alarm/ Day Alarm Select) 31
Table 30 AF ビット(Alarm Flag) 31
Table 31 AIE ビット (Alarm Interrupt Enable) 32
Table 32 アラーム設定例 1 32
Table 33 アラーム設定例 2 32
Table 34 時刻割込みレジスター 34
Table 35 USEL ビット(Update Interrupt Enable) 34
Table 36 UF ビット (Update Flag) 34
Table 37 UIE ビット (Update Interrupt Enable) 34
Table 38 RTC 自己監視機能レジスター 36
Table 39 POR ビット (Power On Reset) 36
Table 40 VLF ビット (Voltage Low Flag) 36
Table 41 XST ビット (X'tal Oscillation Stop) 36
Table 42 FOUT 機能レジスター 37
Table 43 バックアップ電源切替レジスター 38
Table 44 INIEN ビット(Initial Enable) 38
Table 45 SW 状態 38
Table 46 INIEN,SWSEL ビット組み合わせ 39
Table 47 電源電圧検出タイミング 39
Table 48 SMPT ビット (Sample Time) 40
Table 49 タイムスタンプ機能レジスター 43
Table 50 EVF ビット (Event Flag) 44
Table 51 EIE ビット (Event Interrupt Enable) 44
Table 52 OVW ビット(Over Write) 44
Table 53 COMTG ビット (Command Trigger) 45
Table 54 VDET ビット (Time Stamp VDET) 45
Table 55 XST ビット(Time Stamp X'tal Oscillator Stop) 45
Table 56 EVDET ビット(Time stamp Enable VDET) 45
Table 57 EXST ビット(Time stamp Enable XST) 45
Table 58 タイムスタンプ格納レジスター 46
Table 59 Status Stamp 46
Table 60 タイムスタンプ RAM 47
Table 61 TSRAM ビット (Time Stamp RAM) 47
Table 62 TSCLR ビット(Time Stamp Clear) 47

Table 63 EISEL ビット(Event Interrupt Select)....48
Table 64 TSFUL ビット(Time Stamp Full)....48
Table 65 TSEMP ビット(Time Stamp Empty)....48
Table 66 TSAD ビット(Time Stamp Address)....48

17.Figure

Figure 1 ブロック図....4
Figure 2 端子配置図....5
Figure 3 電源接続例 1....6
Figure 4 電源接続例 2....6
Figure 5 電源接続例 3....6
Figure 6 電源接続例 4....6
Figure 7 外形寸法図....7
Figure 8 マーキングレイアウト....7
Figure 9 V_{BAT} 充電特性 (V_{DD} = 3.0 V)....10
Figure 10 V_{BAT} 充電特性 (V_{DD} = 5.5V)....10
Figure 11 2 次電池充電経路図....10
Figure 12 SPI タイムチャート....11
Figure 13 電源投入タイミング....12
Figure 14 VDD, CE シーケンス....13
Figure 15 発振開始シーケンス(電源初期投入時)....14
Figure 16 発振開始シーケンス(バックアップ復帰時)....14
Figure 17 周波数温度特性....15
Figure 18 基本(32kHz 発振、カウンター、FOUT) 機能....24
Figure 19 ウェイクアップタイマー初回誤差....26
Figure 20 ウェイクアップタイマーブロック図(タイマーソースクロック)....27
Figure 21 ウェイクアップタイマースタートタイミング....28
Figure 22 ウェイクアップタイマーブロック図(割込み)....30
Figure 23 ウェイクアップタイマータイミングチャート....30
Figure 24 アラーム割込みブロック図....33
Figure 25 アラーム割込みタイミングチャート....33
Figure 26 時刻更新ブロック図....35
Figure 27 時刻更新タイミングチャート....35
Figure 28 電源監視切替回路....38
Figure 29 電源切替状態遷移 バックアップモード 電源切替機能：ON....40
Figure 30 VDD 電圧監視 (VDET) SW 間欠動作....41
Figure 31 タイムスタンプ機能....43
Figure 32 OVW, Pointer の動作....44
Figure 33 タイムスタンプ SPI 記録タイミング....45
Figure 34 タイムスタンプ格納レジスター(1/1024 s ～ 1 s)....46
Figure 35 RTC 動作検出タイムスタンプの注意点....47
Figure 36 Flow1....49
Figure 37 Flow 2....50
Figure 38 Flow 3....51
Figure 39 Flow4....51
Figure 40 Flow 5....52
Figure 41 Flow 6....52
Figure 42 Flow 7....53
Figure 43 Flow 8....54
Figure 44 一般的 MCU との接続回路例....56