

アプリケーションマニュアル

Real Time Clock Module

RX4901CE/RX8901CE

製品名称	製品型番
RX4901CE XS A0	X1B000471000115
RX4901CE XB A0	X1B000471000215
RX4901CE XS B0	X1B000471000315
RX4901CE XB B0	X1B000471000415
RX4901CE XS C0	X1B000471000515
RX4901CE XB C0	X1B000471000615
RX4901CE XS D0	X1B000471000715
RX4901CE XB D0	X1B000471000815
RX8901CE XS A0	X1B000481000115
RX8901CE XB A0	X1B000481000215
RX8901CE XS B0	X1B000481000315
RX8901CE XB B0	X1B000481000415

本マニュアルのご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。弊社製品のご購入およびご使用にあたりましては事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
2. 本資料の一部または全部を、弊社に無断で転載または複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報であり、これらに起因する第三者の知的財産およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすことまたは財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。
なお、設計および使用に際しては、弊社製品に関する最新の情報（本資料、仕様書、データシート、マニュアル、弊社ホームページなど）をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いします。
5. 弊社は正確さを期すために慎重に本資料を作成しておりますが、本資料に掲載されている情報に誤りがないことを保証するものではありません。万一、本資料に掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般電子機器製品用途および弊社指定用途に使用されることを意図して設計、開発、製造しています（指定用途）。この指定用途の範囲を超えて、特別または高度な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財物損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある以下を含む用途（特定用途）に使用されることを意図していません。

【特定用途】

宇宙機器（人工衛星・ロケットなど）/ 輸送車両並びにその制御機器（自動車・航空機・列車・船舶など）
医療機器 / 海底中継機器 / 発電所制御機器/防災・防犯装置 / 交通用機器 / 金融関連機器
上記と同等の信頼性を必要とする用途

お客様に置かれましては、製品を指定用途に限定して使用されることを強く推奨いたします。もし指定用途以外の用途で製品のご使用およびご購入を希望される場合、弊社はおお客様の特定用途に弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらず、いかなる保証をおこなうものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡ください。

8. 本資料に掲載されている弊社製品および弊社技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および弊社技術を大量破壊兵器等の開発目的、および軍事利用の目的、その他軍事用途等に使用しないでください。弊社製品または弊社技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米国輸出管理規則（EAR）」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. 弊社は、お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害（直接・間接を問わず）に関して、一切その責任を負いかねます。また、お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害（直接・間接を問わず）が発生した場合、弊社は一切その責任を負いかねます。
10. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
11. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

ETM63J 改訂履歴

Rev. No.	Date	Page	Description
01	2021/12/06	All	新規登録
02	2022/10/12	8	V _{DD} = V _{BAT} = GND の状態を 10 秒以上保持を 100ms 以上保持に修正しました。 2.2.1 電源投入シーケンス
		98	5.6 電源投入特性
		43	43ページ バックアップ電池実装時の注意 を新たに追加しました
		100	この追記に伴い 100 ページ "7実装上の注意事項" の「バックアップ電池実装」の記述は削除されました。
		101 102	参考回路例 注意書き *1 *2 *3 を改訂しました。 各回路例の電池をBackup Battery に統一しました。
		93	消費電流11 の条件説明を改訂しました。

はじめに

本書は、セイコーエプソン製RTC (リアルタイムクロック) モジュールRX4901CEおよびRX8901CEの機能、制御方法、仕様、電気的特性を記載したアプリケーションマニュアルです。RX4901CE/RX8901CEを搭載する製品の設計者向けに作成されています。

RX4901CEはSPI、RX8901CEはI²C-Busを介してホストデバイスからアクセスします。これらのインターフェースの動作および制御方法については、ホストデバイスのマニュアル等を参照してください。

本書内の表記や記号について

数値の表記

本マニュアルは、10進数、2進数、16進数の数値を扱います。

10進数 例: 1, 10, 123 (一般的な数値や日付、時刻など)

2進数 例: 0b0, 0b10, 0b1111 (制御ビットの設定値、読み出し値など)

16進数 例: 0x0, 0xF, 0xFF (アドレスやレジスタの設定値など)

レジスター/ビット名の表記

本マニュアルではレジスター名とビット名を次のように記載しています。

レジスター名: レジスターSEC

ビット名: TSTP_INTE.STOPビット
レジスターTSTP_INTE内のSTOPビットを表します。

TCTL.FSEL[1:0]ビット
レジスターTCTL内のFSEL1とFSEL0ビットの2ビットを表します。

チャンネル番号の表記

タイムスタンプ機能にはチャンネルごとに同一機能を持つ端子や制御ビットが用意されています。この端子名やビット名にはチャンネル番号 (例: 1 ~ 3) が含まれています。特に分けて説明する必要がない場合、本書ではこの数値を“*n*”として複数チャンネルを一括して説明しています。また、同一機能のビットでもビット数が異なる場合は、ビット番号を“*x*”と表記しています。その他、名称の一部が共通な複数のビットを“***”を使用し、一つにまとめている場合もあります。

端子名: EVIN₁、EVIN₂、EVIN₃ → EVIN_{*n*}

ビット名: EVIN_EN.EVIN₁EN、EVIN_EN.EVIN₂EN、EVIN_EN.EVIN₂EN
→ EVIN_EN.EVIN_{*n*}EN

BUF₁_STAT.PTR[5:0]、BUF₂_STAT.PTR[3:0]、BUF₃_STAT.PTR[3:0]
→ BUF_{*n*}_STAT.PTR[*x*:0]

EVIN_EN.EVIN₁CPEN、CAP_EN.VBATLCPENなど
→ ***CPEN

目次

ETM63J 改訂履歴.....	i
43 ページバックアップ電池実装時の注意 を新たに追加しました.....	i
はじめに.....	ii
本書内の表記や記号について.....	ii
数値の表記.....	ii
レジスター/ビット名の表記.....	ii
チャンネル番号の表記.....	ii
目次.....	iii
1 概要.....	1
1.1 特長.....	1
1.2 ブロック図.....	2
RX4901CE.....	2
RX8901CE.....	3
1.3 端子.....	4
1.3.1 端子配置図.....	4
RX4901CE.....	4
RX8901CE.....	4
1.3.2 端子説明.....	4
記号の意味.....	4
2 電源と初期化.....	6
2.1 電源.....	6
2.2 初期化.....	8
2.2.1 電源投入シーケンス.....	8
2.2.2 発振開始時間.....	8
2.2.3 初期設定.....	10
初期設定手順.....	10
2.3 動作モード.....	11
V _{DD} 立ち上がり待機状態.....	11
イニシャルモード.....	11
ノーマルモード.....	11
ノーマルモード (バックアップモードへ移行可能).....	11
バックアップモード.....	11
3 機能.....	13
3.1 ホストインターフェイス.....	13
3.1.1 RX4901CE レジスターへのアクセス (SPI).....	13
SPI インターフェイス端子.....	13
レジスターライト.....	14
レジスターリード.....	15
3.1.2 RX8901CE レジスターへのアクセス (I ² C-Bus).....	16
I ² C-Bus インターフェイス端子.....	16
スレーブアドレス.....	16
レジスターライト.....	16
レジスターリード.....	17
3.2 時計/カレンダー機能.....	18
3.2.1 概要.....	18
3.2.2 動作.....	19
計時バッファを介した時計/カレンダーカウンタへのアクセス.....	19
時計/カレンダーの初期設定と計時の開始.....	21
時計/カレンダーの読み出し.....	21
うるう年の判定.....	22
うるう秒の挿入手順.....	22
3.3 温度補償機能.....	23
3.3.1 動作.....	23
温度補償間隔の設定.....	23
温度補償動作フラグ VTMP LF フラグ (0x0E).....	23

3.4	時刻更新割り込み機能	24
3.4.1	概要.....	24
3.4.2	動作.....	24
	割り込み周期の選択.....	24
	割り込み許可/禁止手順.....	24
	割り込み動作.....	25
3.5	アラーム機能	26
3.5.1	概要.....	26
3.5.2	動作.....	26
	アラーム設定手順.....	26
	アラーム設定例.....	27
	アラーム割り込み.....	28
3.6	ウェイクアップタイマー機能	29
3.6.1	概要.....	29
3.6.2	動作.....	29
	ソースクロック.....	29
	プリセットデータ (ウェイクアップタイマー割り込み周期).....	29
	カウント動作条件.....	30
	ウェイクアップタイマー設定手順.....	30
	カウントアップの開始.....	31
	一時停止.....	31
	カウンターデータの読み出し.....	32
	カウンターのリセット.....	32
	ウェイクアップタイマー割り込み.....	32
3.7	FOUT 出力機能	34
3.7.1	概要.....	34
3.7.2	動作.....	34
	初期設定.....	34
	FOUT 出力の制御 (FOE 端子を使用しない場合).....	34
	FOUT 出力の制御 (FOE 端子を使用する場合).....	35
	FOUT 端子からのウェイクアップタイマー割り込み信号出力.....	35
3.8	自己監視機能	36
3.8.1	概要.....	36
3.8.2	自己監視フラグ機能.....	36
	パワーオンリセット発生検出: PORF フラグ.....	36
	水晶発振停止検出: OSCSTPF フラグ.....	36
	日時データ無効警告: VLF フラグ.....	36
	V _{DD} 電圧低下検出: VDDLFL フラグ.....	36
	V _{BAT} 電圧低下検出: VBATLFL フラグ.....	37
	温度補償更新停止検出: VTMLPLFL フラグ.....	37
3.9	バックアップ電源切り替え機能	38
3.9.1	概要.....	38
3.9.2	動作.....	38
	動作モード.....	38
	バックアップ電源切り替え機能を使用する場合の設定.....	39
	バックアップ電源切り替え機能を使用しない場合の設定.....	39
	バックアップ電源切り替えの動作.....	39
	小容量 EDLC 使用時の注意.....	43
	バックアップ電池実装時の注意.....	43
3.10	タイムスタンプ機能	44
3.10.1	概要.....	44
3.10.2	タイムスタンプトリガー.....	45
	外部イベント入力 (EVINn 端子)トリガー.....	45
	内部イベントトリガー.....	47
	コマンドトリガー.....	47
3.10.3	タイムスタンプバッファ.....	47
	タイムスタンプデータ.....	47
	タイムスタンプバッファの動作モード.....	48
	タイムスタンプバッファの書き込みモード.....	49
3.10.4	動作.....	49
	初期設定.....	49

タイムスタンプキャプチャー動作	52
コマンドトリガーの発行	56
タイムスタンプデータの読み出し	58
タイムスタンプデータのクリア	61
3.10.5 タイムスタンプ (イベント検出) 割り込み	62
4 レジスター	63
4.1 レジスタ一覧	63
記号の意味	63
Bank 0	63
Bank 1	64
Bank 2	64
Bank 3	65
Bank 4	65
Bank 5	65
Bank 6 (FIFO モードでのタイムスタンプデータ読み出し時)	66
Bank 6 (ダイレクトモードでのタイムスタンプデータ読み出し時)	66
Bank 6 (SRAM モード)	66
4.2 レジスタ詳細説明	67
0x00: SEC (Second Data)	67
0x01: MIN (Minute Data)	67
0x02: HOUR (Hour Data)	67
0x03: WEEKDAY (Day-of-Week Data)	67
0x04: DAY (Day Data)	68
0x05: MONTH (Month Data)	68
0x06: YEAR (Year Data)	68
0x07: ALM_MIN (Minute Alarm)	69
0x08: ALM_HOUR (Hour Alarm)	69
0x09: ALM_WEEKDAY (Day-of-Week Alarm / Day Alarm)	70
0x0A: WTCNT_L (Wakeup Timer Counter Low)	71
0x0B: WTCNT_M (Wakeup Timer Counter Middle)	71
0x0C: WTCNT_H (Wakeup Timer Counter High)	71
0x0D: TCTL (Timer Control)	71
0x0E: INTF (Status Flag)	73
0x0F: TSTP_INTE (Timer Stop and Interrupt Enable)	74
0x10: SUBSEC_L (Sub-Second Data Low)	75
0x11: SUBSEC_H (Sub-Second Data High)	75
0x12: SEC_MIR (Mirrored Second Data, = 0x00)	76
0x13: MIN_MIR (Mirrored Minute Data, = 0x01)	76
0x14: HOUR_MIR (Mirrored Hour Data, = 0x02)	76
0x15: WEEKDAY_MIR (Mirrored Day-of-Week Data, = 0x03)	76
0x16: DAY_MIR (Mirrored Day Data, = 0x04)	76
0x17: MONTH_MIR (Mirrored Month Data, = 0x05)	76
0x18: YEAR_MIR (Mirrored Year Data, = 0x06)	77
0x20: EVIN_EN (Event Input Enable)	77
0x21: EVIN1_CFG (EVIN1 Configuration)	77
0x23: EVIN2_CFG (EVIN2 Configuration)	77
0x25: EVIN3_CFG (EVIN3 Configuration)	77
0x22: EVIN1_FLT (EVIN1 Noise Filter)	78
0x24: EVIN2_FLT (EVIN2 Noise Filter)	78
0x26: EVIN3_FLT (EVIN3 Noise Filter)	78
0x27: BUF1_CFG1 (BUF1 Configuration 1)	79
0x2A: BUF2_CFG1 (BUF2 Configuration 1)	79
0x2D: BUF3_CFG1 (BUF3 Configuration 1)	79
0x28: BUF1_STAT (BUF1 Status)	80
0x2B: BUF2_STAT (BUF2 Status)	80
0x2E: BUF3_STAT (BUF3 Status)	80
0x29: BUF1_CFG2 (BUF1 Configuration 2)	80
0x2C: BUF2_CFG2 (BUF2 Configuration 2)	80
0x2F: BUF3_CFG2 (BUF3 Configuration 2)	80
0x30: ALM_SEC (Second Alarm)	81
0x31: ALM_MIN_MIR (Mirrored Minute Alarm, = 0x07)	82
0x32: ALM_HOUR_MIR (Mirrored Hour Alarm, = 0x08)	82
0x33: ALM_WEEKDAY_MIR (Mirrored Day-of-Week Alarm / Day Alarm, = 0x09)	82
0x34: UPDISSEL (Time Update Interrupt Select)	82

0x37: PWSW_CFG (Power Switch Configuration)	82
0x38: WTICFG (Wakeup Timer Interrupt Configuration)	83
0x39: WTCTL (Wakeup Timer Control)	84
0x3A: WTCNT_L_MIR (Mirrored Wakeup Timer Counter Low, = 0x0A)	85
0x3B: WTCNT_M_MIR (Mirrored Wakeup Timer Counter Middle, = 0x0B)	85
0x3C: WTCNT_H_MIR (Mirrored Wakeup Timer Counter High, = 0x0C)	85
0x41: WRCMD_CFG (Write Command Configuration)	85
0x42: WRCMD_TRG (Write Command Trigger)	86
0x43: EVNT_INTE (Event Interrupt Enable)	87
0x44: CAP_EN (Capture Enable)	88
0x46: BUF_INTF (Buffer Interrupt Factor)	88
0x47: EVNT_INTF (Event Interrupt Factor)	89
0x4E: BUF_FULLF (Buffer Full Flag)	90
0x4F: BUF_OVWF (Buffer Overwrite Flag)	90
0x51: EVIN1_EVCNT (EVIN1 Event Counter)	91
0x52: EVIN2_EVCNT (EVIN2 Event Counter)	91
0x53: EVIN3_EVCNT (EVIN3 Event Counter)	91
0x54: EVINMON (EVIN Monitor)	91
5 電気的特性	92
5.1 絶対最大定格	92
5.2 推奨動作条件	92
5.3 周波数特性	92
5.4 DC 特性	93
DC 特性	93
温度補償回路動作と消費電流	94
バックアップ電源切り替え素子特性 (参考)	94
5.5 AC 特性	96
RX4901CE AC 特性	96
RX8901CE AC 特性	97
5.6 電源投入特性	98
6 パッケージ	99
6.1 外形寸法図	99
6.2 マーキングレイアウト	99
7 実装上の注意事項	100
静電気	100
ノイズ	100
入力端子の電圧	100
未使用入力端子の処理	100
はんだ付け温度	100
実装機	100
超音波洗浄	100
実装方向	100
端子間リーク	100
8 参考回路例	101
図表一覧	103
図	103
表	104

1 概要

RX4901CE/RX8901CEは、32.768 kHzデジタル温度補償型水晶発振器 (DTCXO) を搭載したRTC(リアルタイムクロック) モジュールです。RTCの基本機能である時刻カレンダー、時刻アラーム、ウェイクアップタイマー、時刻更新割り込みに加え、外部または内部のイベント発生日時を最大32回記録可能なタイムスタンプなどの、豊富な機能があります。さらに、主電源への電流逆流防止制御を含むバックアップ電源自動切り替え機能や、常時温度補正された32.768 kHzのクロック出力と、独自の低消費電流技術の組み合わせにより、各種システムの時計カレンダー情報やタイムスタンプの長期運用を実現します。

RX4901CE XS A0
① ② ③

- ① 機種名 CE タイプパッケージ 3.2 x 2.5 x 1.0 mm
② 周波数精度
③ Pin Option A0~D0 : Option A~D

表 1.1 製品ラインナップ

製品名称	インターフェイス	デフォルト端子機能		周波数精度 *3	
		Pin 4 *1	Pin 10 *2		
RX4901CE Option A XS	3線SPI	FOUT	EVIN2	XS	
RX4901CE Option A XB					XB
RX4901CE Option B XS		EVIN3			XS
RX4901CE Option B XB					XB
RX4901CE Option C XS	4線SPI	FOUT	DI	XS	
RX4901CE Option C XB					XB
RX4901CE Option D XS		EVIN3			XS
RX4901CE Option D XB					XB
RX8901CE Option A XS	I ² C-Bus	FOUT	EVIN2	XS	
RX8901CE Option A XB					XB
RX8901CE Option B XS		EVIN3			XS
RX8901CE Option B XB					XB

*1 製品によりPin 4のデフォルト機能が異なります。起動後にレジスターの設定によってFOUT(クロック出力) 端子またはEVIN3(外部イベント入力) 端子に切り替え可能です。

*2 Option A/B Pin 10のデフォルト機能はEVIN2です。起動後にレジスターの設定によってFOE (FOUT出力制御) 端子に切り替え可能です。

*3 XSとXB(精度)の違いについては、“5.3 周波数特性”の周波数安定度を参照してください。

1.1 特長

表 1.2 特長

製品ラインナップ	RX4901CE				RX8901CE	
	Option A	Option B	Option C	Option D	Option A	Option B
ホストインターフェイス	3線SPI		4線SPI		I ² C-Bus	
水晶発振器	32.768 kHzデジタル温度補償型水晶発振器 (DTCXO) を搭載					
時計/カレンダー	<ul style="list-style-type: none"> 秒、分、時、日、月、年をカウントするBCDカウンターならびに曜日カウンター、1/1024秒をカウントするバイナリーカウンターを搭載 うるう年の自動補正機能搭載 うるう秒補正操作可能 時刻更新割り込みを発生可能 (1秒、1分、1時間の各時刻 (カウンター) 更新時) 					
ウェイクアップタイマー	<ul style="list-style-type: none"> 976.56 μs ~ 32年周期で割り込みを発生可能 主電源動作あるいはバックアップ電源動作の積算時間計として使用可能 					
アラーム	秒から日 (または曜日) までを指定し、割り込みを発生可能					
タイムスタンプ	トリガー要因	外部イベント (EVIN) 入力、RTC内電圧低下/発振停止検出、ホストからのコマンド入力				
	記録データ	1/1024秒 ~ 1秒、秒、分、時、日、月、年、トリガー要因、内部ステータス				
	記録可能なイベント数	最大32イベント				
	外部イベント入力端子 *1	(EVIN2)、(EVIN3)		(EVIN3)	EVIN1、(EVIN2)、(EVIN3)	
SRAMメモリー	容量、256バイトを搭載 (タイムスタンプデータの記録領域と兼用)					
クロック出力 (FOUT) *1	<ul style="list-style-type: none"> 32.768 kHz、1024 Hz、または1 Hz出力を選択可能 レジスターまたはFOE入力 (レジスター選択) により出力を制御可能 					
自己監視機能	発振停止、V _{DD} /V _{BAT} 電圧低下を検出し割り込みを発生可能					

製品ラインナップ	RX4901CE				RX8901CE	
	Option A	Option B	Option C	Option D	Option A	Option B
バックアップ電源切り替え機能	<ul style="list-style-type: none"> • V_{DD}/V_{BAT} 電圧を監視し、ノーマルモード (V_{DD}動作) とバックアップモード (V_{BAT}動作) を切り替え • バックアップ二次電池/容量の充電制御 					
動作電圧 (V_{DD})	1.60 V ~ 5.5 V					
動作温度	-40 °C ~ +105 °C					

*1 EVIN3入力とFOUT出力はどちらか一方のみ使用可能です。EVIN2入力とFOE入力とはどちらか一方のみ使用可能です。

1.2 ブロック図

RX4901CE

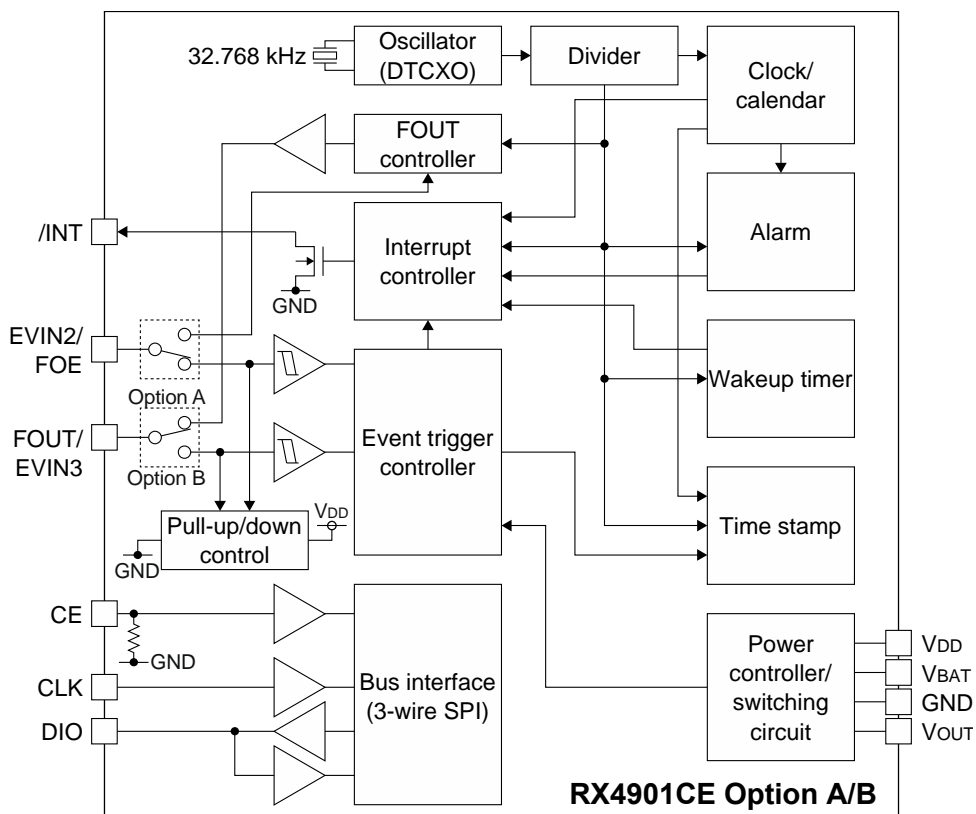


図 1.1 RX4901CE Option A/Bブロック図

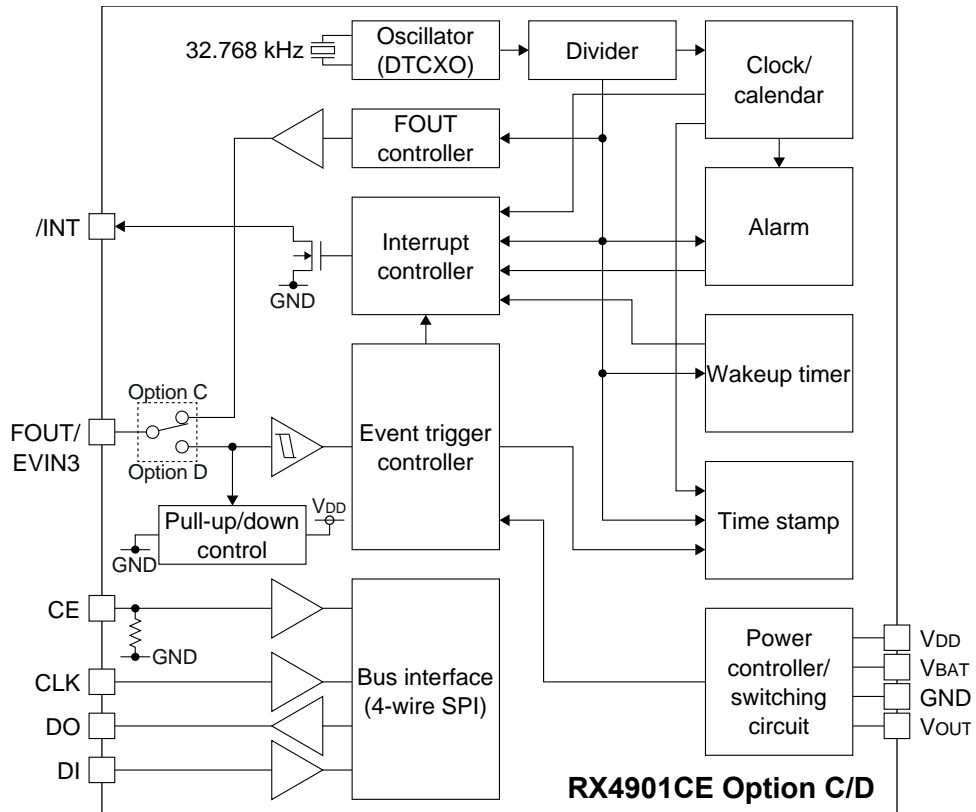


図 1.2 RX4901CE Option C/Dブロック図

RX8901CE

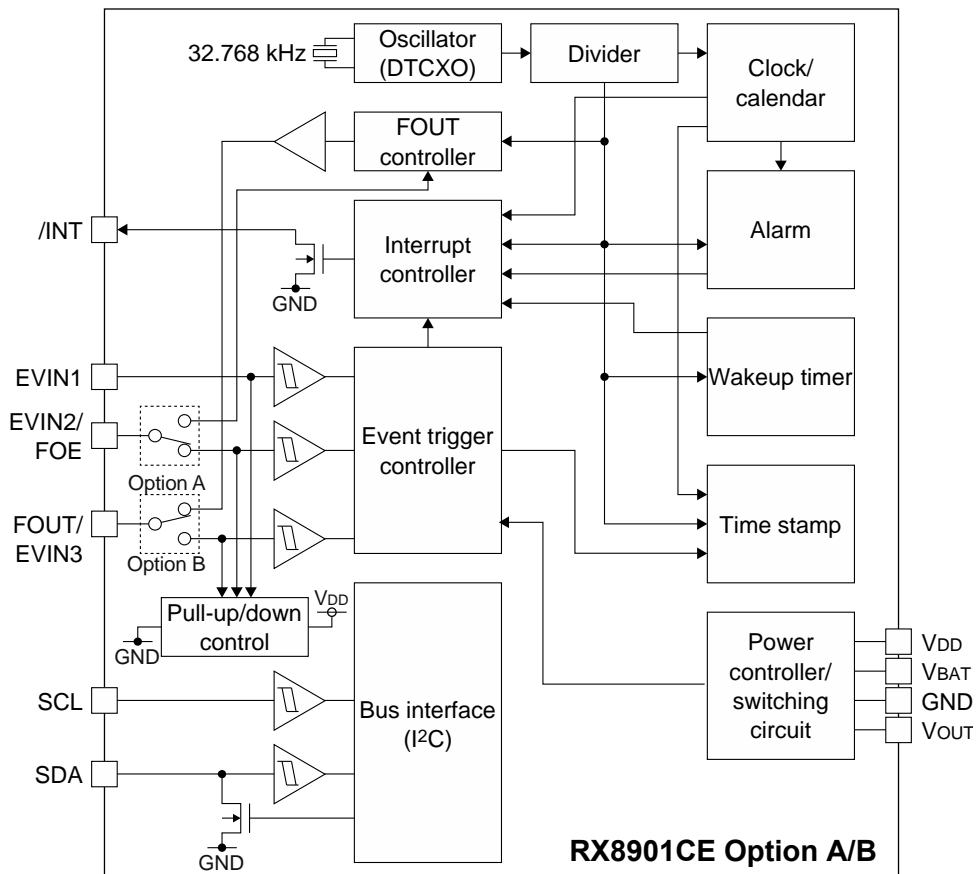


図 1.3 RX8901CE Option A/Bブロック図

1.3 端子

1.3.1 端子配置図

RX4901CE

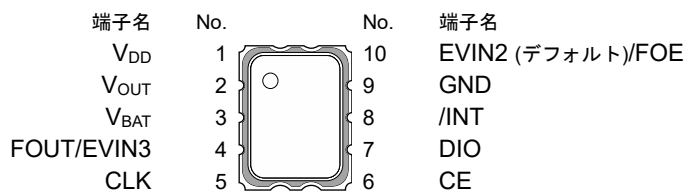


図 1.4 RX4901CE Option A/B端子配置図

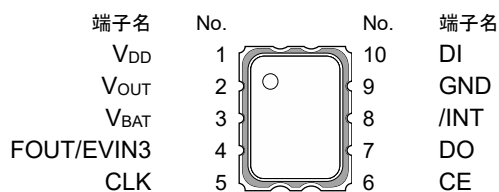


図 1.5 RX4901CE Option C/D端子配置図

RX8901CE

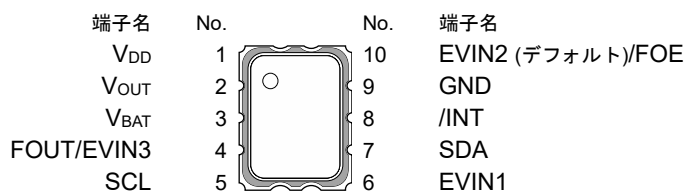


図 1.6 RX8901CE Option A/B端子配置図

1.3.2 端子説明

記号の意味

入出力	I:	入力端子
	O:	出力端子
	I/O:	入出力端子
初期状態	Hi-Z:	ハイインピーダンス
	PU:	プルアップ
	PD:	プルダウン
機種別欄	✓:	あり
	*1:	EVIN3入力とFOUT出力はどちらか一方のみ使用可能 (レジスターで選択)
	*2:	EVIN2入力とFOE入力とはどちらか一方のみ使用可能 (レジスターで選択)
	-:	なし

表 1.3 端子説明

端子名	入出力	初期状態	機能	RX4901CE				RX8901CE	
				A	B	C	D	A	B
EVIN1	I	PU (1 MΩ)	外部イベント入力端子 これらの端子の入力信号がタイムスタンプのトリガーとして使用されます (バックアップ時でも検出可能)。 プログラマブルなプルアップ/プルダウン抵抗とノイズフィルターを内蔵しています。	-	-	-	-	✓	✓
EVIN2		✓ ^{*2}		✓ ^{*2}	-	-	✓ ^{*2}	✓ ^{*2}	
EVIN3		(✓) ^{*1}		✓ ^{*1}	(✓) ^{*1}	✓ ^{*1}	(✓) ^{*1}	✓ ^{*1}	
CLK	I	Hi-Z	3線/4線SPIシリアルクロック入力端子 本端子はノーマルモードではフローティング状態禁止です。バックアップモードではフローティング状態が許可されます。	✓	✓	✓	✓	-	-
DIO	I/O	Hi-Z	3線SPIシリアルデータ入出力端子 本端子はノーマルモードではフローティング状態禁止です。バックアップモードではフローティング状態が許可されます。	✓	✓	-	-	-	-
DO	O	Hi-Z	4線SPIシリアルデータ出力端子	-	-	✓	✓	-	-
DI	I	Hi-Z	4線SPIシリアルデータ入力端子 本端子はノーマルモードではフローティング状態禁止です。バックアップモードではフローティング状態が許可されます。	-	-	✓	✓	-	-
CE	I	PD (300 kΩ)	3線/4線SPIスレーブセレクト入力端子 プルダウン抵抗を内蔵しています。	✓	✓	✓	✓	-	-
SCL	I	Hi-Z	I ² C-Busシリアルクロック入力端子 本端子はノーマルモードではフローティング状態禁止です。バックアップモードではフローティング状態が許可されます。 外部で5.5 Vまでプルアップすることが可能です。	-	-	-	-	✓	✓
SDA	I/O	Hi-Z	I ² C-Busシリアルデータ入出力端子 (N-chオープンドレイン) 本端子はノーマルモードではフローティング状態禁止です。バックアップモードではフローティング状態が許可されます。 外部で5.5 Vまでプルアップすることが可能です。	-	-	-	-	✓	✓
FOUT	O	Hi-Z	クロック出力端子 (CMOS) 32.768 kHz (デフォルト)、1024 Hz、1 Hz出力が選択可能です。 ウェイクアップタイマー割り込み出力 (CMOS) に切り替え可能です。	✓ ^{*1}	(✓) ^{*1}	✓ ^{*1}	(✓) ^{*1}	✓ ^{*1}	(✓) ^{*1}
FOE	I	Hi-Z	FOUT出力制御端子 本端子は、ノーマルモードでもバックアップモードでも、フローティング状態禁止です。	(✓) ^{*2}	(✓) ^{*2}	-	-	(✓) ^{*2}	(✓) ^{*2}
/INT	O	Hi-Z	割り込み出力端子 (N-chオープンドレイン) ウェイクアップタイマー/時刻更新/アラーム/イベント検出割り込み信号の出力が選択可能で、複数選択時はNOR出力となります。 本端子は、バックアップモードでも有効となります。 外部で5.5 Vまでプルアップすることが可能です。	✓	✓	✓	✓	✓	✓
V _{DD}	-	-	主電源端子 ノーマルモード時は、この端子から内部に電源が供給されます。	✓	✓	✓	✓	✓	✓
V _{OUT}	-	-	内部動作電圧出力端子 バックアップ電源切り替え機能使用時は、1.0 μFの安定化コンデンサを接続してください。	✓	✓	✓	✓	✓	✓
V _{BAT}	-	-	バックアップ電源端子 大容量キャパシタ (EDLC)、二次電池、一次電池等のバックアップ用電源を接続してください。 バックアップモード時は、この端子から電源が供給されます。	✓	✓	✓	✓	✓	✓
GND	-	-	グラウンド端子	✓	✓	✓	✓	✓	✓

注: • 未使用の入力/入出力端子は、内蔵プルアップ/プルダウンが有効でない場合、オープンや中間電位にしないでください。

- FOUT出力、/INT出力を使用しない場合はオープンにしてください。
- すべての入力/入出力端子は、動作電源電圧にかかわらず5.5 Vまで入力可能な、入力トレラント構成です。

2 電源と初期化

2.1 電源

RX4901CE/RX8901CEの電源端子を下表に示します。

表 2.1 電源端子一覧

端子名	機能
V _{DD}	主電源端子 ノーマルモード時は、この端子から内部に電源が供給されます。
V _{OUT}	内部動作電圧出力端子 1 μ Fの安定化コンデンサを接続してください。
V _{BAT}	バックアップ電源端子 大容量キャパシタ (EDLC)、二次電池、一次電池等のバックアップ用電源を接続してください。 バックアップモード時は、この端子から電源が供給されます。
GND	グラウンド端子

RX4901CE/RX8901CEの通常動作時は、V_{DD}に供給されている主電源電圧で動作します (ノーマルモード)。V_{DD}電圧が規定以下に低下した場合には、ホストインターフェイスが使用できなくなるものの、V_{BAT}に供給されているバックアップ電源電圧にRTCの電源が切り替わり、発振回路と時計/カレンダー機能を維持し、内部データを保持します (バックアップモード)。この電源の切り替えは、バックアップ電源切り替え回路により自動的に行われます (詳細は“3.9 バックアップ電源切り替え機能”を参照)。
動作電源電圧範囲については、“5.2 推奨動作条件”を参照してください。
電源切り替え回路の構成を以下に示します。

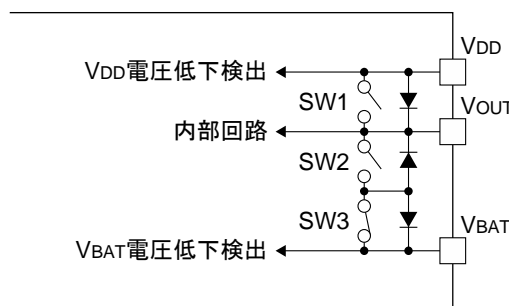
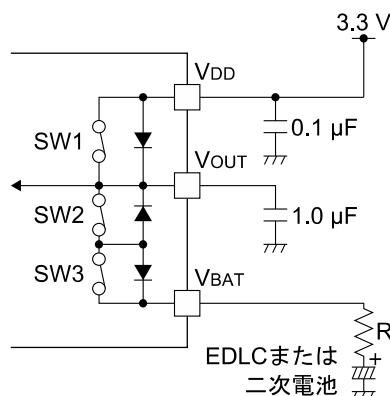


図 2.1 電源切り替え回路

電源の接続例を以下に示します。

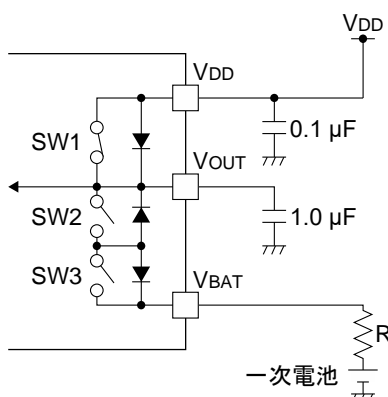
(1) 二次電池を使用した電源バックアップ構成例



(PWSW_CFG.INIEN = 1, PWSW_CFG.CHGEN = 1)

図 2.2 電源接続例 (1)

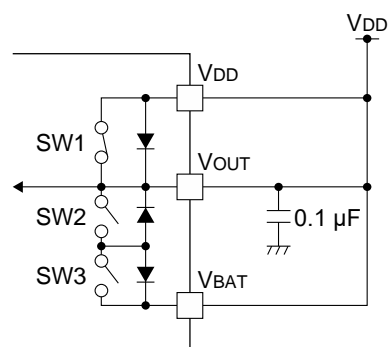
(2) 一次電池を使用した電源バックアップ構成例



(PWSW_CFG.INIEN = 1, PWSW_CFG.CHGEN = 0)

図 2.3 電源接続例 (2)

(3) 単一電源の構成例 (電源バックアップなし)

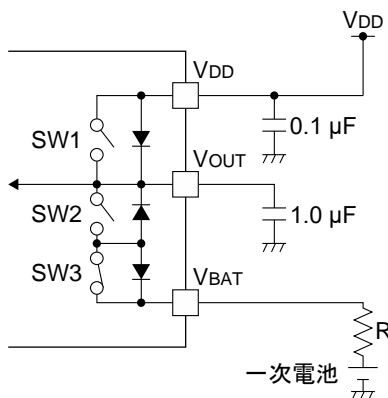


VDD、VBAT、VOUTをすべてショートしてください。

(PWSW_CFG.INIEN = 0, PWSW_CFG.CHGEN = 0, PWSW_CFG.SWSEL[1:0] = 0b10)

図 2.4 電源接続例 (3)

(4) 一次電池を使用した電源バックアップ構成例 (電源バックアップ機能不使用)



外部主電源と一次電池をRX4901CE/RX8901CEのダイオードを介して並列に接続

(PWSW_CFG.INIEN = 0, PWSW_CFG.CHGEN = 0, PWSW_CFG.SWSEL[1:0] = 0b01)

図 2.5 電源接続例 (4)

注: 各バイパスコンデンサは可能な限り各端子の直近に配置してください。

- V_{BAT}端子に外部電源デバイスや大型電池を接続する場合は、必要に応じてV_{BAT}端子に0.1 μF以上のバイパスコンデンサを接続してください。
- 電源切り替え機能を動作させる場合、V_{OUT}端子には1 μFを接続してください。

2.2 初期化

2.2.1 電源投入シーケンス

RX4901CE/RX8901CEの電源投入時は、先に供給された V_{DD} または V_{BAT} 電圧でパワーオンリセットが実行されます。確実にパワーオンリセットを実行させるため、電源スロープ (tr_1 、“5.6 電源投入特性”参照) の仕様を満足させてください。図 2.6の t_{CL} は、パワーオンリセットが解除されるまでの時間を示しています。

V_{DD} および V_{BAT} 電源をOFFした後に再度電源をONする場合は、その間に $V_{DD} = V_{BAT} = GND$ の状態を100ms以上保持し、その後は初回の電源立ち上げの仕様を満足するように、電源を再投入してください。

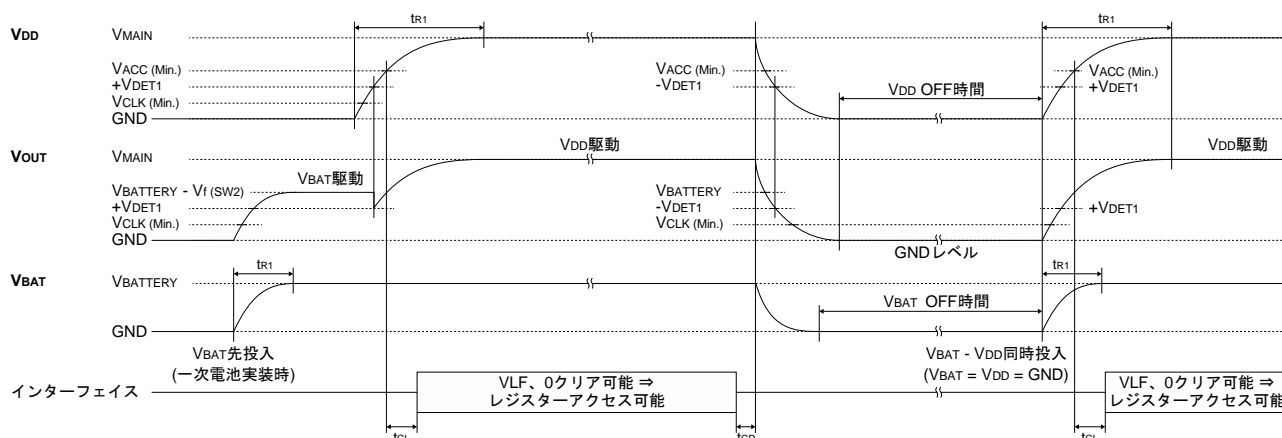


図 2.6 電源投入シーケンス

2.2.2 発振開始時間

V_{DD} または V_{BAT} 電圧が投入されると、水晶発振回路が発振を開始します。また、 V_{DD} 投入から40 ms後にホストインターフェイスが利用可能になります。ただし、時計/カレンダーカウンターの設定/読み出しができるようになるためには、水晶発振回路の内部波形の振幅が十分な大きさになるまでの待ち時間が必要です。これが、発振開始時間 (t_{STA} 、“5.3 周波数特性”参照) です。

この待ち時間を確保するためには、INTF.OSCSTPFビットとINTF.VLFビットのクリアを繰り返し試行する方法か、 V_{DD} または V_{BAT} 電圧の投入開始から t_{STA} が経過するまでホスト側で待機する方法があります。前者の方法は、時計/カレンダーカウンターを設定/読み出しができるようになるまでの待機時間が、より短くなります。一方後者の方法は、より待ち時間が長い分、水晶発振回路の周波数が安定するため、より高い時刻精度で時計/カレンダーカウンターを設定できます。

INTF.OSCSTPFビットとINTF.VLFビットは、水晶発振回路が発振を開始した直後は、発振停止検出によって1にセットされます。この間は、これらのビットにホストインターフェイスを介して0を書き込んでも、0にクリアできません。その後しだいに内部発振波形の振幅が成長すると、発振停止検出が解除され、INTF.OSCSTPFビットとINTF.VLFビットがクリア可能になります。したがって、任意の時間間隔でこれらのビットのクリアを試行し、クリアできるようになった時点で、時計/カレンダーカウンターの設定/読み出しが可能になります。

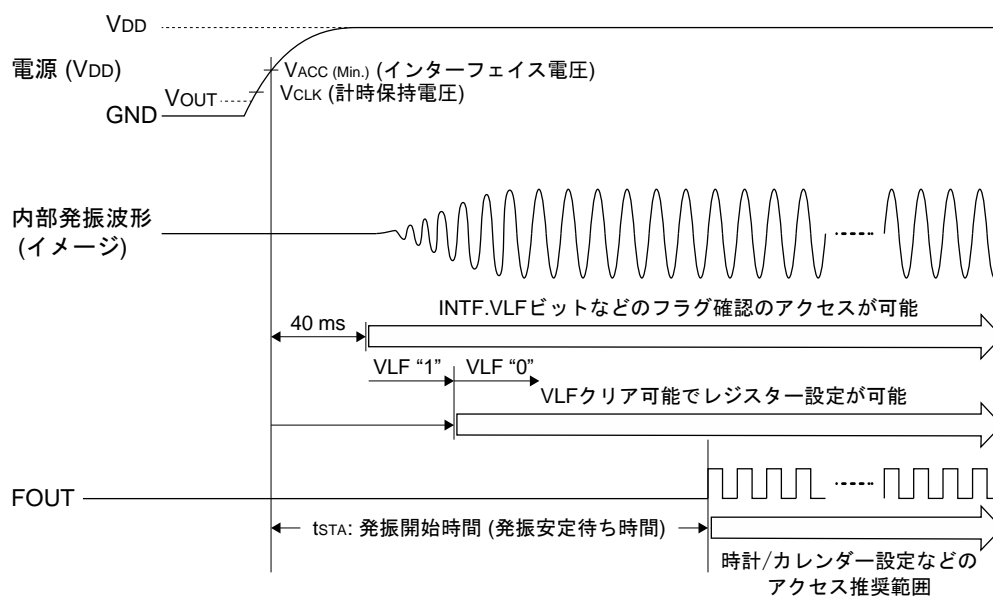
電源 (V_{DD}) 投入時

図 2.7 発振開始シーケンス

バックアップモードからノーマルモードへの復帰時

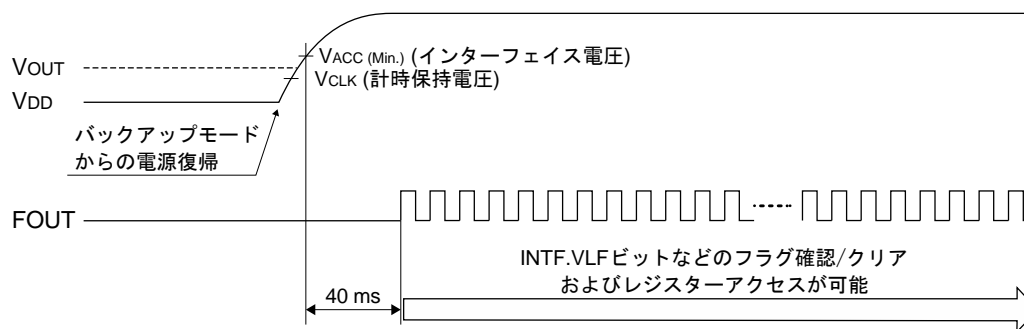


図 2.8 バックアップモードからの復帰

2.2.3 初期設定

初期電源投入時とバックアップ中のINTF.VLFビット = 0 → 1を伴う電圧低下発生後は初期設定が必要です。その一例を以下に示します。

初期設定手順

1. 電源投入後、あるいはバックアップモードからの復帰後、40 ms以上の待ち時間を取る。
2. POR解除と発振開始の検出 (INTF.VLFビットのポーリング)
INTF.VLFビットは、電源電圧の低下によるパワーオンリセットの発行、または発振停止を検出した場合に1にセットされます。
 - 2.1. INTF.VLFビットを読み出し、値が0だった場合は手順3へ
INTF.VLFビット = 1の場合は、以下項目の2.2.~2.4.の処理を行う。
 - 2.2. レジスターINTFに0x00を書き込み、INTF.VLFビットのクリアの試行、および割り込みフラグのクリアをする。

- PORFビット	(パワーオンリセット検出フラグ)
- OSCSTPFビット	(発振停止検出フラグ)
- UFビット	(時刻更新割り込みフラグ)
- TFビット	(ウェイクアップタイマー割り込みフラグ)
- AFビット	(アラーム割り込みフラグ)
- EVFビット	(イベント検出割り込みフラグ)
- VLFビット	(RTC初期化割り込みフラグ)
- VTMLPFビット	(温度補償動作停止検出割り込みフラグ)
 - 2.3. 任意の待ち時間を取る。
 - 2.4. 手順2.1へ戻る。
3. バックアップモードからの復帰だった場合は、初期設定終了。そうでない場合は手順4へ
4. バックアップ電源切り替え機能の設定 (レジスターPWSW_CFG)

- CHGENとINIENビット	(バックアップバッテリー充電イネーブル/ディスエーブル)
- VBATLDETENとVBATLDETBKビット	(V _{BAT} 電圧検出イネーブル/ディスエーブル)
- SWSEL[1:0]ビット	(電源切り替えSWの設定)
- VDDSAAMP[1:0]ビット	(V _{DD} 電圧サンプリング周期の設定)

 詳細は、“3.9 バックアップ電源切り替え機能”を参照してください。
5. Pin4, Pin10の端子割り当て機能の設定 (レジスターWTICFG)

- FOEMUXビット	(Pin 10: EVIN2またはFOEの選択)
- EVIN3MUXビット	(Pin 4: FOUTまたはEVIN3の選択)

 * RX4901CE Option C/DではPin 10の機能を選択することはできません。
6. 割り込み/カウンターのディスエーブル (レジスターTSTP_INTEに0x00を書き込む)

- CSEL[1:0]ビット	(温度センサー測定動作間隔)
- UIEビット	(時刻更新割り込みディスエーブル)
- TIEビット	(ウェイクアップタイマー割り込みディスエーブル)
- AIEビット	(アラーム割り込みディスエーブル)
- EIEビット	(イベント発生割り込みディスエーブル)
- STOPビット	(カウンタストップ)
7. 現在時刻の設定
詳細は、“3.2 時計/カレンダー機能”を参照してください。
8. アラームの設定
詳細は、“3.5 アラーム機能”を参照してください。
9. ウェイクアップタイマーの設定
詳細は、“3.6 ウェイクアップタイマー機能”を参照してください。

2.3 動作モード

RX4901CE/RX8901CEには、5つの動作モードがあります。

V_{DD}立ち上がり待機状態

V_{DD}よりも先にバックアップバッテリーを接続するなどしてV_{BAT}電源が+V_{Low}電圧よりも高くなると、この状態になります。32 kHzの発振回路が動作し始めます。ホストからレジスターへアクセスすることはできません。

イニシャルモード

V_{DD}が投入されてその電圧が+V_{DET1}電圧よりも高くなり、さらに40 ms経過すると、このモードになります。ホストからレジスターへアクセスできますが、32 kHzの発振回路が停止検出されているため、時計/カレンダーカウンターの設定/読み出しは無効です。また、INTF.OSCSTPFビットとINTF.VLFビットのクリアを試行しても、これらのビットはクリアされません。

ノーマルモード

RX4901CE/RX8901CEが主電源電圧V_{DD}で動作する状態です。ホストから時計/カレンダーカウンターの含む、レジスターへのアクセスが可能です。電源切り替え機能は無効で、内蔵電源SWは固定されます。

ノーマルモード (バックアップモードへ移行可能)

RX4901CE/RX8901CEが主電源電圧V_{DD}で動作する状態です。ホストから時計/カレンダーカウンターの含む、レジスターへのアクセスが可能です。主電源電圧V_{DD}の電圧検出が常に行われており、V_{DD}がV_{DD}立ち下がり時検出電圧-V_{DET1}以下になると、バックアップモードに遷移します。

バックアップモード

RX4901CE/RX8901CEがバックアップ電源V_{BAT}で動作する状態です。バックアップ電源V_{BAT}からV_{DD}電源へ電流が流れ込まないよう、内蔵電源スイッチSW1が自動的に遮断状態になり、V_{DD}端子はV_{BAT}から切り離されます。

ホストインターフェイスは無効になり、CE, CLK, DI, DIO, SDA, SCL入力はフローティング状態にすることができます。また、DO端子とFOUT出力はHi-Zになります。

V_{BAT}電圧が計時電源電圧V_{CLK}以上であれば、時計/カレンダー機能やEVIN_n入力、/INT出力は、ノーマルモードと同様に機能します。

動作モード間の遷移を図 2.9に示します。

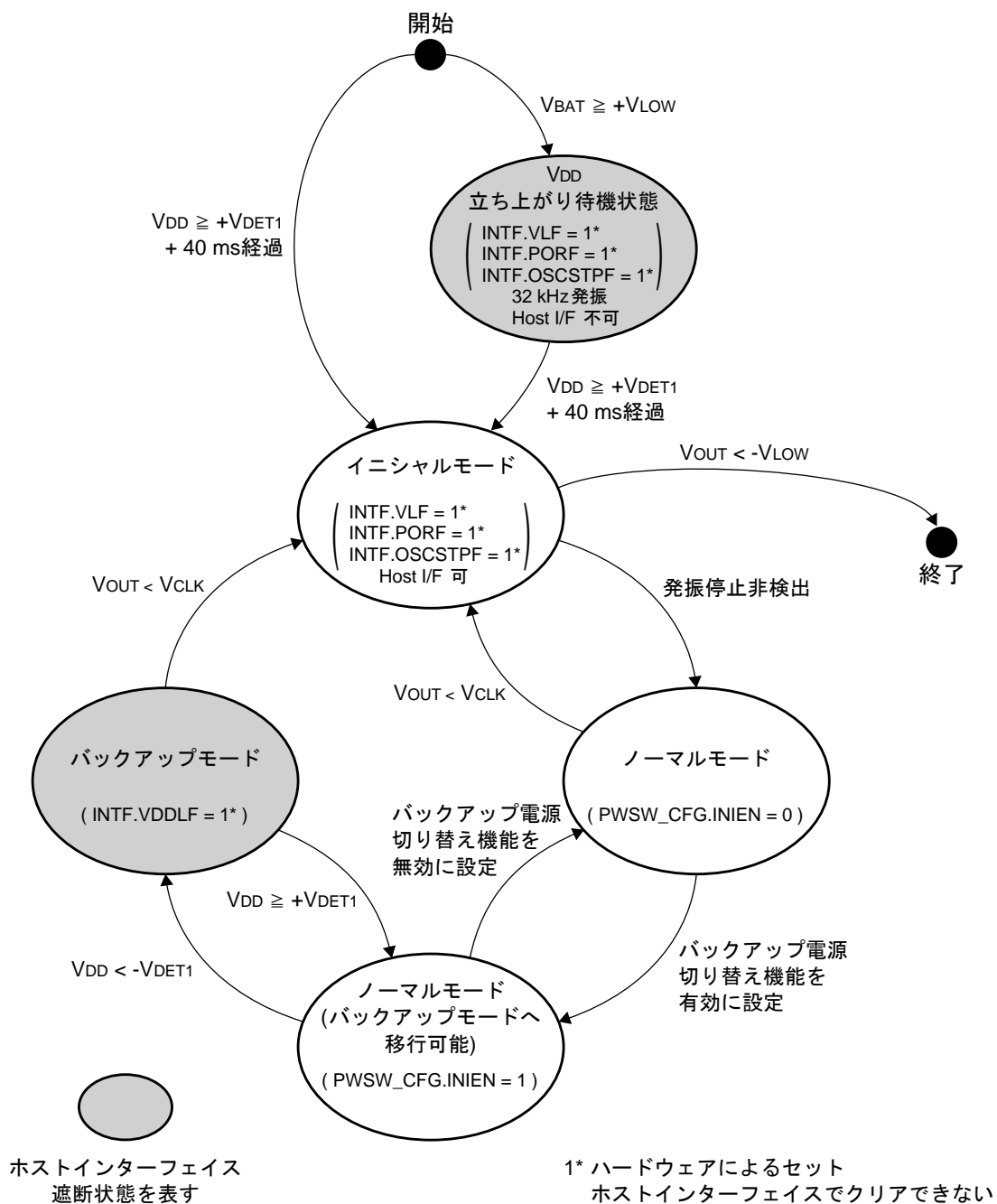


図 2.9 状態遷移図

3 機能

3.1 ホストインターフェイス

RX4901CEはホストインターフェイスとしてSPIを、RX8901CEはI²C-Busインターフェイスを搭載し、スレーブデバイスとして機能します。

3.1.1 RX4901CEレジスタへのアクセス (SPI)

RX4901CEのレジスタはSPIバスを介してアクセスすることができます。RX4901CEのSPIインターフェイスの仕様は以下のとおりです。

- インターフェイス形式: RX4901CE Option A/B: 3線SPI、RX4901CE Option C/D: 4線SPI
- スレーブデバイス
- データ長: 8ビット
- データフォーマット: MSBファースト
- クロック極性: アイドル時HIGH
- クロック位相: データを立ち上がりエッジでサンプリング、立ち下がりエッジでシフトアウト
- 最高通信速度: 4 Mbit/s
- アドレスオートインクリメント機能を搭載
- CE (スレーブセレクト) 入力にプルダウン抵抗を内蔵

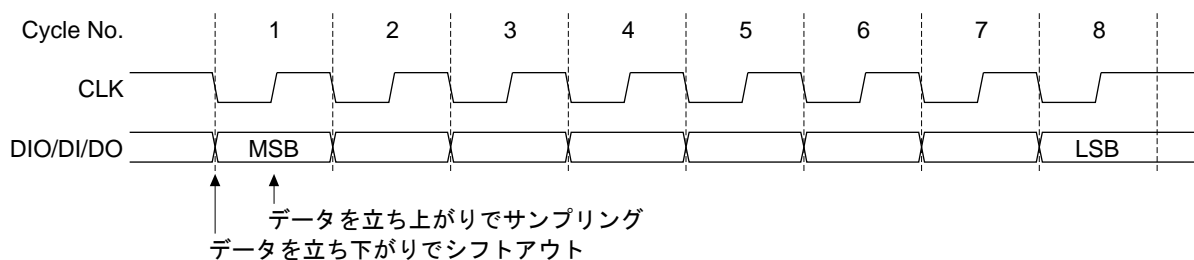


図 3.1 SPIデータフォーマット

SPIインターフェイス端子

RX4901CEには下表に示すSPIインターフェイス端子が用意されています。

表 3.1 RX4901CE Option A/B SPIインターフェイス端子

端子名	入出力	初期状態	機能
CLK	I	Hi-Z	SPIシリアルクロック入力端子
DIO	I/O	Hi-Z	SPIシリアルデータ入出力端子
CE	I	PD	SPIスレーブセレクト入力端子 (プルダウン抵抗を内蔵)

表 3.2 RX4901CE Option C/D SPIインターフェイス端子

端子名	入出力	初期状態	機能
CLK	I	Hi-Z	SPIシリアルクロック入力端子
DI	I	Hi-Z	SPIシリアルデータ入力端子
DO	O	Hi-Z	SPIシリアルデータ出力端子
CE	I	PD	SPIスレーブセレクト入力端子 (プルダウン抵抗を内蔵)

ホストとの接続

図 3.2にホストとの接続例を示します。

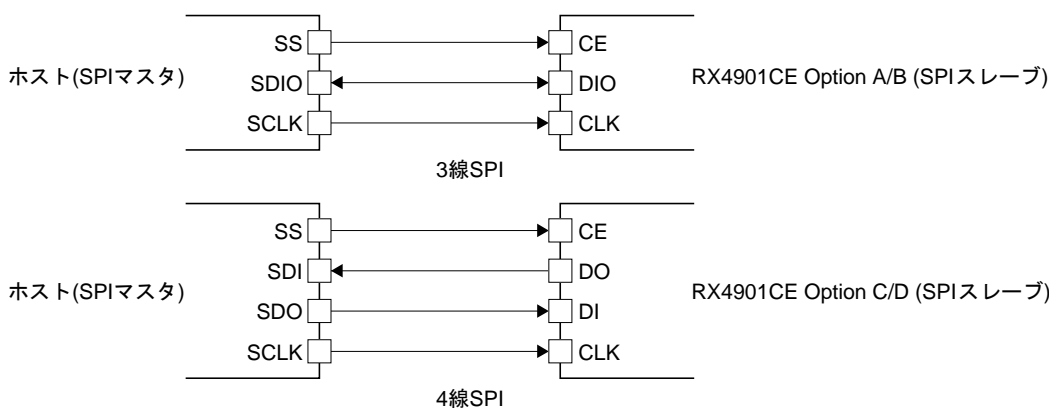


図 3.2 SPIホストとRX4901CEの接続例

プルダウン抵抗 (CE端子)

RX4901CEはCE端子にプルダウン抵抗を内蔵しています。このプルダウン抵抗はソフトウェアによって切り離すことはできません。CE端子は常時プルダウンされます。

レジスタライト

ホストはCE信号をHIGHにしてRX4901CEをスレーブデバイスとして選択した後、同期クロック (CLK) と共に書き込みモードに設定したアドレスデータ (最初にデータを書き込むレジスタアドレス) と、8ビット単位の書き込みデータをRX4901CEのDIO (Option A/B) またはDI (Option C/D) 端子に送信します。図 3.3 にデータ書き込み時の最初に送信するアドレスデータのビット構成を示します。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	7-bit address (0b000 0000–0b110 1111)						

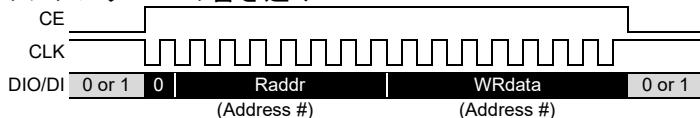
↑ 0は書き込みモードを指定

図 3.3 SPIデータライトアドレスデータ

RX4901CEレジスタへのデータライト動作を図 3.4に示します。8ビットデータの書き込みごとに、指定されたレジスタへの書き込みが行われ、それと同時に、レジスタアドレスは下位4ビットのみ自動的にインクリメントされます。レジスタアドレスの下位4ビットが0xFに達すると、ロールオーバーして0x0に戻ります。レジスタアドレスの上位3ビットは自動的にインクリメントしないため、アドレスの上位3ビットを変更する場合は、CE信号によるスレーブセレクトを一旦解除し (CE信号をLOWにする)、再度アドレスデータの送信を行ってください。

CE信号は最後の8ビットデータの送信が完了するまで解除しないでください。途中で解除した場合、途中で送信された8ビット未満の書き込みデータは破棄され、レジスタには書き込まれません。

1つのレジスタへの書き込み



複数レジスタへの連続書き込み

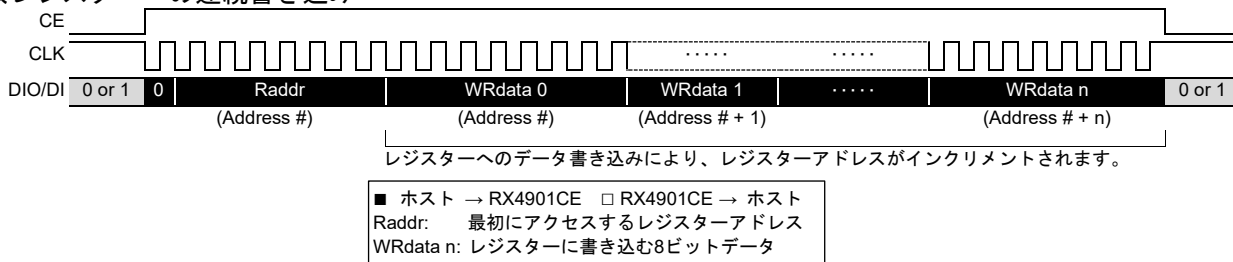


図 3.4 SPIレジスタライト

レジスタリード

ホストはCE信号をHIGHにして、RX4901CEをスレーブデバイスとして選択した後、同期クロック (CLK) を出力します。同時にそのクロックに同期して、読み出しモードに設定したアドレスデータ (最初にデータを読み出すレジスタアドレス) をRX4901CEのDIO (Option A/B) またはDI (Option C/D) 端子に送信します。アドレスデータを受け取ったRX4901CEは、8ビット単位の読み出しデータをクロックが停止するまでDIO (Option A/B) またはDO (Option C/D) 端子からホストに送信します。この間のDI端子の入力は無効になります。図 3.5にデータ読み出し時の最初に送信するアドレスデータのビット構成を示します。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	7-bit address (0b000 0000–0b110 1111)						

↑ 1は読み出しモードを指定

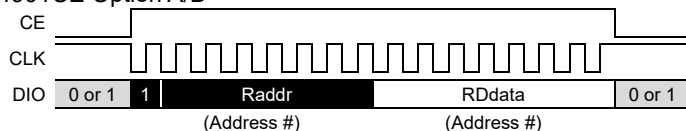
図 3.5 SPIデータリードアドレスデータ

RX4901CEレジスタのデータリード動作を図 3.6に示します。8ビットデータの読み出しごとに、レジスタアドレスは下位4ビットのみ自動的にインクリメントされ、0xFに達するとロールオーバーして0x0に戻ります。

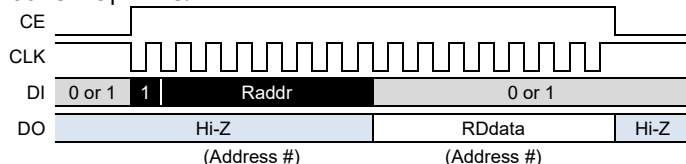
アドレスの上位3ビットを変更する場合は、CE信号によるスレーブセレクトを一旦解除し、再度アドレスデータの送信を行ってください。

1つのレジスタの読み出し

RX4901CE Option A/B

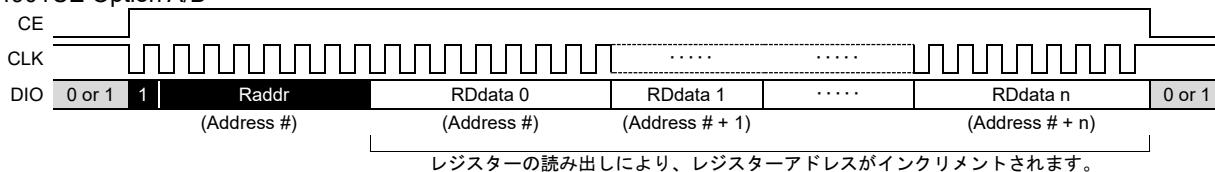


RX4901CE Option C/D

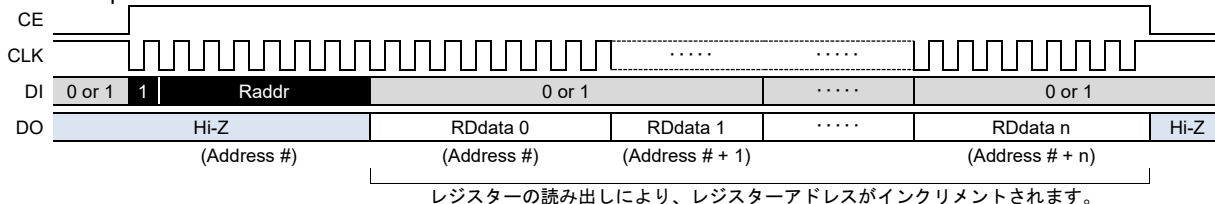


複数レジスタの連続読み出し

RX4901CE Option A/B



RX4901CE Option C/D



■ ホスト → RX4901CE □ RX4901CE → ホスト
 Raddr: 最初にアクセスするレジスタアドレス
 RDdata n: レジスタから読み出した8ビットデータ

図 3.6 SPIレジスタリード

3.1.2 RX8901CEレジスタへのアクセス (I²C-Bus)

RX8901CEのレジスタはI²C-Busを介してアクセスすることができます。RX8901CEのI²C-Busインターフェイス回路の仕様は以下のとおりです。

- スレーブデバイス
- 標準モード (最大100 kbit/s)、およびファースト・モード (最大400 kbit/s) に対応
- 7ビットスレーブアドレス 0x32

I²C-Busインターフェイス端子

RX8901CEには下表に示すI²C-Busインターフェイス端子が用意されています。

表 3.3 I²C-Busインターフェイス端子

端子名	入出力	初期状態	機能
SCL	I	Hi-Z	I ² C-Busシリアルクロック入力端子
SDA	I/O	Hi-Z	I ² C-Busシリアルデータ入出力端子 (N-chオープンドレイン)

ホストとの接続

図 3.7にホストとの接続例を示します。

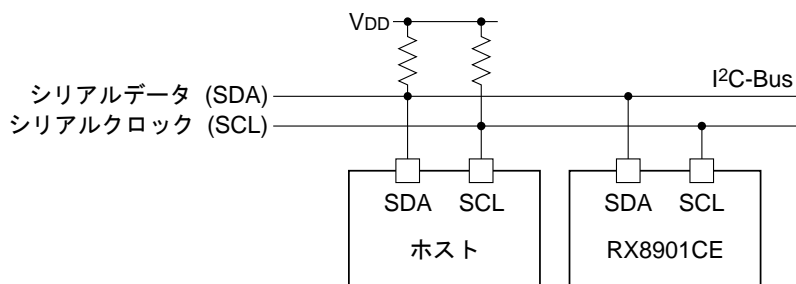


図 3.7 I²C-BusホストとRX8901CEの接続例

スレーブアドレス

RX8901CEには、下記のとおり7ビットのスレーブアドレスが定義されています。

← スレーブアドレス →							R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	1	1	0	0	1	0	*

* 0: 書き込みモード, 1: 読み出しモード

図 3.8 RX8901CEのI²C-Busスレーブアドレス

レジスタライト

ホストがスタートコンディションと書き込みモード指定のスレーブアドレスをI²C-Busに出力することにより、通信を開始します。続いて、データを書き込む最初の8ビットレジスタアドレスを出力します。その後、8ビット単位の書き込みデータを必要数出力し、最後にストップコンディションを出力します。RX8901CEは8ビットの受信ごとにACKをホストに返し、続くデータの受信に備えます。RX8901CEレジスタへのデータライト動作を図 3.9に示します。レジスタへの8ビットデータの書き込みごとに、レジスタアドレスは下位4ビットのみ自動的にインクリメントされ、0xFに達するとロールオーバーして0x0に戻ります。

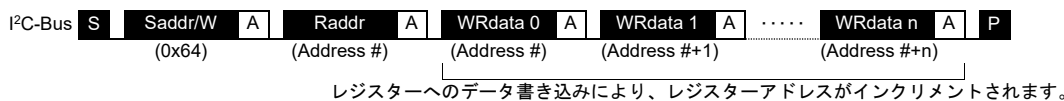
アドレスの上位4ビットを変更する場合は、リピーテッドスタートコンディション、またはストップコンディションとスタートコンディションを生成し、再度アドレスデータの送信を行ってください。

誤動作防止のため、スレーブアドレス受信から1秒以上経過してもストップコンディションが入力されず、I²C-Busがビジー状態の場合、RX8901CEは自動的にI²C-Busインターフェイス回路を初期化してバスタイムアウトします。その結果、SDAはHi-Zになり、スタートコンディション待ち状態になるため、通信を再開するにはスタートコンディションから送信し直してください。

1つのレジスターへの書き込み



複数レジスターへの連続書き込み



レジスターへのデータ書き込みにより、レジスターアドレスがインクリメントされます。

■ ホストによる動作 □ RX8901CEIによる動作
 S: スタートコンディション, Sr: リピーテッドスタートコンディション,
 P: ストップコンディション, A: ACK, N: NACK,
 Saddr/W: スレーブアドレス + W (0), Raddr: 最初にアクセスするレジスターアドレス,
 WRdata n: レジスターに書き込む8ビットデータ

図 3.9 I²C-Busを介したレジスターライト

レジスターリード

ホストがスタートコンディションと書き込みモード指定のスレーブアドレスをI²C-Busに出力することにより、通信を開始します。続いて、データを読み出す最初の8ビットレジスターアドレスを出力します。その後、リピーテッドスタートコンディションと読み出しモード指定のスレーブアドレスを再度I²C-Busに出力します。このスレーブアドレスを受け取ったRX8901CEは8ビット単位の読み出しデータを、NACKを受信するまでホストに送信します。

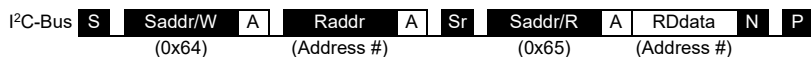
ホストは各8ビットデータの受信後にACKをRX8901CEに返し、続くデータの送信を要求します。最後のデータを受信した場合、ホストはNACKを返し、ストップコンディションを生成して通信を終了します。RX8901CEレジスターのデータリード動作を図 3.10に示します。8ビットデータの読み出しごとに、レジスターアドレスは下位4ビットの範囲で自動的にインクリメントされ、0xFに達するとロールオーバーして0x0に戻ります。

アドレスの上位4ビットを変更する場合は、リピーテッドスタートコンディション、またはストップコンディションとスタートコンディションを生成し、再度アドレスデータの送信を行ってください。

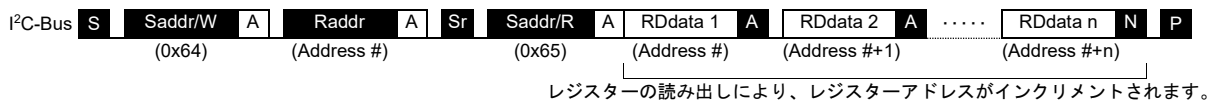
通信の最後に読み出されたアドレスはRX8901CEが保持しています。次の読み出しを、読み出しアドレスを指定せずに、読み出しモード指定のスレーブアドレスの送信から開始した場合、RX8901CEは前回に続くアドレスからデータを出力します。

誤動作防止のため、スレーブアドレス受信から1秒以上経過してもストップコンディションが入力されず、I²C-Busがビジー状態の場合、RX8901CEは自動的にI²C-Busインターフェイス回路を初期化してバスタイムアウトします。その結果、SDAはHi-Zになり、スタートコンディション待ち状態になるため、この状態でデータリードを続けると、読み出しデータはすべて0xFFになります。通信を再開するにはスタートコンディションから送信し直してください。

1つのレジスターの読み出し



複数レジスターの連続読み出し



レジスターの読み出しにより、レジスターアドレスがインクリメントされます。

■ ホストによる動作 □ RX8901CECEIによる動作
 S: スタートコンディション, Sr: リピーテッドスタートコンディション,
 P: ストップコンディション, A: ACK, N: NACK, Saddr/W: スレーブアドレス + W (0),
 Saddr/R: スレーブアドレス + R (1), Raddr: 最初にアクセスするレジスターアドレス,
 RDdata n: レジスターから読み出した8ビットデータ

図 3.10 I²C-Busを介したレジスターリード

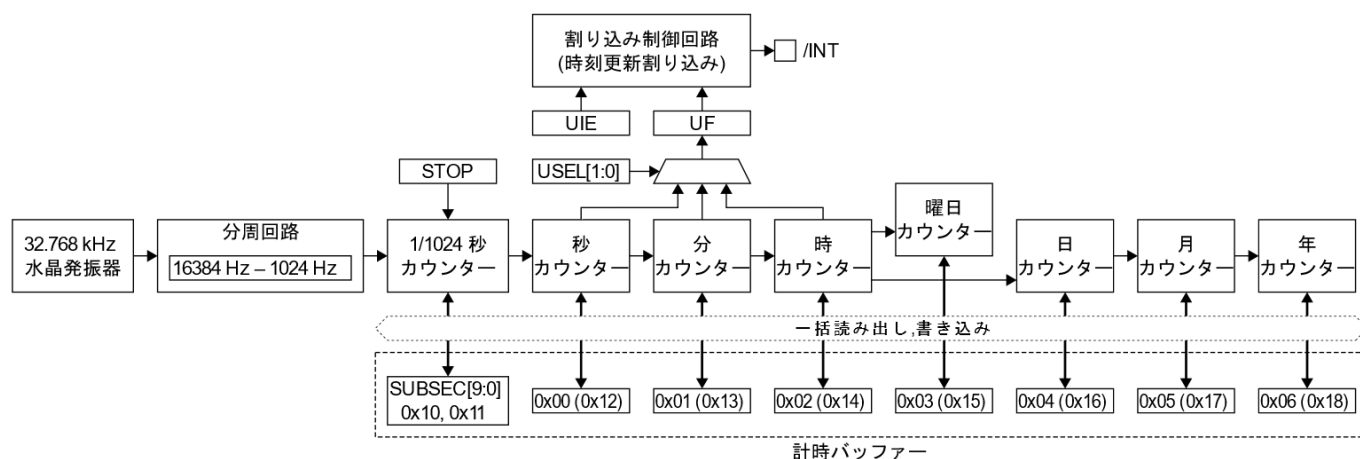
3.2 時計/カレンダー機能

3.2.1 概要

時計/カレンダー機能の特長を以下に示します。

- 秒、分、時、日、月、年をカウントするBCDカウンターと曜日カウンターを搭載しています。
- うるう年の自動補正機能を搭載しています (自動補正が有効な年は、01年～99年までの範囲です)。また、うるう秒補正操作が可能です。
- 1/1024秒のカウンター値の読み出し/書き込みが可能です。
- 計時バッファを有し、計時カウンター動作にかかわらず、任意のタイミングでアクセスが可能です。

図 3.11にカウンターの構成を示します。



点線で囲まれた部分は計時バッファを指します。計時バッファは一括読み出し、書き込み可能です。カッコ内の値はミラーレジスタのアドレスです。

図 3.11 時計/カレンダーカウンターの構成

水晶発振器	デジタル温度補償型水晶発振器回路 (DTCXO) で32.768 kHzクロックを発生します。
分周回路	32.768 kHzクロックを分周し、1024 Hz信号を生成します。
1/1024秒カウンター	1024 Hz信号をクロックとして0 ~ 1023/1024秒までをカウントするバイナリカウンターです。レジスタSECに秒カウンターの設定を書き込むことにより、0にクリアされます。TSTP_INTE.STOPビットに1を設定すると、このカウンターのカウント動作が停止します。
秒カウンター	1 Hz信号をクロックとして0 ~ 59秒までをカウントするBCDカウンターです。秒更新時に時刻更新割り込みを発生可能です。
分カウンター	秒カウンターのオーバーフロー信号をクロックとして0 ~ 59分までをカウントするBCDカウンターです。分更新時に時刻更新割り込みを発生可能です。
時カウンター	分カウンターのオーバーフロー信号をクロックとして0 ~ 23時までをカウントするBCDカウンターです (24時間制固定)。時更新時に時刻更新割り込みを発生可能です。
日カウンター	時カウンターのオーバーフロー信号をクロックとして、月やうるう年に合わせ1 ~ 28/29/30/31までをカウントするBCDカウンターです。カウント値は1からとなり、0はスキップされます。
曜日カウンター	7ビットのカウンターで、日カウンターに連動してビットがシフトされます。ビット0 ~ ビット6が各曜日に個々に対応します。各ビットの曜日への割り付けは任意です。ただし、曜日の更新順序とビットシフトの方向を合わせて割り付けてください。

表 3.4 曜日の割り付け例

曜日	(Bit 7)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	16進数
日曜	-	0	0	0	0	0	0	1	0x01
月曜	-	0	0	0	0	0	1	0	0x02
火曜	-	0	0	0	0	1	0	0	0x04
水曜	-	0	0	0	1	0	0	0	0x08
木曜	-	0	0	1	0	0	0	0	0x10
金曜	-	0	1	0	0	0	0	0	0x20
土曜	-	1	0	0	0	0	0	0	0x40

月カウンター 日カウンターのオーバーフロー信号をクロックとして1月～12月までをカウントするBCDカウンターです。カウント値は1～12で、0はスキップされます。

年カウンター 月カウンターのオーバーフロー信号をクロックとして0年～99年までをカウントするBCDカウンターです。

3.2.2 動作

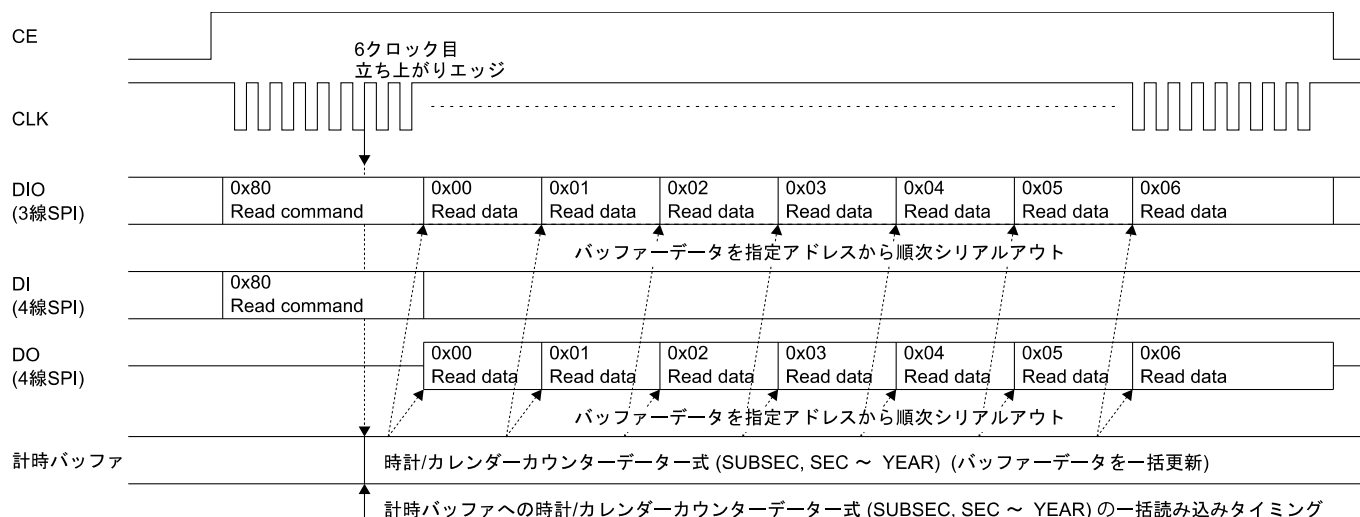
計時バッファを介した時計/カレンダーカウンターへのアクセス

時計/カレンダーカウンター (1/1024秒、秒、分、時、曜日、日、月、年カウンター) は、1秒単位の情報が読み書きできるレジスターSEC～YEAR (アドレス0x00～0x06) か、1/1024秒単位の情報が読み書きできるレジスターSUBSEC_L～YEAR_MIR (アドレス0x10～0x18)に割り当てられた計時バッファを介して、一括した書き込み、または読み出しをします。この計時バッファは、複数のアドレスにまたがる時計/カレンダーカウンターの情報を各カウンターに対して一括して一度にアクセスすることにより、正確な時刻情報の書き込み、または読み出しを行います。また、この計時バッファの動作と、内蔵32.768 kHzクロックに基づく時刻更新との競合は、自動的に調停されるため、ホストは任意のタイミングで計時バッファにアクセスできます。

計時バッファから時計/カレンダーカウンターへの書き込み、または読み出しのタイミングは、ホストインターフェイスの種類によって、以下のように決まります。

SPIインターフェイス搭載機種の場合、CE信号の立ち下げ時に、計時バッファに書き込まれた情報が、まとめて時計/カレンダーカウンターへ書き込まれます。また、CE信号の立ち上げ後、時計/カレンダーの読み出しコマンドの6クロック目の立ち上がりで、時計/カレンダーカウンターの値が、計時バッファへ同時に一括して読み出されます。

SPI 時計/カレンダーカウンターリード時 (SEC～YEARレジスターを連続リードする場合)



SPI 時計/カレンダーカウンターライト時 (SEC ~ YEARレジスターを連続ライトする場合)

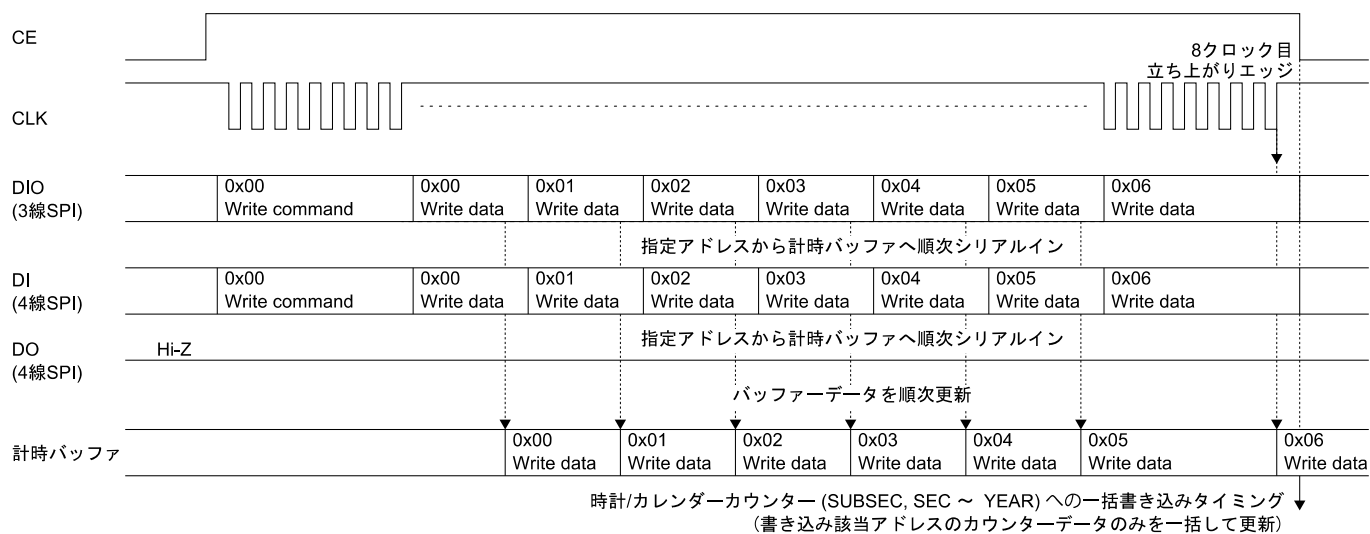
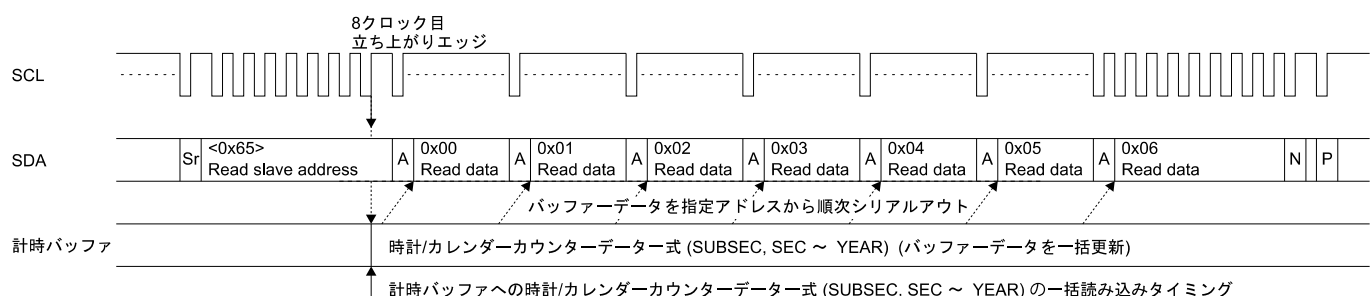
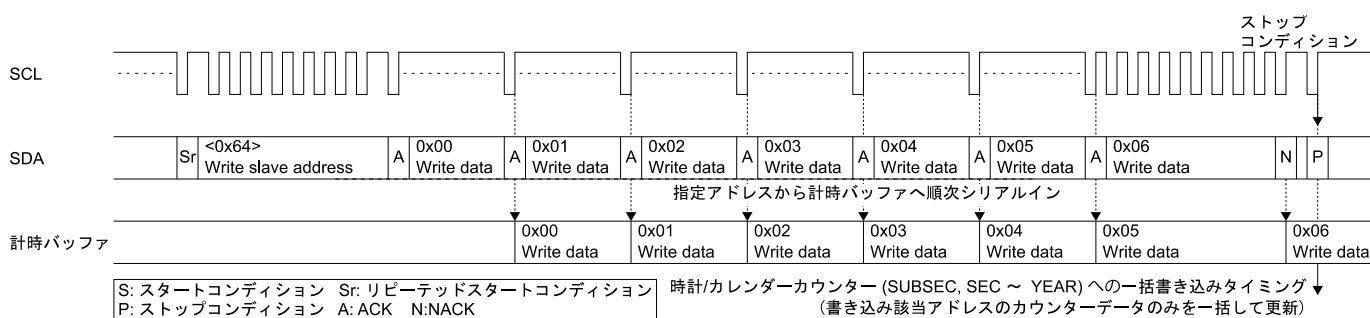


図 3.12 SPIインターフェイス 計時/カレンダーカウンターアクセスタイミング

I²C-Busインターフェイス搭載機種の場合、ストップコンディションまたはリピーテッドスタートコンディションを受信したときに、計時バッファに書き込まれた情報が、まとめて時計/カレンダーカウンターへ書き込まれます。また、7ビットのスレーブアドレスと、8ビット目のデータ転送の1 (リード) を受信した後の、アクリッジ送中にSCLの立ち上がりを受信したとき、時計/カレンダーカウンターの値が、計時バッファへ同時に一括して読み出されます。

I²C-Bus 時計/カレンダーカウンターリード時 (SEC ~ YEARレジスターを連続リードする場合)I²C-Bus 時計/カレンダーカウンターライト時 (SEC ~ YEARレジスターを連続ライトする場合)図 3.13 I²C-Busインターフェイス 計時/カレンダーカウンターアクセスタイミング

したがって、どちらのインターフェイス搭載機種でも、時計/カレンダーデータを書き込み、あるいは読み出すときは、アドレスのオートインクリメント機能を用いた複数バイトの連続アクセスを行ってください。なお、I²C-Busインターフェイスにはタイムアウト機能があるため、1回の複数バイト連続アクセスは1秒以内に完了させる必要があります。

時計/カレンダーの初期設定と計時の開始

時計/カレンダーの初期設定には、1秒単位で設定する方法と、1/1024秒単位で設定する方法があります。それぞれ、レジスターSEC (アドレス0x00) からレジスター YEAR (アドレス0x06) まで、またはレジスターSUBSEC_L (アドレス 0x10)からYEAR_MIR (アドレス 0x18) に時計/カレンダーの初期設定を書き込みます。

時計/カレンダーの計時の開始タイミングは、通信の終了をホストから送出する方法や、TSTP_INTE.STOPビットの解除をホストから書き込む方法で指定します。どちらの方法でも時刻精度に差はありません。

例: 1秒単位で時計/カレンダーを初期設定し、計時の開始タイミングは通信の終了で指定

- 以下のレジスターに時計/カレンダーの情報を複数バイト連続書き込みする。

- レジスターSEC	(アドレス0x00) (秒)
- レジスターMIN	(アドレス0x01) (分)
- レジスターHOUR	(アドレス0x02) (時)
- レジスターWEEKDAY	(アドレス0x03) (曜日)
- レジスターDAY	(アドレス0x04) (日)
- レジスターMONTH	(アドレス0x05) (月)
- レジスターYEAR	(アドレス0x06) (年)
- 1での連続書き込みの終了 (SPIインターフェイスではCE信号の立ち下り。I²C-Busインターフェイスではストップコンディションカリピーテッドスタートコンディション) を受信したタイミングで計時がスタートする。

例: 1秒単位で時計/カレンダーを初期設定し、計時の開始タイミングはTSTP_INTE.STOPビットの解除にて指定

- TSTP_INTE.STOPビットに1を書き込む。(時計/カレンダーカウンタストップ)
- 以下のレジスターに時計/カレンダーの情報を複数バイト連続書き込みする。

- レジスターSEC	(アドレス0x00) (秒)
- レジスターMIN	(アドレス0x01) (分)
- レジスターHOUR	(アドレス0x02) (時)
- レジスターWEEKDAY	(アドレス0x03) (曜日)
- レジスターDAY	(アドレス0x04) (日)
- レジスターMONTH	(アドレス0x05) (月)
- レジスターYEAR	(アドレス0x06) (年)
- TSTP_INTE.STOPビットに0を書き込む。(時計/カレンダーカウンタスタート)
- SPIインターフェイスではレジスターTSTP_INTEのビット0 (STOPビット) が書き込まれるクロックの立ち上がり、I²C-BusインターフェイスではレジスターTSTP_INTEに書き込んだ後のACK送出時のSCLの立ち上がりのタイミングで計時がスタートする。

時計/カレンダーの読み出し

時計/カレンダーの情報を、1秒単位で読み出す場合はレジスターSEC (アドレス0x00) からレジスターYEAR (アドレス0x06) まで、1/1024秒単位で読み出す場合はレジスターSUBSEC_L (アドレス0x10)からYEAR_MIR (アドレス0x18) を読み出します。

SPIインターフェイス搭載機種の場合は、CE信号の立ち上げ後、時計/カレンダーの読み出しコマンドの6クロック目の立ち上がりで、その時点での時計/カレンダーカウンタ値が、計時バッファへ同時に一括して読み出されます。そして、計時バッファに転送された時計/カレンダー情報を、レジスターSEC (アドレス0x00) からレジスター YEAR (アドレス0x06) まで、またはレジスターSUBSEC_L (アドレス0x10) からYEAR_MIR (アドレス0x18) までの範囲で、ホストが連続読み出しします。

I²C-Busインターフェイス搭載機種の場合は、まず、読み出し領域の先頭アドレスであるレジスターSEC (アドレス0x00) またはレジスターSUBSEC_L (アドレス0x10) をホストが書き込みます。次に、7ビットのスレーブアドレスと、8ビット目のデータ転送の1 (リード) を受信した後の、アクノリッジ送出中のSCLの立ち上がりを受信したとき、時計/カレンダーカウンターの値が、計時バッファへ同時に一括して読み出されます。そして、計時バッファの情報をホストが連続読み出しします。

時計/カレンダーデータの読み出し時、TSTP_INTE.STOPビットに1を書き込んで時計/カレンダーの各カウンターを停止しないようにしてください。各カウンターを停止させた場合は、計時誤差が増大してしまいます。

うるう年の判定

RX4901CE/RX8901CEは4の倍数の年をうるう年として判定し、自動的に2月の日数を設定します。2001年～2099年まではソフトウェアで対応する必要はありません。西暦2100年、2200年、2300年は、ソフトウェアで2月を平年の日数に変更する必要があります。

うるう秒の挿入手順

レジスターSEC_MIR (アドレス0x12) に0x60を書き込むことで、うるう秒が挿入されます。この操作は、うるう秒挿入時刻の00秒～01秒の間に行う必要があります。

0x60の書き込み時点で秒カウンターは60秒になり、その後の秒更新タイミングで秒カウンターは60秒から00秒に更新されます。0x60の書き込みから秒カウンターが00秒に更新される間、レジスターSECまたはSEC_MIR (アドレス0x00または0x12) からは60秒が読み出されます。

以降は通常どおり00秒から59秒までのカウント動作が行われます。

注: ・ アドレス0x00のレジスターSECに0x60を書き込むと1/1024秒カウンターがリセットされてしまいますので、うるう秒補正には、必ずアドレス0x12のレジスターSEC_MIRを使用してください。

- ・ 00秒～01秒の間でない時刻でのレジスターSEC_MIR (アドレス0x12) への0x60の書き込みは禁止です。

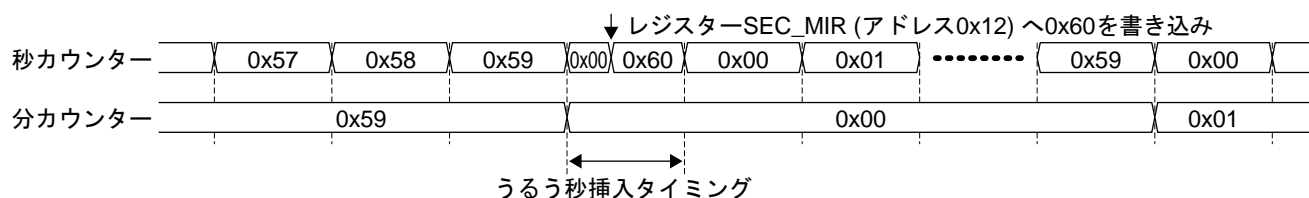


図 3.14 うるう秒挿入タイミング

3.3 温度補償機能

RX4901CE/RX8901CEは高精度な温度補償回路を内蔵しています。弊社出荷検査時に、内蔵温度センサーの値に合わせた発振回路の周波数補正值を単品ごとに内蔵メモリーに記録しています。温度補償回路はこの値を基に、温度変化に起因する発振周波数の変動を補償します。

3.3.1 動作

温度補償間隔の設定

温度補償回路は電源電圧が温度補償電圧 (V_{TMP}) の範囲であれば常に動作します。消費電流を低減するため、温度センサーの測定動作は間欠的に行われるようになっており、この実行間隔をTSTP_INTE.CSEL[1:0]ビットで表 3.5のとおり設定可能です。

表 3.5 温度補償データの更新間隔

TSTP_INTE.CSEL[1:0]	更新間隔
0b00	0.5秒
0b01	2秒 (デフォルト)
0b10	10秒
0b11	30秒

温度補償回路はこの間隔でIC内蔵の温度センサーで動作温度を測定し、その温度を元に発振周波数の変動を補正します。

周囲温度変化が急峻な環境では温度補償データの更新間隔を短くして、温度の変化に素早く追従させることが可能です。

室内などの比較的周囲温度の変化が緩やかな環境下では、温度補償データの更新間隔を長くすることで消費電流を抑えることができます。

温度補償回路はレジスター操作により停止させることはできません。ただし、電源電圧が V_{DET2} 以下に低下すると、最後の温度補償データを保持したまま更新を停止します。ここから電源電圧が V_{TMP} 以上に復帰すると、温度補償更新動作が再開します。なお、この V_{DET2} 電圧低下時にイベント割り込みを発生可能です (詳細は、“3.10 タイムスタンプ機能”参照)。

温度補償動作フラグ VT MPLFフラグ (0x0E)

VT MPLFフラグは、電源電圧が温度補償更新停止検出電圧 (V_{DET2}) 以下に低下した場合に1にセットされます。この場合、温度補償回路は停止し、停止した際の周波数補正条件で発振を継続します。VT MPLFフラグは、電源電圧が V_{TMP} 以上に復帰した後に0を書き込むことによってクリアされます。

3.4 時刻更新割り込み機能

3.4.1 概要

RX4901CE/RX8901CEには時計カウンターの更新タイミングで割り込みを発生させる機能があります。その特長を以下に示します。

- 割り込みタイミングを毎秒更新、毎分更新、毎時更新から選択可能です。
- /INT端子のホストへの割り込み出力信号は一定時間経過後に自動解除されます。

図 3.15に時刻更新割り込み回路の構成を示します。

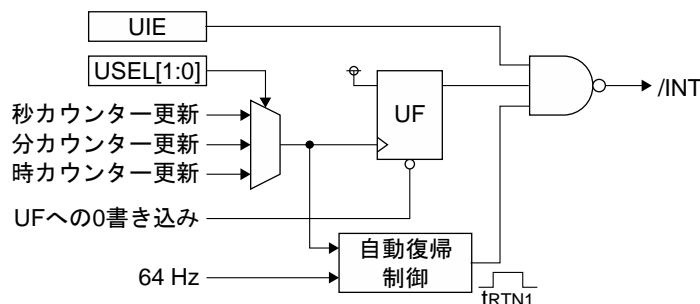


図 3.15 時刻更新割り込み回路の構成

3.4.2 動作

割り込み周期の選択

時刻更新割り込みは、TCTL.USEL0ビットとUPDISSEL.USEL1ビットで選択した秒、分、または時のいずれかのカウンター値が桁上げ更新されたタイミングで発生させることができます（1秒周期、1分周期、または1時間周期で割り込み発生、あるいは割り込みを発生させない）。/INT端子のホストへの割り込み出力信号は一定時間（ t_{RTN1} ）経過後に自動解除されます。

表 3.6 時刻更新割り込みイベントの選択

UPDISSEL.USEL1	TCTL.USEL0	割り込みイベント	/INT 自動解除時間 t_{RTN1}
0	0	秒カウンター更新 (デフォルト)	7.812 ms
0	1	分カウンター更新	
1	0	時カウンター更新	
1	1	割り込みイベントなし	-

割り込み許可/禁止手順

時刻更新割り込みは以下の手順で許可/禁止してください。

時刻更新割り込みを許可

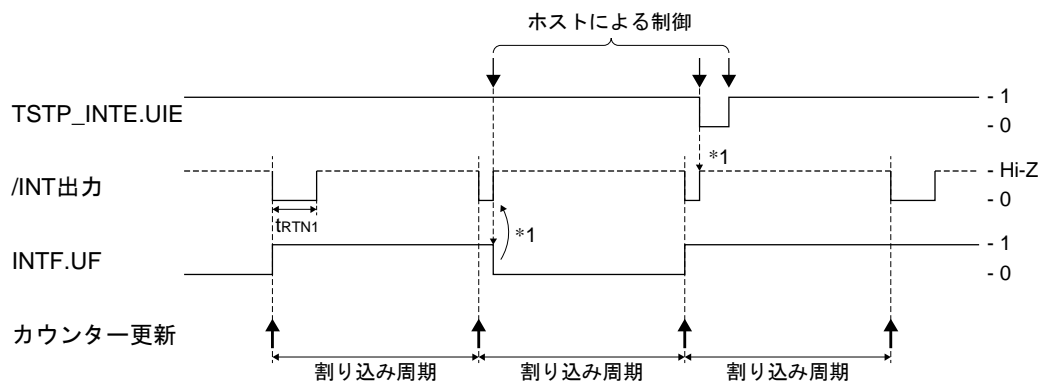
1. TSTP_INTE.UIEビットに0を書き込む。 (/INT出力をクリア)
2. TCTL.USEL0ビットとUPDISSEL.USEL1ビットを設定する。 (時刻更新割り込みイベントを選択)
3. INTE.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)
4. TSTP_INTE.UIEビットに1を書き込む。 (時刻更新割り込み許可)

時刻更新割り込みを禁止

1. TSTP_INTE.UIEビットに0を書き込む。 (/INT出力をクリア/出力禁止)
2. INTE.UFビットに0を書き込む。 (時刻更新割り込みフラグをクリア)

割り込み動作

選択した割り込みのタイミングになると、INTF.UFビットが1にセットされます。このとき、TSTP_INTE.UIEビット = 1 (割り込み許可) であれば/INT端子がLOWになり、ホストに割り込み要求を出力します。/INT端子は、TSTP_INTE.UIEビットに0を書き込むか、/INT端子のLOW出力開始から t_{RTN1} (7.812 ms) 後に自動的にHi-Zになります。INTF.UFビットは、割り込み要求発生から t_{RTN1} が経過して/INT端子がHi-Zになってもクリアされず、ホストから0を書き込むことによってはじめてクリアされます。



*1 INTF.UFビットまたはTSTP_INTE.UIEビットに0を書き込んでビットをクリアすると、 t_{RTN1} を待たずに/INT端子が開放されます (Hi-Zになります)。

図 3.16 時刻更新割り込みタイミングチャート

3.5 アラーム機能

3.5.1 概要

アラーム機能の概要を以下に示します。

- 曜日または日、時、分、秒の組み合わせでアラーム時刻を設定可能です。
- それぞれの要素を任意に組み合わせてアラーム条件に設定できるため、毎週金/土曜日の朝10時、毎月25日の夜7時のようなアラーム設定が簡単に設定可能です。

図 3.17にアラーム回路の構成を示します。

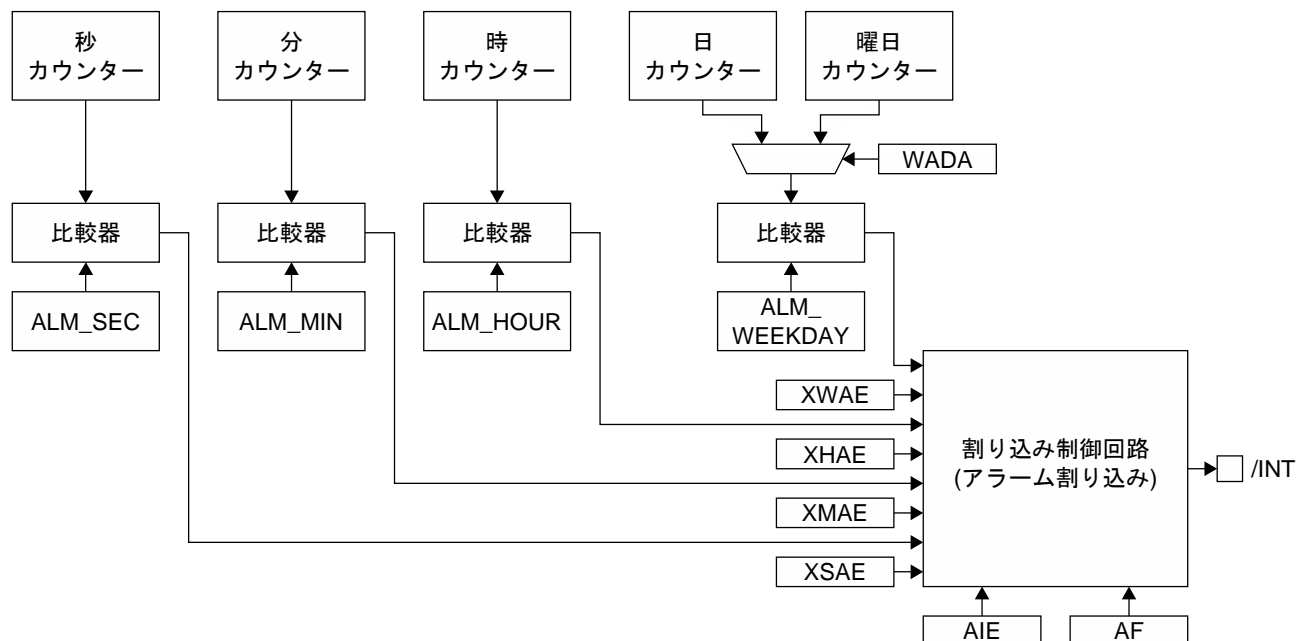


図 3.17 アラーム回路の構成

3.5.2 動作

アラーム設定手順

アラームを設定して割り込みを発生させる手順を以下に示します。

1. TSTP_INTE.AIEビットに0を書き込む。 (アラーム割り込みディスエーブル)
2. レジスタALM_SECでアラーム時刻の秒を設定する。
 - XSAEビット (秒アラーム指定イネーブル/ディスエーブル)
 - SALM_H[2:0]ビット (10秒桁の指定)
 - SALM_L[3:0]ビット (1秒桁の指定)
3. レジスタALM_MIN (またはALM_MIN_MIR) でアラーム時刻の分を設定する。
 - XMAEビット (分アラーム指定イネーブル/ディスエーブル)
 - MALM_H[2:0]ビット (10分桁の指定)
 - MALM_L[3:0]ビット (1分桁の指定)
4. レジスタALM_HOUR (またはALM_HOUR_MIR) でアラーム時刻の時を設定する。
 - XHAEビット (時アラーム指定イネーブル/ディスエーブル)
 - HALM_H[1:0]ビット (10時桁の指定)
 - HALM_L[3:0] (1時桁の指定)

5. レジスタALM_WEEKDAY (またはALM_WEEKDAY_MIR) でアラーム時刻の曜日または日を設定する。
- XWAEビット (曜日/日アラーム指定イネーブル/ディスエーブル)
- 曜日を指定する場合 (TCTL.WADAビット = 0)
- WKALM[6:0]ビット (曜日の指定)
- 曜日は月曜 ~ 金曜のように複数の指定が可能です。
- 日を指定する場合 (TCTL.WADAビット = 1)
- DALM_H[1:0]ビット (10日桁の指定)
 - DALM_L[3:0]ビット (1日桁の指定)
6. TCTL.WADAビットを設定する。 (日/曜日アラームの選択)
7. INTF.AFビットに0を書き込む。 (アラーム割り込みフラグをクリア)
8. TSTP_INTE.AIEビットに1を書き込む。 (アラーム割り込み許可)
- * X*AEビットを1に設定すると、そのレジスタの設定はアラーム条件から除外されます。たとえば、ALM_WEEKDAY.XWAEビット = 1では、曜日/日の設定が無効になり、毎日指定時刻にアラームが発生します。ただし、すべてのX*AEビットを1にした場合は、1秒ごとにアラームが発生します。

アラーム設定例

曜日指定時のアラーム設定例 (TCTL.WADAビット = 0)

設定例1

ALM_WEEKDAY (曜日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	土	金	木	水	火	月	日			
0	0	1	1	1	1	1	0	0x07	0x00	XSAE = 1

毎週月曜 ~ 金曜、午前7時00分00秒 ~ 59秒の間、1秒ごとに繰り返しアラームが発生

設定例2

ALM_WEEKDAY (曜日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	土	金	木	水	火	月	日			
0	1	0	0	0	0	0	1	XHAE = 1	0x30	0x00

毎週土曜と日曜、毎時30分00秒にアラームが発生

設定例3

ALM_WEEKDAY (曜日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	土	金	木	水	火	月	日			
0	1	1	1	1	1	1	1	0x18	0x59	0x30
1	X	X	X	X	X	X	X			

毎日、午後6時59分30秒にアラームが発生

日指定時のアラーム設定例 (TCTL.WADAビット = 1)

設定例4

ALM_WEEKDAY (日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	*	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0	X	0	0	0	0	0	1	0x07	XMAE = 1	XSAE = 1

毎月1日、午前7時00分00秒 ~ 59秒の間、1秒ごとに繰り返しアラームが発生

設定例5

ALM_WEEKDAY (日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	*	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0	X	0	1	0	1	0	1	XHAE = 1	0x30	0x00

毎月15日、毎時30分00秒にアラームが発生

設定例6

ALM_WEEKDAY (日アラーム)								ALM_HOUR (時アラーム)	ALM_MIN (分アラーム)	ALM_SEC (秒アラーム)
XWAE	*	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
1	X	X	X	X	X	X	X	0x18	0x59	0x30

毎日、午後6時59分30秒にアラームが発生

X: 値は不問です。

アラーム割り込み

図 3.18にアラーム割り込み回路の構成を示します。

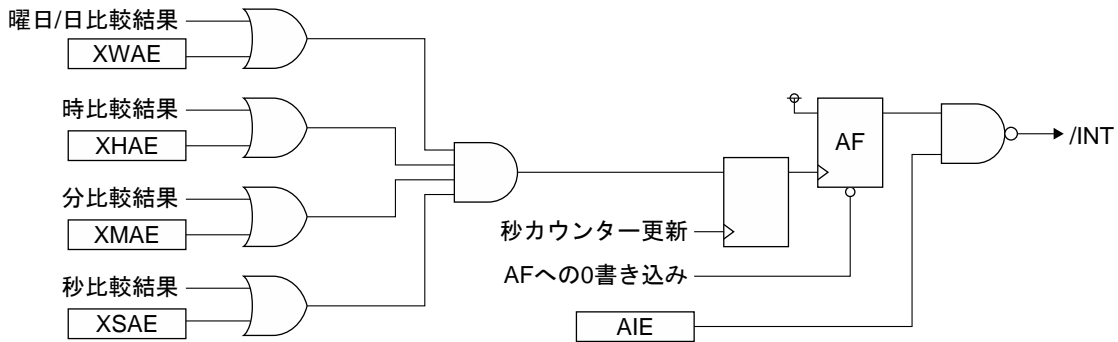
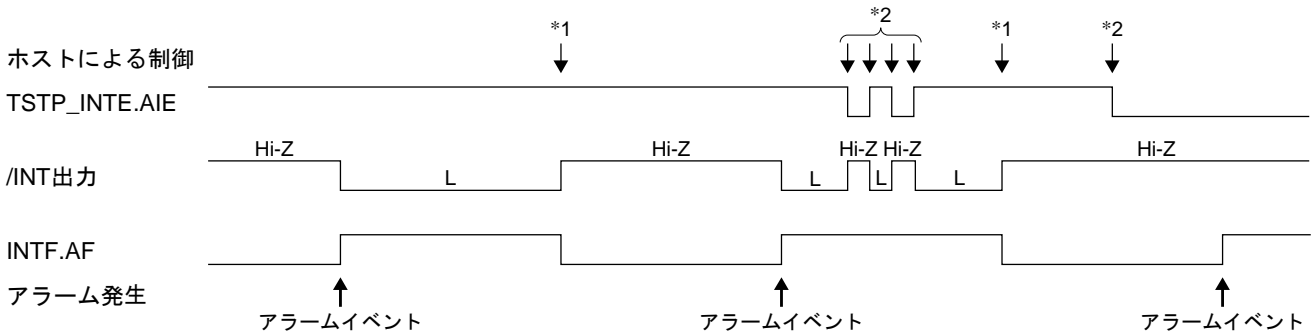


図 3.18 アラーム割り込み回路の構成

アラーム割り込みは、時刻/カレンダーカウンタがレジスタALM_SEC、ALM_MIN、ALM_HOUR、ALM_WEEKDAYで指定した日時に一致した時点で発生させることができます。指定した曜日/日の指定時刻になると、INTF.AFビットが1にセットされます。このとき、TSTP_INTE.AIEビット = 1 (割り込み許可) であれば/INT端子がLOWになり、ホストに割り込み要求を出力します。1にセットされたINTF.AFビットは0を書き込むことによりクリアされます。同時に/INT端子がHi-Zになります。



*1 INTF.AFビットに0を書き込んでこのビットをクリアすると、/INT端子がHi-Zに開放されます。
*2 TSTP_INTE.AIEビットを0にすると、/INT端子はINTF.AFビットの状態に依らずHi-Zに開放されます。

図 3.19 アラーム割り込みタイミングチャート

3.6 ウェイクアップタイマー機能

3.6.1 概要

ウェイクアップタイマー機能の概要を以下に示します。

- 24ビットプリセッタブルアップカウンターで構成されます。
- ソースクロック: 1024 Hz、64 Hz、1 Hz、1/60 Hzから選択可能です。
- 976 μ s ~ 32年までの任意の周期で割り込みを発生可能です。
- 割り込み出力をFOUT端子にも割り当て可能です。
- 電源切り替え機能と連動させて主電源動作の積算時間計としても利用可能です。

図 3.20にウェイクアップタイマーの構成を示します。

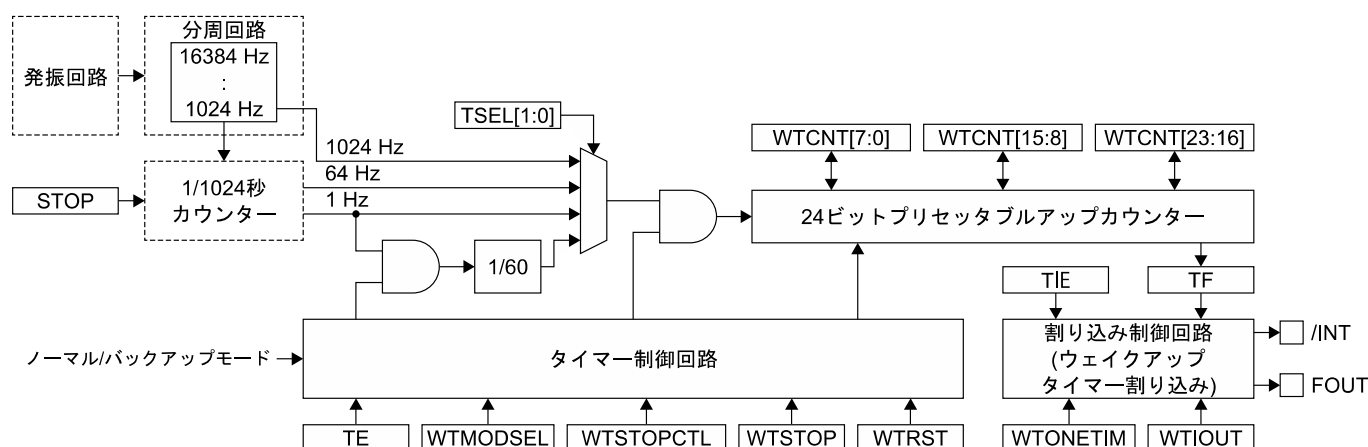


図 3.20 ウェイクアップタイマーの構成

3.6.2 動作

ソースクロック

ソースクロックはTCTL.TSEL[1:0]ビットにより表 3.7に示す4種類から選択可能です。

表 3.7 ウェイクアップタイマーソースクロックの選択

TCTL.TSEL[1:0]	ソースクロック		/INT 自動復帰時間 (t_{RTN2})
	周波数	周期	
0b00	1024 Hz	976 μ s	488 μ s
0b01	64 Hz	15.625 ms	7.812 ms
0b10	1 Hz	1秒	7.812 ms
0b11	1/60 Hz	60秒	7.812 ms

* t_{RTN2} は/INT端子がLOWになってから、自動的に開放される (Hi-Zになる) までの時間です。

プリセットデータ (ウェイクアップタイマー割り込み周期)

プリセットデータはカウント上限値を指定する値で、ウェイクアップタイマー割り込み周期を決定します。ウェイクアップタイマー割り込みはカウンターが設定したプリセットデータを超えた時点で発生します。プリセットデータは、TCTL.TEビット = 0の状態レジスターWTCNT_L、WTCNT_M、WTCNT_HIに書き込みます。

注: • タイマー動作中 (TCTL.TEビット = 1) にレジスターWTCNT_L、WTCNT_M、WTCNT_HIにプリセットデータを書き込むことは禁止します。

- プリセットデータとして0x000000を設定することはできません。レジスターWTCNT_L、WTCNT_M、WTCNT_HIに0x000000を書き込んだ場合は、ウェイクアップタイマーはカウントアップせず、割り込み要求は発生しません。

表 3.8に、ソースクロックの選択とプリセットデータの組み合わせによる割り込み周期の例を示します。

表 3.8 ウェイクアップタイマー割り込み周期

プリセットデータ	ソースクロック			
	1024 Hz TCTL.TSEL[1:0] = 0b00	64 Hz TCTL.TSEL[1:0] = 0b01	1 Hz TCTL.TSEL[1:0] = 0b10	1/60 Hz TCTL.TSEL[1:0] = 0b11
0	—	—	—	—
1	976 μ s	15.625 ms	1秒	60秒
:	:	:	:	:
410 (0x00019A)	400.39 ms	6.406秒	410秒	410分
:	:	:	:	:
3840 (0x000F00)	3.7500秒	60秒	3840秒	3840分
:	:	:	:	:
4096 (0x001000)	4秒	64秒	4096秒	4096分
:	:	:	:	:
16777215 (0xFFFFF)	4.55時間	72.81時間	4660時間	31.9年

カウント動作条件

WTCTL.WTSTOPCTLビットを1に設定すると、WTCTL.WTMODSELビットの設定が有効になり、カウント動作をノーマルモード時のみ、あるいはバックアップモード時のみに制限することができます。

表 3.9 ノーマルモード/バックアップモードの動作条件設定

WTCTL.WTSTOPCTL	WTCTL.WTMODSEL	動作条件
0	X	ノーマルモード/バックアップモードの両モードでカウント可能
1	0	ノーマルモード時 (V _{DD} 動作時) のみカウント可能
	1	バックアップモード時 (V _{BAT} 動作時) のみカウント可能

たとえば、ノーマルモード時のみ動作するように設定した場合、バックアップモードに切り替わるとカウント動作は停止しますが、その時点のカウント値は保持され、再びノーマルモードに戻った際は、保持していたカウント値からカウント動作を再開します。これにより、ノーマルモード動作時間の積算計として使用することもできます。

ウェイクアップタイマー設定手順

ウェイクアップタイマーを設定して割り込みを発生させる手順を以下に示します。

1. TCTL.TEビットに0を書き込む。 (ウェイクアップタイマーディスエーブル)
2. TSTP_INTE.TIEビットに0を書き込む。 (ウェイクアップタイマー割り込みディスエーブル)
3. TCTL.TSEL[1:0]ビットを設定する。 (ソースクロックの選択)
4. レジスタWTCNT_L、WTCNT_M、WTCNT_Hを設定する。 (ウェイクアップタイマー割り込み周期の設定)
5. レジスタWTICFGを設定する。 (割り込み出力の設定)
 - WTONETIMビット (INT自動解除の設定)
 - WTIOOUTビット (割り込み出力端子の選択)
6. レジスタWTCTLを設定する。 (タイマー動作条件の設定)
 - WTMODSELとWTSTOPCTLビット (ノーマル/バックアップモードの動作条件を選択)
 - WTSTOPビットに0を書き込む。 (一時停止の解除)
7. INTF.TFビットに0を書き込む。 (ウェイクアップタイマー割り込みフラグをクリア)
8. TSTP_INTE.TIEビットに1を書き込む。 (ウェイクアップタイマー割り込み許可)

9. TCTL.TEビットに1を書き込む。 (ウェイクアップタイマーイネーブル)
 カウントを開始します。

カウントアップの開始

TCTL.TEビットが1になると、ウェイクアップタイマーは初期値 (1) をカウンターにロードしてカウントアップを開始します。ただし、ソースクロックとは非同期にカウントを開始しますので、最初のカウントアップまで、最大ソースクロック1周期の遅延を生じます。

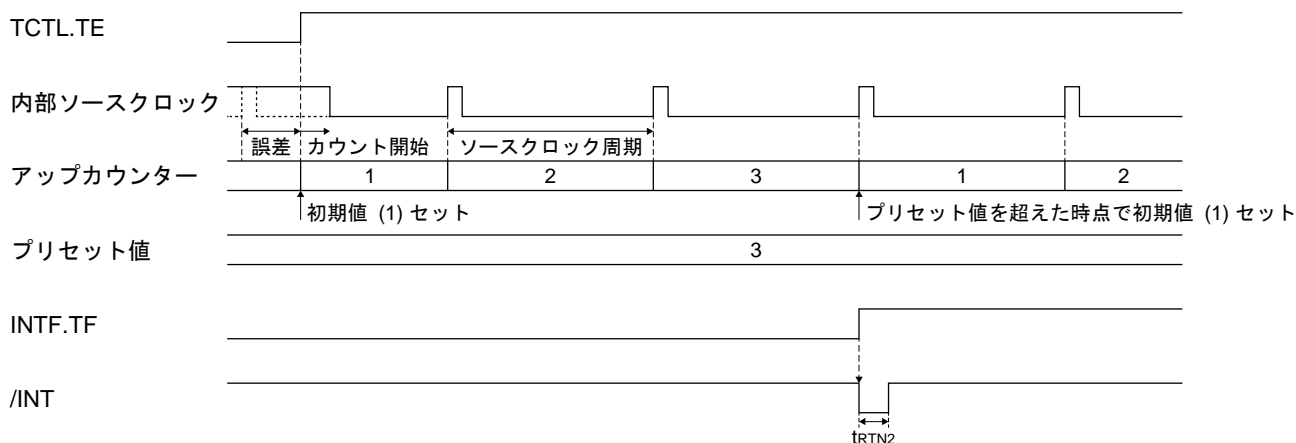


図 3.21 ウェイクアップタイマーカウントアップ動作

カウントアップによりカウンターがプリセット値を超えると、初期値 (1) がカウンターにロードされ、その値からカウントアップを継続します。

図 3.22にTCTL.TEビットへの1書き込み後のカウント開始タイミングを示します。

RX4901CE



RX8901CE

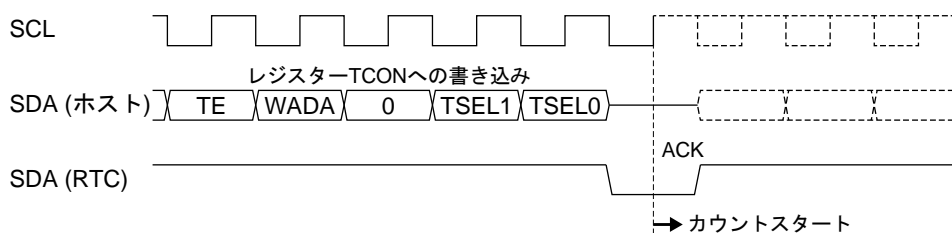


図 3.22 ウェイクアップタイマーカウント開始タイミング

一時停止

動作中のウェイクアップタイマーを一時停止するには、WTCTL.WTSTOPビットに1を書き込みます。ウェイクアップタイマーはその時点のカウンター値を保持した状態で停止します。WTCTL.WTSTOPビットに0を書き込むと、ウェイクアップタイマーは保持していたカウント値からカウントアップを再開します。この一時停止動作もソースクロックとは非同期に行われますので、開始時と同様に誤差が生じます。なお、他の制御ビットの設定状態によっては、WTCTL.WTSTOPビットでカウンターは停止しません。関係する制御ビットによるウェイクアップタイマーの動作状態を表 3.10に示します。

表 3.10 ウェイクアップタイマーの動作制御

TCTL.TE	TSTP_INTE. STOP	WTCTL. WTSTOPCTL	WTCTL. WTSTOP	動作状態
1	0	0	0	カウントアップ動作をします。
			1	カウントアップを一時停止します。
		1	X	WTCTL.WTSTOPビットの設定は無効となり、1に設定してもカウンタは停止しません。
	1	X	X	カウンタは停止します。 ただし、ソースクロック = 1024 Hzの場合は、TSTP_INTE.STOPビット = 0と同じ動作となります。
0	X	X	X	カウンタは停止しています。

カウンタデータの読み出し

TCTL.TEビット = 1のとき、レジスタWTCNT_L、WTCNT_M、WTCNT_Hからカウントアップ中のカウント値を読み出すことができます。ただし、3つのレジスタを読み出す間にカウンタ値が変化し、現在の正しい値を読み出せない可能性があるため、これらのレジスタの読み込みを、ウェイクアップタイマーのソースクロックの周期以内で2回行い、それぞれの値が同じだった場合に、正しく読み出せたものとしてください。読み出した値が不一致だった場合は、再度レジスタの読み込みを行ってください。

TCTL.TEビット = 0のときは、レジスタWTCNT_L、WTCNT_M、WTCNT_Hからウェイクアップタイマーのプリセット値が読み出されます。

カウンタのリセット

WTCTL.WTRSTビットに1を書き込むことで、動作中のカウンタをリセットすることができます。初期値(1)がロードされ、ウェイクアップタイマーはカウントを再開します。このとき、ウェイクアップタイマー割り込みは発生しません。

ウェイクアップタイマー割り込み

図 3.23にウェイクアップタイマー割り込み回路の構成を示します。

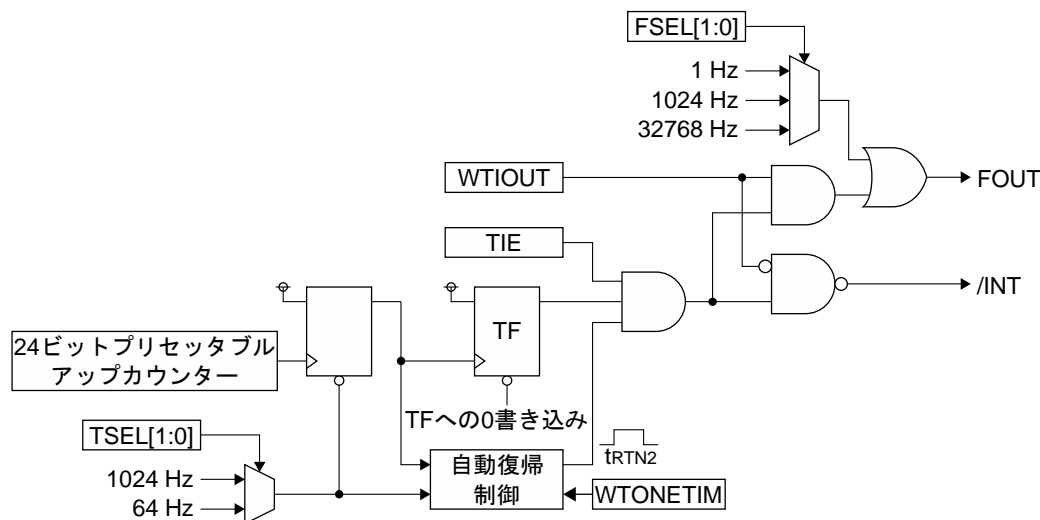
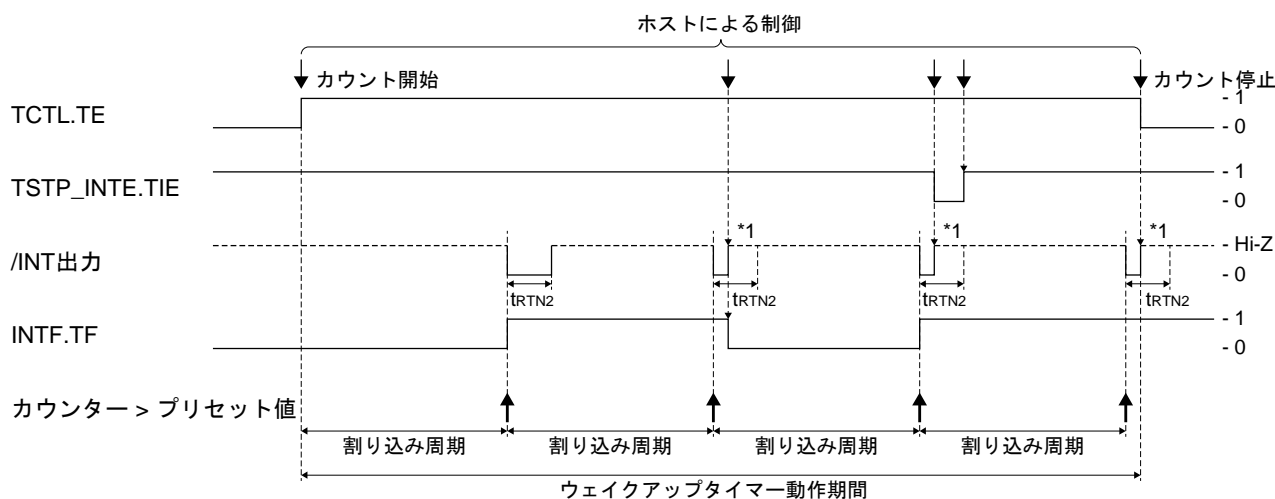


図 3.23 ウェイクアップタイマー割り込み回路の構成

ウェイクアップタイマー割り込みは、プリセットしたカウント周期で発生させることができます。ウェイクアップタイマーのカウンター値が、カウントアップによってプリセット値を超えるタイミングで、INTF.TFビットが1にセットされます。このとき、TSTP_INTE.TIEビット = 1 (割り込み許可) であれば、/INT端子がLOWになってホストへ割り込み要求を出力します。そして/INT自動復帰時間 (t_{RTN2} 、表 3.7参照) の経過後に、/INT端子はHi-Zに戻ります。なお、/INT信号のHi-Zへの自動復帰機能は、WTICFG.WTONETIMビットを1に設定することで無効にできます。

/INT端子は自動的にHi-Zに復帰する一方、1がセットされたINTF.TFビットは、ホストから0を書き込むまで1を保持します。INTF.TFビット、またはTSTP_INTE.TIEビットに0を書き込むと、/INT自動復帰時間が経過する前かどうにかかわらず、/INT端子はHi-Zに戻ります。



*1 INTF.TFビット、TSTP_INTE.TIEビット、またはTCTL.TEビットを0クリアすると、 t_{RTN2} を待たずに/INT端子が開放されます (Hi-Zになります)。

図 3.24 ウェイクアップタイマー割り込みタイミングチャート

ウェイクアップタイマーの割り込み要求信号は、他の割り込み要求信号とNORされて/INT端子から出力されます (WTICFG.WTIOUTビット = 0の場合)。

FOUT端子を有効にした機種では、WTICFG.WTIOUTビットを1に設定することで、ウェイクアップタイマー割り込み要求信号をFOUT端子から出力させることができます。

注: WTICFG.WTIOUTビット = 1の場合、FOUT信号とウェイクアップタイマー割り込み要求信号がNORされてFOUT端子から出力されます。ウェイクアップタイマー割り込み要求信号のみを出力するには、TCTL.FSEL[1:0]ビットを0b11に設定して、FOUT信号の出力を停止してください。

3.7 FOUT出力機能

3.7.1 概要

FOUT出力機能の概要を以下に示します。

- RX4901CE/RX8901CEで生成したクロックを外部に出力可能です。
- 出力クロックを32.768 kHz、1024 Hz、1 Hzから選択可能です。
- レジスタまたは外部入力信号 (FOE) によりFOUT出力を制御可能です。

図 3.25にFOUT出力回路の構成を示します。

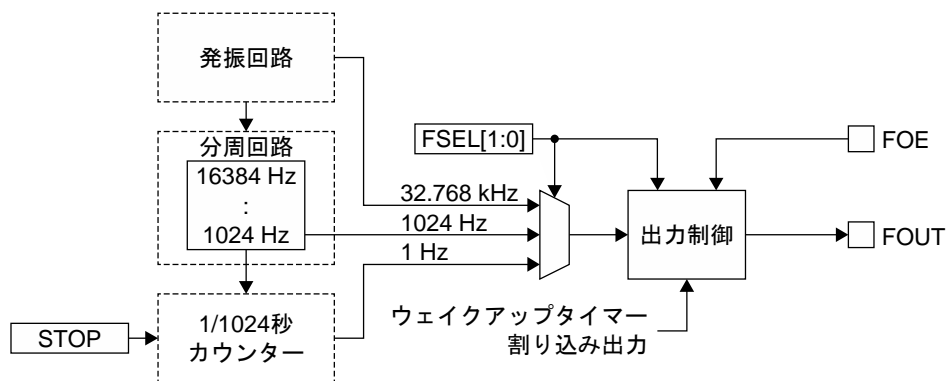


図 3.25 FOUT出力回路の構成

3.7.2 動作

初期設定

- FOUT出力 (Pin 4): Option AとC製品では、Pin 4はデフォルトでFOUTに設定されています。Option BまたはD製品においてFOUT出力を使用するには、Pin 4の割り当て機能を変更 (WTICFG.EVIN3MUXビットを0に設定) します。
- FOE入力 (Pin 10): 外部入力信号 (FOE) によりFOUT出力を制御する場合は、Pin 10のI/O設定を変更 (WTICFG.FOEMUXビットを1に設定) します。

FOUT出力の制御 (FOE端子を使用しない場合)

FOUT出力は、電源投入時はOFF (Hi-Z) です。FOUT出力の出力・停止 (Hi-Z) は、TCTL.FSEL[1:0]ビットで設定します。なお、1 Hz出力設定のみ、TSTP_INTE.STOPビットの設定も影響します。

表 3.11 FOUT出力の選択

TSTP_INTE.STOP	TCTL.FSEL[1:0]	出カクロック
0	0b00	32.768 kHz
	0b01	1024 Hz
	0b10	1 Hz
	0b11	OFF (Hi-Z)
1	0b00	32.768 kHz
	0b01	1024 Hz
	0b10	H or L固定
	0b11	OFF (Hi-Z)

FOUT出力の制御 (FOE端子を使用する場合)

初期設定時にWTICFG.FOEMUXビットを1に設定することにより、Pin 10への割り当て機能をEVIN2入力からFOE入力へ切り替え、FOE入力信号によってFOUT出力を制御します。また、出力クロック周波数をTCTL.FSEL[1:0]ビット (表 3.11参照) で選択します。

FOE入力信号がHIGHレベルになっている間は、TCTL.FSEL[1:0]ビットの設定によって選択された周波数のFOUT信号が、FOUT端子から出力されます。FOE入力信号がLOWレベルの場合、FOUT端子はHi-Zになります。

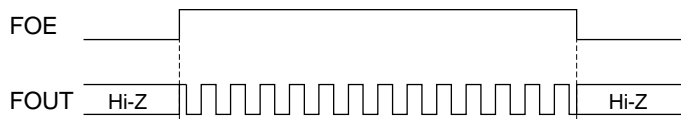


図 3.26 FOE制御によるFOUT出力

FOUT端子からのウェイクアップタイマー割り込み信号出力

クロック出力が不要な場合、WTICFG.WTIOUTビットを1に設定することで、FOUT端子をウェイクアップタイマーの割り込み要求信号出力端子としても使用可能です。その際、TCTL.FSEL[1:0]ビットを0b11以外に設定されている場合、選択したクロックとウェイクアップタイマー割り込み要求信号がNORされてFOUT端子から出力されます。

3.8 自己監視機能

3.8.1 概要

RX4901CE/RX8901CEは電源電圧や発振の状態を監視する機能を搭載しており、その結果をステータスフラグとして読み出すことができます。また、これらのフラグはタイムスタンプのトリガーや記録内容、イベント割り込み要因としても利用されます。監視対象は以下のとおりです。

- パワーオンリセットの実行 (PORFフラグ、VLFフラグ)
- 発振停止 (OSCSTPFフラグ、VLFフラグ)
- 主電源電圧 (V_{DD}) の低下 (VDDLFLフラグ)
- バックアップ電源電圧 (V_{BAT}) の低下 (VBATLFLフラグ)
- 電源電圧 (V_{DD}/V_{BAT}) の温度補償更新停止電圧以下への低下 (VTMPLFLフラグ)

また、/INT端子は、PORFフラグとそれに伴うVLFフラグを除く、これらのステータスフラグの状態を外部デバイスに出力可能です。

3.8.2 自己監視フラグ機能

パワーオンリセット発生検出: PORFフラグ

PORFフラグ (INTF.PORFビット) は、電源投入後にパワーオンリセットが実行されたことを検出すると1にセットされます。その後パワーオンリセットが解除されても、このフラグは自動的に0に戻りません。INTF.PORFビット = 1のときは、必要な初期設定等を行うとともに、INTF.PORFビットに0を書き込んで、フラグをクリアします。

水晶発振停止検出: OSCSTPFフラグ

OSCSTPFフラグ (INTF.OSCSTPFビット) は、内蔵の水晶発振が10 ms以上停止したことを検出すると1にセットされます。1にセットされた後、発振が再開しても、このフラグは自動的に0に戻りません。INTF.OSCSTPFビット = 1のときは、必要な初期設定等を行うとともに、INTF.OSCSTPFビットに0を書き込んで、フラグをクリアします。

このフラグは、タイムスタンプトリガーおよびイベント検出割り込みにも利用されます。詳細は“3.10.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

日時データ無効警告: VLFフラグ

VLFフラグ (INTF.VLFビット) は、上記のPORFフラグかOSCSTPFフラグがセットされた場合に1にセットされます。 V_{DD} の電源投入後やバックアップモードからの復帰後、このフラグであるINTF.VLFビットが1だった場合は、初期設定が必要です。INTF.VLFビットの操作を含むこの初期設定手順について、“2.2.3 初期設定”を参照してください。

V_{DD} 電圧低下検出: VDDLFLフラグ

PWSW_CFG.INIENビット = 1 (バックアップ電源切り替え機能イネーブル) の場合にのみ有効です。VDDLFLフラグ (BUF_INTF.VDDLFLビット) は、主電源電圧 (V_{DD}) が V_{DD} 立ち下がり時検出電圧 ($-V_{DET1}$) 未満に低下した場合に1にセットされます。 V_{DD} が V_{DD} 立ち上がり時検出電圧 ($+V_{DET1}$) 以上になっても、このフラグは自動的に0に戻りません。BUF_INTF.VDDLFLビットは、 V_{DD} が $+V_{DET1}$ 以上に復帰した後に0を書き込むことによって、クリアされます。

このフラグは、タイムスタンプトリガーおよびイベント検出割り込みにも利用されます。詳細は“3.10.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

V_{BAT}電圧低下検出: VBATLFフラグ

PWSW_CFG.INIENビット = 1 (バックアップ電源切り替え機能イネーブル) の場合にのみ有効です。VBATLフラグ (BUF_INTF.VBATLFビット) は、バックアップ電源電圧 (V_{BAT}) がV_{BAT}立ち下がり時検出電圧 (-V_{Low}) 未満に低下したことを2回連続して検出すると、1にセットされます。BUF_INTF.VBATLFビットは、V_{BAT}がV_{BAT}立ち上がり時検出電圧 (+V_{Low}) 以上に上昇した後に0を書き込むことによって、クリアされます。

このフラグは、タイムスタンプトリガーおよびイベント検出割り込みにも利用されます。詳細は“3.10.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

温度補償更新停止検出: VTMLPFフラグ

VTMLPFフラグ (INTF.VTMLPFビット) は、V_{OUT}電圧 (V_{DD}またはV_{BAT}) が温度補償更新停止電圧 (V_{DET2}) 以下に低下した場合に1にセットされます。この場合、温度補償回路は停止し、停止した際の周波数補正条件で発振を継続します。INTF.VTMLPFビットは、V_{OUT}がV_{TMP}以上に復帰した後に0を書き込むことによって、クリアされます。

このフラグは、タイムスタンプトリガーおよびイベント検出割り込みにも利用されます。詳細は“3.10.5 タイムスタンプ (イベント検出) 割り込み”を参照してください。

3.9 バックアップ電源切り替え機能

3.9.1 概要

バックアップ電源切り替え機能は、主電源 (V_{DD}) とバックアップ電源 (V_{BAT}) の電圧値を監視し、動作電源 V_{OUT} が適切に維持されるよう、主電源とバックアップ電源を切り替える機能です。主電源電圧の低下時には動作電源を主電源からバックアップ電源に切り替え、再度主電源が復帰したときは、動作電源を再び主電源に戻します。

- V_{DD} 電圧低下時には動作電源を V_{BAT} に切り替えます。
- $V_{DD} > V_{BAT}$ の場合には V_{DD} から V_{BAT} を充電できます。
- V_{BAT} で動作時に V_{DD} 電圧が復帰した場合は動作電源を V_{DD} に切り替えます。

図 3.27 に電源切り替え回路の構成を示します。

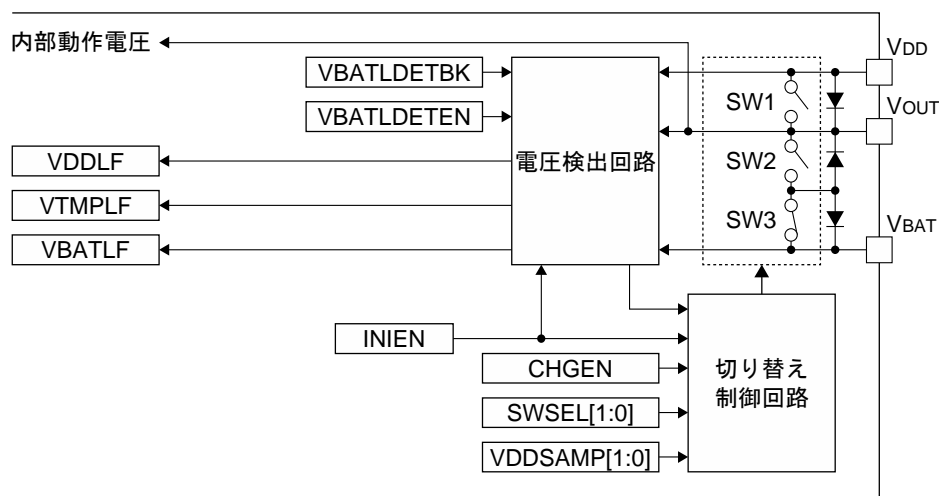


図 3.27 電源切り替え回路

3.9.2 動作

動作モード

バックアップ電源切り替え機能を有効にすると、2種類の動作モードが利用できるようになります。

ノーマルモード (バックアップモードへ移行可能)

RX4901CE/RX8901CEが主電源電圧 V_{DD} で動作する状態です。ホストから時計/カレンダーカウンタを含む、レジスタへのアクセスが可能です。主電源電圧 V_{DD} の電圧検出が常に行われており、 V_{DD} が電圧低下検出電圧 $-V_{DETI}$ 以下になると、バックアップモードに遷移します。

バックアップモード

RX4901CE/RX8901CEがバックアップ電源 V_{BAT} で動作する状態です。バックアップ電源 V_{BAT} から V_{DD} 電源へ電流が流れ込まないように、内蔵電源スイッチ $SW1$ が自動的に遮断状態になり、 V_{DD} 端子は V_{BAT} から切り離されます。

ホストインターフェイスは無効になり、 CE 、 CLK 、 DI 、 DIO 、 SDA 、 SCL 入力はフローティング状態にすることができます。また DO 端子と $FOUT$ 出力は $Hi-Z$ になります。

V_{BAT} 電圧が計時保持電圧 V_{CLK} 以上であれば、時計/カレンダー機能や $EVIN_n$ 入力、 $/INT$ 出力は、ノーマルモードと同様に機能します。

バックアップ電源切り替え機能を使用する場合の設定

電源切り替え機能はデフォルトで無効に設定されているため、この機能を使用する場合は、レジスター PWSW_CFG で以下の設定を行います。

1. PWSW_CFG.CHGEN ビットを設定する。 (V_{BAT} 充電イネーブル/ディスエーブル)
V_{BAT} に二次電池等の充電可能な電池/EDLC を接続している場合は 1 に設定します。
2. PWSW_CFG.INIEN ビットを 1 に設定する。 (電源切り替え機能イネーブル)
PWSW_CFG.INIEN ビット = 1 に設定することで、SW1 ~ 3 の状態制御は、PWSW_CFG.SWSEL[1:0] ビットによる設定が無効になり、バックアップ電源切り替え機能による自動制御に移行します。
3. PWSW_CFG.VBATLDETBK ビットを設定する。 (バックアップモード時 V_{BAT} 電圧検出イネーブル/ディスエーブル)
4. PWSW_CFG.VBATLDETEN ビットを 1 に設定する。 (V_{BAT} 電圧検出イネーブル)
5. PWSW_CFG.VDDSAMP[1:0] ビットを設定する。 (V_{DD} 電圧サンプリング周期設定)

バックアップ電源切り替え機能を使用しない場合の設定

電源切り替え機能はデフォルトで無効に設定されており、主電源 (V_{DD}) とバックアップ電源 (V_{BAT}) の切り替えや、バックアップ電源 (V_{BAT}) への充電は行われません。

電源投入直後は、電源の切り替えスイッチは (SW1=OFF、SW2=OFF、SW3=ON) となり、主電源 (V_{DD}) とバックアップ用電源 (V_{BAT}) が本モジュール内のダイオードを介して並列に接続されます。このダイオードにより、V_{DD} と V_{BAT} の間に電流は流れませんが、このダイオードの順方向電圧 V_F の分の電圧降下が生じるため、RTC の動作電源 V_{OUT} は、V_{DD} と V_{BAT} の電圧の高いほうから V_F だけ下がった電圧になります。

この電圧降下を避けるため、主電源 (V_{DD}) のみを使用する場合は、PWSW_CFG.SWSEL[1:0] ビットを 0b10 に設定して、スイッチを (SW1=ON、SW2=OFF、SW3=OFF) に設定します。(図 2.4 参照)。

バックアップ電源切り替え機能を使用しない場合は、V_{BAT} 電圧低下検出機能は無効です。

バックアップ電源切り替えの動作

電源投入時

電源投入時は電源切り替え用の制御ビットとスイッチは以下のように設定されます。

- PWSW_CFG.INIEN ビット = 0 (電源切り替え機能ディスエーブル)
 PWSW_CFG.CHGEN ビット = 0 (V_{BAT} 充電ディスエーブル)
 PWSW_CFG.SWSEL[1:0] ビット = 0b01 (SW1 = OFF、SW2 = OFF、SW3 = ON)

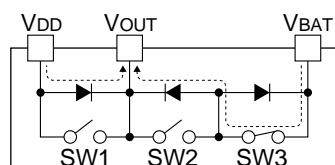


図 3.28 電源投入 ~ 初期設定

1. 電源投入直後は、主電源 (V_{DD}) とバックアップ電源 (V_{BAT}) が IC 内蔵のダイオードを介して並列に接続されます。これにより、RX4901CE/RX8901CE は先に印可された電圧で起動します。
2. ホストはレジスター PWSW_CFG に書き込みを行い、電源切り替え回路を使用するか否か、およびその他の条件を設定します。

注: 主電源 (V_{DD}) 投入前にバックアップ電源 (V_{BAT}) 用の電池をセットしただけでも水晶発振回路が動作するため、その消費電流が発生します。消費電流値については、“5.4 DC 特性” 節内の消費電流 I_{BAT3} 規格 (表 5.4) を参照してください。

切り替え制御1 (一次電池を使った電源バックアップ構成)

電源投入後、電源切り替え用の制御ビットを以下のように設定した場合は、図 3.29に示す制御が行われます。電源の接続例は図 2.3を参照してください。

PWSW_CFG.INIENビット = 1	(電源切り替え機能イネーブル)
PWSW_CFG.CHGENビット = 0	(V _{BAT} 充電ディスエーブル)
PWSW_CFG.VBATLDETENビット = 1	(V _{BAT} 電圧検出イネーブル)
PWSW_CFG.VBATLDETBKビット = 1	(バックアップモード時V _{BAT} 電圧検出イネーブル)
PWSW_CFG.VDDSAMP[1:0]ビット	(V _{DD} 電圧サンプリング周期設定)

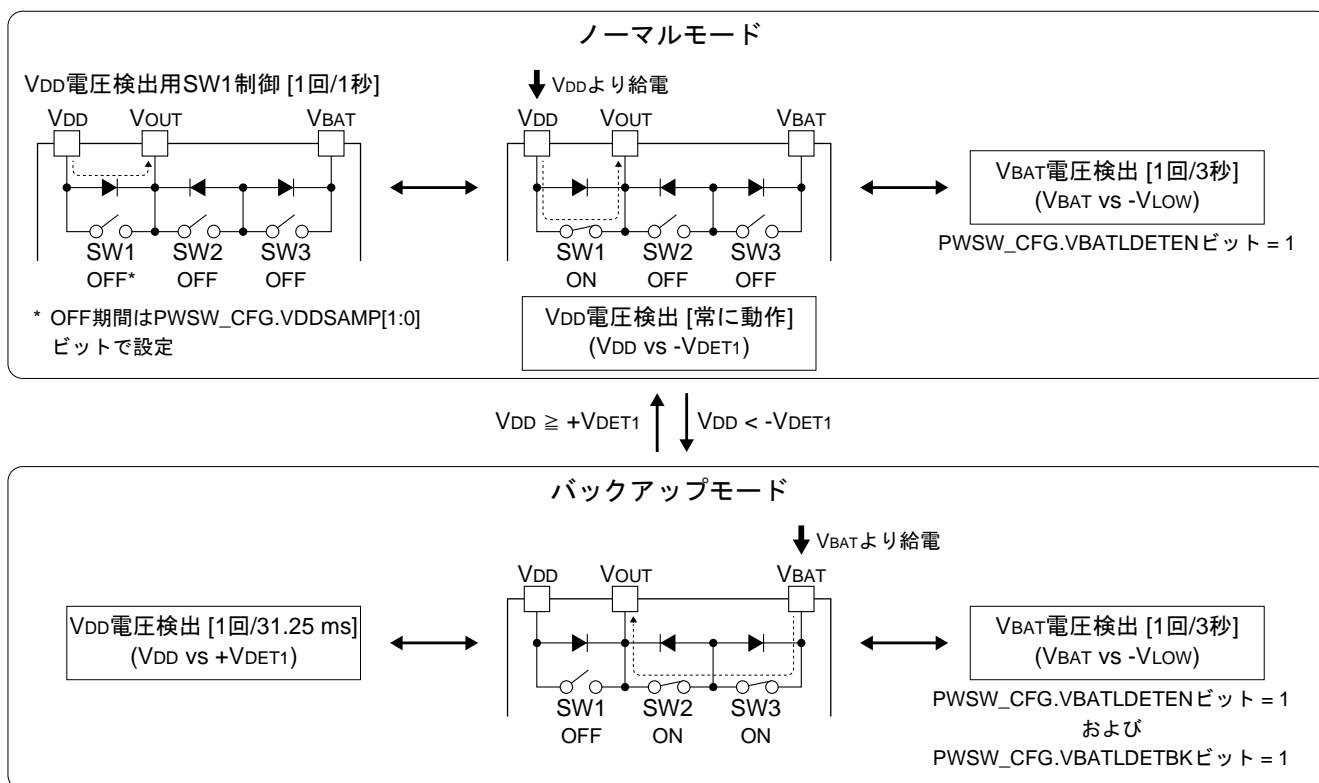


図 3.29 電源切り替え制御1 (V_{BAT}に一次電池を使用する場合)

1. ノーマルモードで動作中は常時、V_{DD}電圧がV_{DD}低下検出電圧 (-V_{DET1}) と比較され、-V_{DET1}を下回るとバックアップ電源 (V_{BAT}) に切り替わり、バックアップモードに移行します。
2. バックアップモード中は31.25 msに1回、V_{DD}電圧がV_{DD}上昇検出電圧 (+V_{DET1}) と比較され、+V_{DET1}を上回ると主電源 (V_{DD}) に切り替わり、ノーマルモードに移行します。
3. PWSW_CFG.VBATLDETENビット = 1 (バックアップモードではさらにPWSW_CFG.VBATLDETBKビット = 1の設定も必要) の場合は3秒に1回、V_{BAT}電圧がV_{BAT}低下検出電圧 (-V_{LOW}) と比較され、-V_{LOW}を下回るとBUF_INTF.VBATLFビットが1にセットされ、タイムスタンプや割り込みのトリガーとなります。なお、この検出による電源切り替えは生じません。

切り替え制御2 (二次電池を使った電源バックアップ構成)

電源投入後、電源切り替え用の制御ビットを以下のように設定した場合は、図 3.30に示す制御が行われます。電源の接続例は図 2.2を参照してください。

PWSW_CFG.INIENビット = 1	(電源切り替え機能イネーブル)
PWSW_CFG.CHGENビット = 1	(V _{BAT} 充電イネーブル)
PWSW_CFG.VBATLDETENビット = 1	(V _{BAT} 電圧検出イネーブル)
PWSW_CFG.VBATLDETBKビット = 1	(バックアップモード時BAT電圧検出イネーブル)
PWSW_CFG.VDDSAAMP[1:0]ビット	(V _{DD} 電圧サンプリング周期設定)

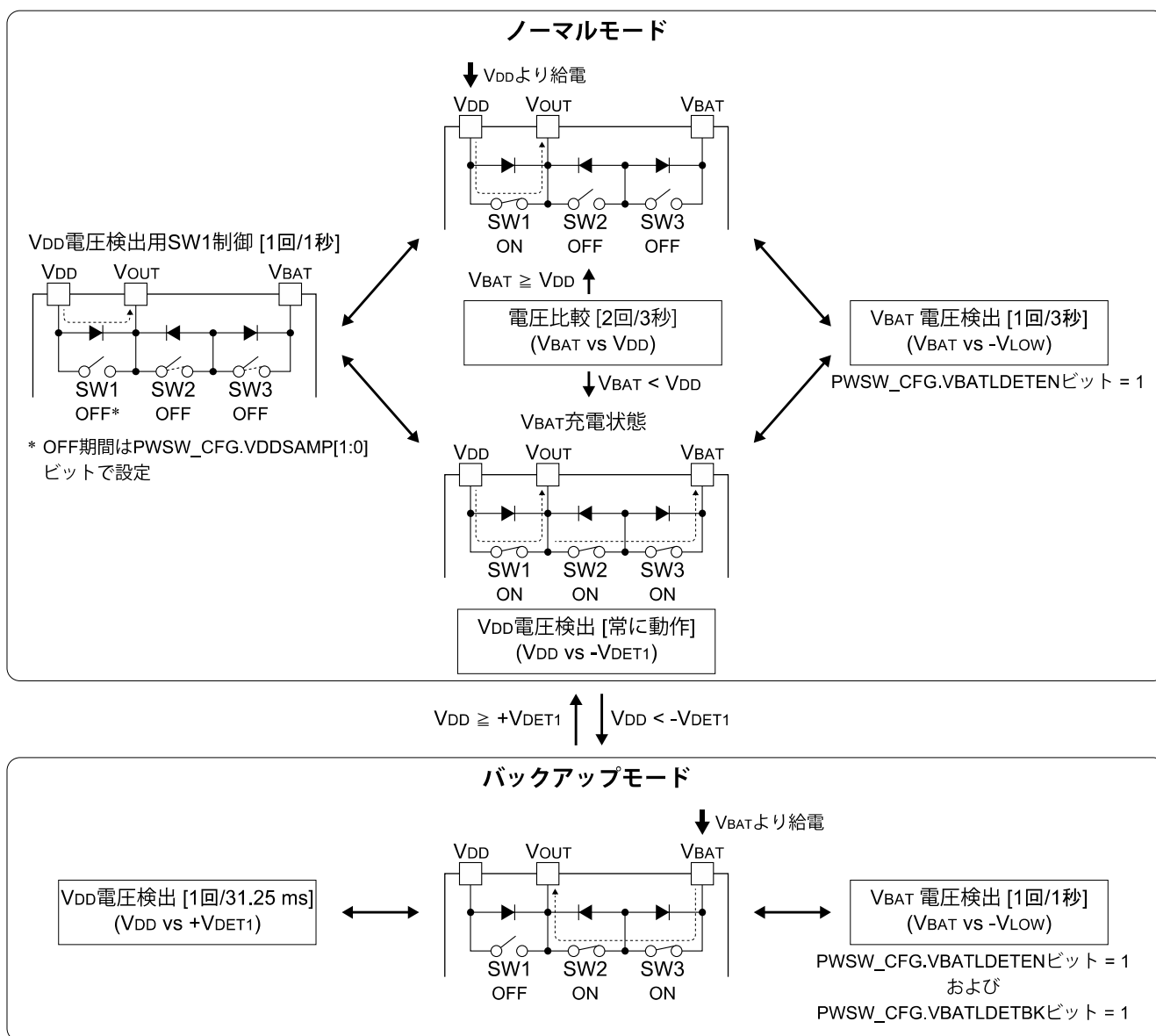


図 3.30 電源切り替え制御2 (V_{BAT}に二次電池を使用する場合)

ノーマルモードとバックアップモードの切り替えは上記と同様で (“切り替え制御1”参照)、それにV_{BAT}への充電制御が加わります。

1. ノーマルモード時は3秒に2回、V_{BAT}がV_{DD}と比較され、V_{BAT}がV_{DD}を下回るとSWがすべてONとなり、V_{DD}からV_{BAT}への充電を開始します。V_{BAT}がV_{DD}を上回るとSW2とSW3をOFFにして充電を停止します。このどちらの状態でもV_{DD}電圧低下検出は常時行われており、低下が検出されると、バックアップモードに移行します。
2. バックアップモードではV_{BAT}の充電制御は行われません。

表 3.12に動作モードによる検出動作の実行状態を示します。

表 3.12 動作モードによる検出動作

動作モード	ノーマルモード (V _{DD} 駆動)			バックアップモード (V _{BAT} 駆動)
	PWSW_CFG.CHGEN = 1, PWSW_CFG.INIEN = 1	PWSW_CFG.CHGEN = 0, PWSW_CFG.INIEN = 1	PWSW_CFG.CHGEN = 0, PWSW_CFG.INIEN = 0	
V _{DD} 電圧監視	常時	常時	停止	1回/31.25 ms
V _{BAT} 充電監視	2回/3.0秒	停止	停止	停止
V _{BAT} 電圧監視	1回/3.0秒	1回/3.0秒	1回/3.0秒	1回/3.0秒

V_{DD}電圧低下検出サンプリング時間設定

電源切り替え機能が有効なノーマルモードでは、常に主電源 (V_{DD}) がV_{DD}低下検出電圧 (-V_{DET1}) と比較され、電圧低下が検出されるとバックアップモードに遷移します。この動作において、SW1を一時的にOFFしてV_{DD}端子をV_{OUT}端子およびV_{BAT}端子から切り離すことで、より高精度なV_{DD}電圧低下検出を行うオプションがあります。

SW1のOFF時間は、主電源 (V_{DD}) の電源断時の放電特性と、V_{BAT}への充電電圧の低下を考慮して決定します。主電源の放電時間に応じて、SW1のOFF時間を長く設定します。ただし、SW1のOFF期間中のV_{BAT}への充電電圧は、V_{DD}からSW1に並列接続されたダイオードの順方向電圧V_Fの分だけ電圧降下するため、SW1のOFF時間が長すぎると、V_{BAT}の実効的な充電電圧が低下します。

SW1のOFF時間は、表 3.13に示したPWSW_CFG.VDDSAAMP[1:0]ビットで設定します。

表 3.13 SW1 OFF時間の設定

PWSW_CFG.VDDSAAMP[1:0]	SW1 OFF 時間
0b00	OFFしない (デフォルト)
0b01	2 ms
0b10	128 ms
0b11	256 ms

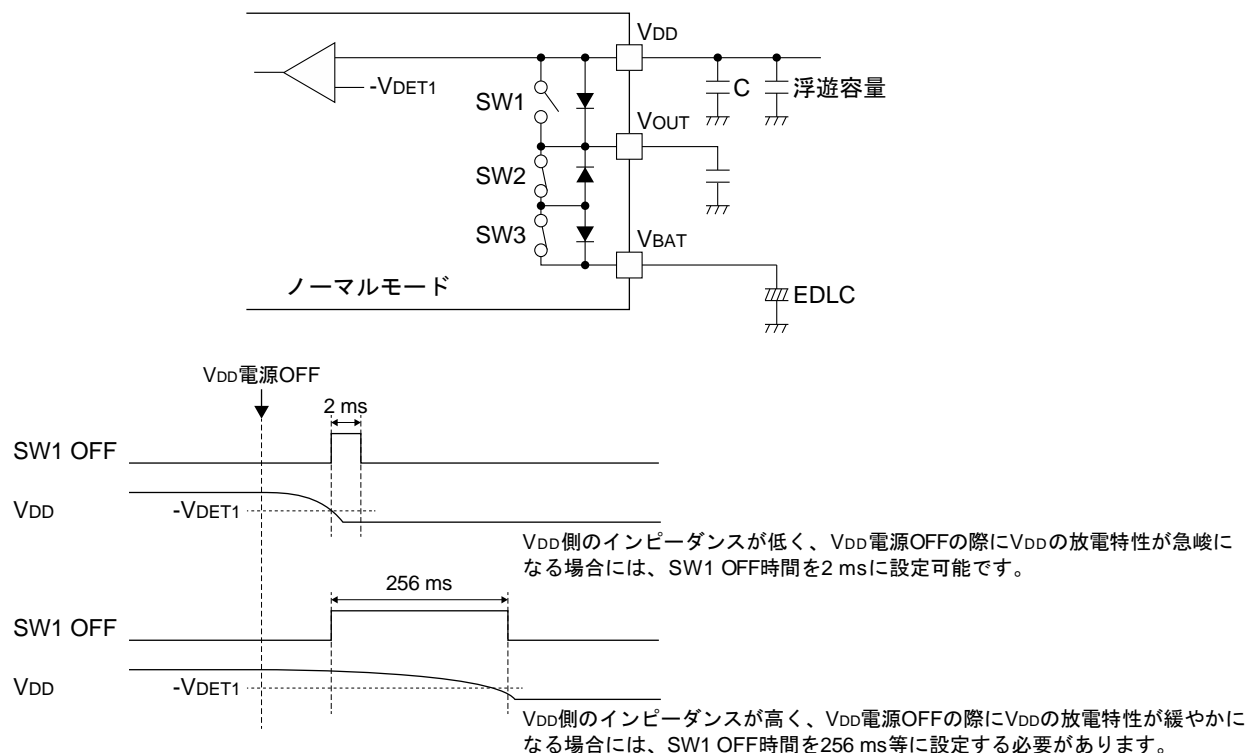


図 3.31 V_{DD}電圧監視用SW1間欠動作

小容量EDLC使用時の注意

バックアップ電源として小容量EDLCを使用した場合に、注意すべきV_{DD}電圧低下検出動作の一例を図 3.32に示します。

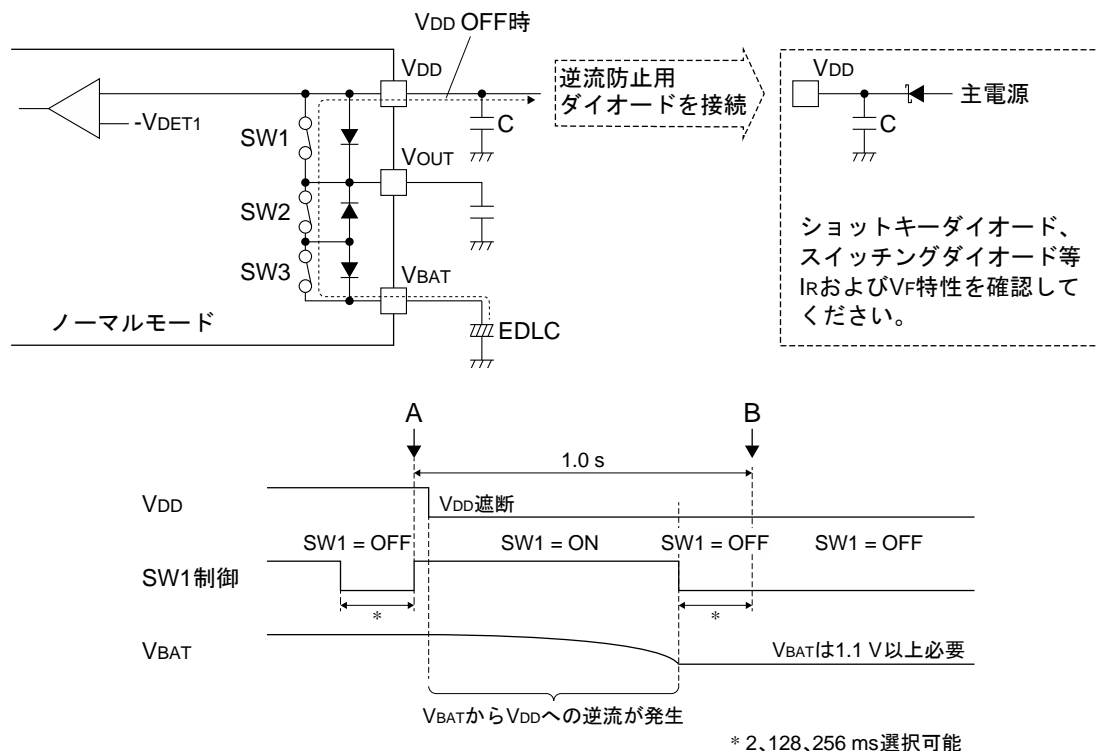


図 3.32 小容量EDLC使用時の注意

ノーマルモードで充電動作中、A点でV_{DD}電圧低下が検出されなかった場合、SW1は次のOFF制御 (B点) までONとなります。もしA点の直後にV_{DD}電圧が低下またはV_{DD}をOFFすると、EDLCの放電によりB点までV_{BAT}からV_{DD}への逆流が発生します。この逆流を防ぐには、V_{DD}端子側にダイオードを挿入するなどの対策が必要です。

バックアップ電池実装時の注意

バックアップ電池をはんだ付け実装、あるいは実装された電池ホルダーにコイン電池などを装着する際は以下の取り扱いを守ってください。

RTCのV_{DD}がOFFの状態では電池を先にセットされる場合は、チャタリング等の発生でRTCのパワーオンリセットが機能せず、その後V_{DD}が投入されると消費電流、時計精度、I2C/SPIインターフェイスが不安定な状態で起動する場合がございます。その対策といたしまして、以下の処理 STEP1～STEP4をご案内致します。

STEP 1: RTCの電池を接続する+/-両端子をGNDレベルに固定してください。V_{DD},V_{IO}のGND固定は無用です

STEP 2: この状態で電池を装着してください。

STEP 3: 電池装着から100ms以上経過後に、電池端子とGNDのショートを開放してください。

装置基板にリフロー、はんだ槽、手作業などで電池を先に実装された場合は、同様に電池の+極をGNDに100ms以上ショート後に解放することでパワーオンリセットが機能して上記の不安定動作を回避可能です

STEP 4: 以上の処理後にV_{DD}電源を投入してください。

ただし、先にRTCにV_{DD}電源が投入されている状態で電池を装着される場合は上記の処理は不要です。

3.10 タイムスタンプ機能

3.10.1 概要

RX4901CE/RX8901CEには、EVIN n 端子入力の信号変化で生じる外部イベントや、自己監視機能で得られた電源電圧の低下や発振停止などの内部イベントが発生した時点の、日時やイベント要因などの情報を記録するタイムスタンプ機能があります。主な機能と特長を以下に示します。

- タイムスタンプトリガー
 - 外部イベント入力:
 - 最大3チャンネル (EVIN1、EVIN2、EVIN3)
 - 内蔵プルアップ/ダウン抵抗を選択可能
 - トリガーエッジとして立ち上がりエッジ、立ち下がりエッジ、または両エッジを選択可能
 - ノイズフィルター (0 ~ 5000 ms、125 msステップ) を内蔵
 - イベントカウンターを内蔵
 - 入力端子の状態をモニター可能
 - 内部イベント:
 - V_{BAT}電圧低下検出
 - -V_{DET1}電圧低下検出
 - -V_{DET2}電圧低下検出
 - 発振停止検出
 - コマンドトリガー:
 - 指定アドレスへの書き込みによりトリガーを発行
- タイムスタンプバッファ
 - 256バイトSRAMを内蔵
 - 全体を1つのFIFOとしてデータを記録するFIFOモード、全体を3つの領域に分割してチャンネルごとにデータを記録するダイレクトモード、SRAMとしてリード/ライトアクセスが可能なSRAMモードに対応
 - FIFOモードでは、イベント全種類のフルスタンプデータを最大32回分記録可能
 - ダイレクトモードでは、チャンネルごとに10回分 (チャンネル2は12回分) のイベントのスタンプデータを記録可能
 - バッファフル時の上書きを許可するオーバーライトモードと禁止するオーバーライト禁止モードに対応
- 記録データ
 - 1/1024秒 ~ 1秒、秒、分、時、日、月、年、EVIN n 端子の状態、電圧低下/発振の状態、タイムスタンプトリガー要因
- タイムスタンプはバックアップモード時も取得可能
- 外部イベントおよび内部イベント発生時に割り込みを発生可能

図 3.33にタイムスタンプ回路の構成を示します。

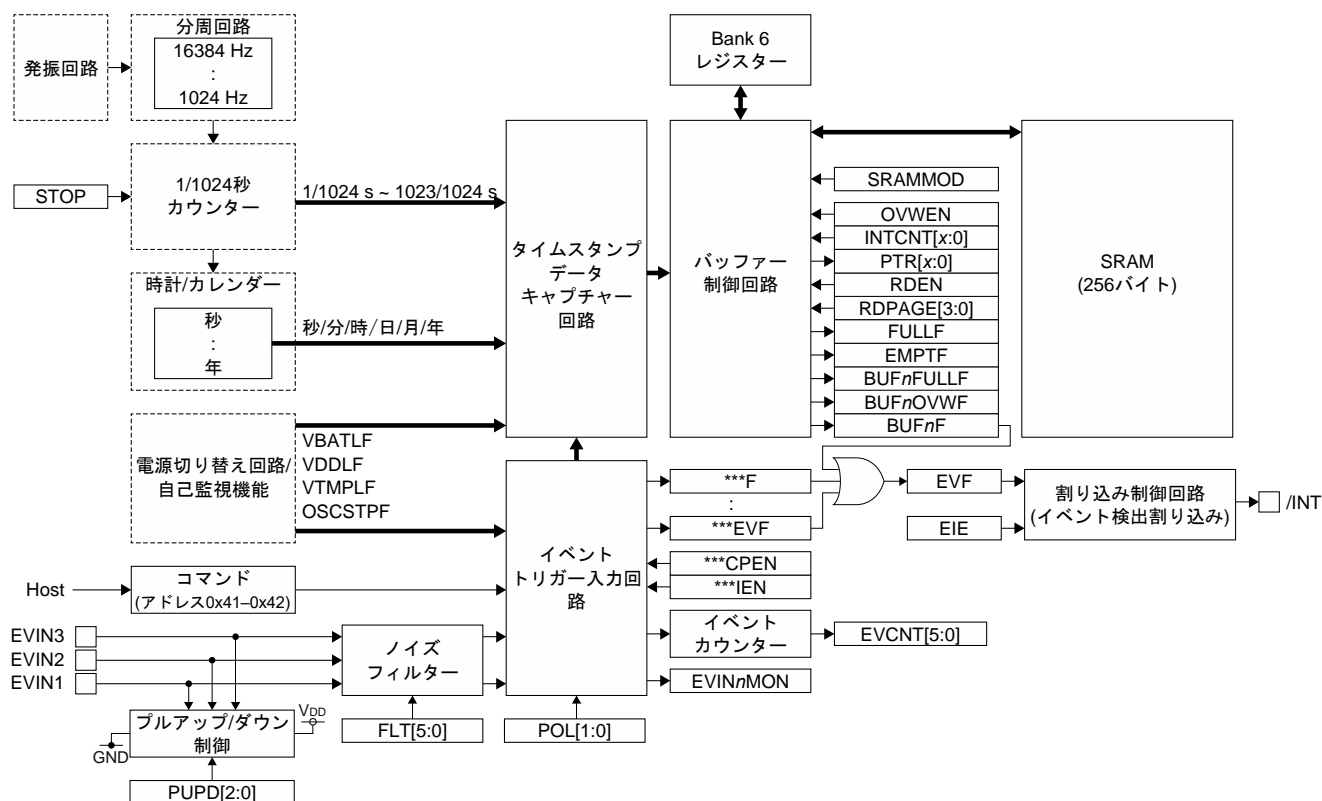


図 3.33 タイムスタンプ回路の構成

3.10.2 タイムスタンプトリガー

RX4901CE/RX8901CEは外部または内部イベントの発生、もしくは特定レジスターへの書き込みをトリガーとして、その時点のタイムスタンプデータを取得してバッファーに書き込みます。それぞれのタイムスタンプトリガーを、EVIN n イベント入力トリガー、内部イベントトリガー、コマンドトリガーと言います。

外部イベント入力 (EVIN n 端子)トリガー

外部イベント入力トリガー信号はEVIN1 ~ EVIN3端子から入力されます。この外部イベントトリガー入力に関連する機能を以下に示します。

プルアップ/プルダウン抵抗

EVIN n 端子にはプルアップ/プルダウン抵抗が内蔵されており、その構成を選択することができます。

表 3.14 EVIN n 端子のプルアップ/ダウン

EVIN1_CFG.PUPD[2:0] EVIN2_CFG.PUPD[2:0] EVIN3_CFG.PUPD[2:0]	プルアップ/ダウン抵抗
0b000	プルアップ/ダウンなし
0b001	プルアップ 500 k Ω
0b010	プルアップ 1 M Ω (デフォルト)
0b011	プルアップ 10 M Ω
0b100	プルダウン 500 k Ω
その他	プルアップ/ダウンなし

ノイズフィルター

EVIN n 端子には入力信号のノイズを除去するノイズフィルター回路が設けられています。EVIN n 端子への入力信号を125 ms周期でサンプリングし、その結果がEVIN n _FLT.FLT[5:0]ビットの設定回数分、連続して一致したときに、その論理値が入力されたと判定します。

EVIN1ノイズフィルター: EVIN1_FLT.FLT[5:0]ビット

EVIN2ノイズフィルター: EVIN2_FLT.FLT[5:0]ビット

EVIN3ノイズフィルター: EVIN3_FLT.FLT[5:0]ビット

(フィルター時間 [ms] = FLT[5:0] \times 125)

以下の図は、EVIN_n_FLT.FLT[5:0]ビット = 0x03に設定した例です。

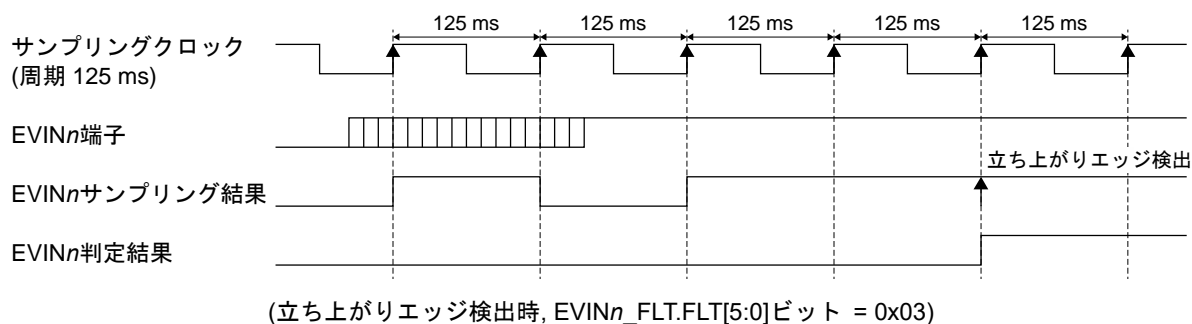


図 3.34 EVINのノイズフィルター機能

- 注: • EVIN_n_FLT.FLT[5:0]ビットを0x00に設定した場合でも、有効な入力信号としてEVIN_n端子の入力信号1 ms以上のパルス幅が必要です。
- 入力信号は入力検出から5 ms後に取り込まれるため、タイムスタンプの取得まで5 msの遅延が生じます。

表 3.15 EVIN_n入力有効パルス幅

EVIN _n _FLT.FLT[5:0]	入力信号のエッジと125msごとのサンプリングタイミングとの前後関係によって、エッジ入力検出される場合とされない場合が生じるEVIN _n のパルス幅	常にエッジ入力検出されるEVIN _n のパルス幅
0x00	—	1 ms以上
0x01 (設定禁止)	—	—
0x02	125 ms以上、250 ms未満	250 ms以上
0x03	250 ms以上、375 ms未満	375 ms以上
:	:	:
0x27	4750 ms以上、4875 ms未満	4875 ms以上
0x28	4875 ms以上、5000 ms未満	5000 ms以上
0x29以上 (設定禁止)	—	—

入力検出

EVIN_n端子から入力される信号の検出エッジを設定可能です。

表 3.16 EVIN_n入力検出エッジ

EVIN1_CFG.POL[1:0] EVIN2_CFG.POL[1:0] EVIN3_CFG.POL[1:0]	検出エッジ
0b00	立ち下がりエッジ (デフォルト)
0b01	立ち上がりエッジ
0b10	立ち下がりおよび
0b11	立ち上がりエッジ

イベントカウンター

各EVIN_n入力には6ビットカウンターが設けられており、イベントトリガーの入力数を0から63の範囲でカウントすることができます。カウント値は以下のビットから読み出し可能です。

EVIN1イベントカウンター: EVIN1_EVCNT.EVCNT[5:0]ビット

EVIN2イベントカウンター: EVIN2_EVCNT.EVCNT[5:0]ビット

EVIN3イベントカウンター: EVIN3_EVCNT.EVCNT[5:0]ビット

モニター

EVIN_n端子の現在の状態 (入力ロジックレベル) をモニターするビットが用意されています。

EVIN1モニター: EVINMON.EVIN1MONビット

EVIN2モニター: EVINMON.EVIN2MONビット

EVIN3モニター: EVINMON.EVIN3MONビット

(1: HIGHレベル入力、0: LOWレベル入力)

内部イベントトリガー

電源電圧の低下を検出した時点で、または発振の停止を検出した時点で内部イベントトリガーを発行することができます。

V_{BAT}電圧低下検出

-V_{DET1}電圧低下検出

V_{DET2}電圧低下検出

発振停止検出 (タイムスタンプデータの取得は、発振が再開したタイミングで作動します。)

注: 電圧低下を検出するには、PWSW_CFG.INIENビットを1に設定する必要があります。詳細は、“3.9 バックアップ電源切り替え機能”を参照してください。

コマンドトリガー

WRCMD_CFG.CMDTRGENビットを1に設定した上でレジスターWRCMD_TRGに任意の値を書き込むことで、コマンドトリガーを発行可能です。

3.10.3 タイムスタンプバッファ

RX4901CE/RX8901CEには256バイトSRAMが搭載されており、取得したタイムスタンプデータを格納するタイムスタンプバッファとして使用されます。

タイムスタンプデータ

バッファに取得するデータは以下のとおりで、アドレス0x60から0x69まで連続してアクセスすることにより読み出し可能です。

Address	Captured data	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60	1/1024秒の分周カウンターデータ	SUBSEC1	SUBSEC0	-	-	-	-	-	-
		2	1						
0x61		SUBSEC9	SUBSEC8	SUBSEC7	SUBSEC6	SUBSEC5	SUBSEC4	SUBSEC3	SUBSEC2
		512	256	128	64	32	16	8	4
0x62	秒データ (0-59)	-	SEC_H[2:0]			SEC_L[3:0]			
			10秒桁 (BCD)			1秒桁 (BCD)			
0x63	分データ (0-59)	-	MIN_H[2:0]			MIN_L[3:0]			
			10分桁 (BCD)			1分桁 (BCD)			
0x64	時データ (0-23)	-	-	HOUR_H[1:0]		HOUR_L[3:0]			
				1時桁 (BCD)		1時桁 (BCD)			
0x65	日データ (1-31)	-	-	DAY_H[1:0]		DAY_L[3:0]			
				10日桁 (BCD)		1日桁 (BCD)			
0x66	月データ (1-12)	-	-	-	MONTH_H	MONTH1[3:0]			
					10月桁 (BCD)	1月桁 (BCD)			
0x67	年データ (0-99)	YEAR_H[3:0]			YEAR_L[3:0]				
		10年桁 (BCD)			1年桁 (BCD)				
0x68	内部ステータス	EVIN3POL	EVIN2POL	EVIN1POL	-	VBATLSTAT	VTMPLSTAT	VDDLSTAT	OSCSTPSTAT
		EVIN3入力ステータス	EVIN2入力ステータス	EVIN1入力ステータス		V _{BAT} 低下検出ステータス	V _{DET2} 低下検出ステータス	-V _{DET1} 低下検出ステータス	発振停止検出ステータス
0x69	データを取得したトリガー要因	EVIN3TRG *	EVIN2TRG *	EVIN1TRG *	WRCMDTRG	VBATLTRG	VTMPLTRG	VDDLTRG	OSCSTPTRG
		EVIN3トリガー発生	EVIN2トリガー発生	EVIN1トリガー発生	コマンドトリガー発生	V _{BAT} 低下検出トリガー発生	V _{DET2} 低下検出トリガー発生	-V _{DET1} 低下検出トリガー発生	発振停止検出トリガー発生

* ダイレクトモードでは“0”です。

図 3.35 タイムスタンプデータと読み出しアドレス

読み出し時はバッファ内のポインター/ページを指定し、該当データをこの領域から読み出せるようにします。

タイムスタンプバッファの動作モード

タイムスタンプバッファにはFIFOモード、ダイレクトモード、SRAMモードの3種類の動作モードが用意されています。

FIFOモード (EVIN_EN.DIRMODビット = 0, BUF1_CFG2.SRAMMODビット = 0)

バッファ全体を1つのFIFOとして使用し、ポインターでデータの読み出しと書き込みを管理します。トリガー待ちの状態でも、バッファ内のデータの読み出しが可能です。また、全領域をすべてのトリガー要因が共有します。保存されるタイムスタンプにはトリガー要因が含まれているため、どのトリガーによって取得したタイムスタンプか判別できます。

データを読み出すまで、最大32回のスタンプデータのキャプチャーが可能です。

下図は、6回データをキャプチャーした状態の例です。

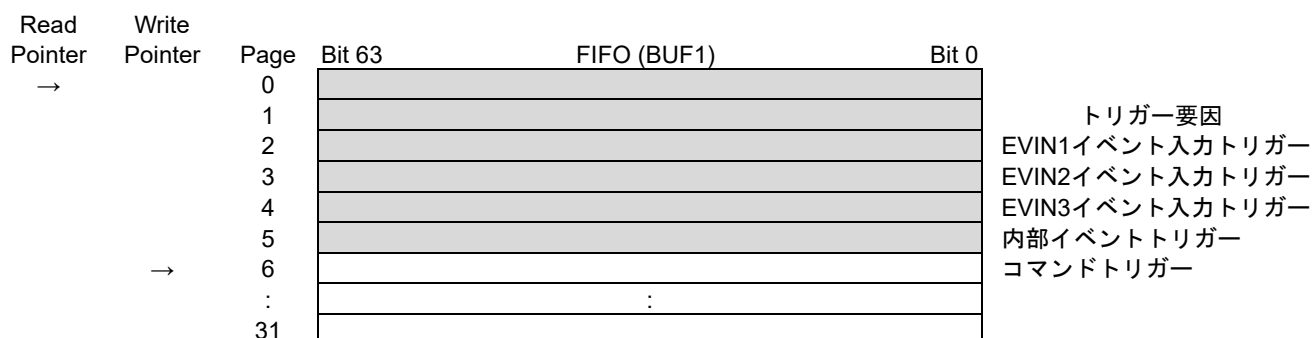


図 3.36 FIFOモードのタイムスタンプバッファ

ダイレクトモード (EVIN_EN.DIRMODビット = 1, BUF1_CFG2.SRAMMODビット = 0)

EVIN1 ~ EVIN3のイベント入力で生じるタイムスタンプを、それぞれ独立した3つのバッファ領域 (BUF1、BUF2、BUF3) に分けてキャプチャーします。また、他のトリガーによるタイムスタンプの保存先バッファ領域は、表 3.17を参照してください。

ただし、各バッファはFIFOの形式はとらず、ポインターによる読み出し/書き込みの管理は行いません。したがって、ダイレクトモードかつオーバーライトモードでのデータの読み出し時は、該当BUFに対するスタンプデータのキャプチャー動作を停止させる必要があります。

表 3.17 ダイレクトモードのBUF1 ~ BUF3

項目	BUF1	BUF2	BUF3
スタンプデータキャプチャー回数	10回	12回	10回
トリガー要因	EVIN1イベント入力トリガー コマンドトリガー	EVIN2イベント入力トリガー	EVIN3イベント入力トリガー 内部イベントトリガー

下図は、各バッファに2回データをキャプチャーした状態の例です。

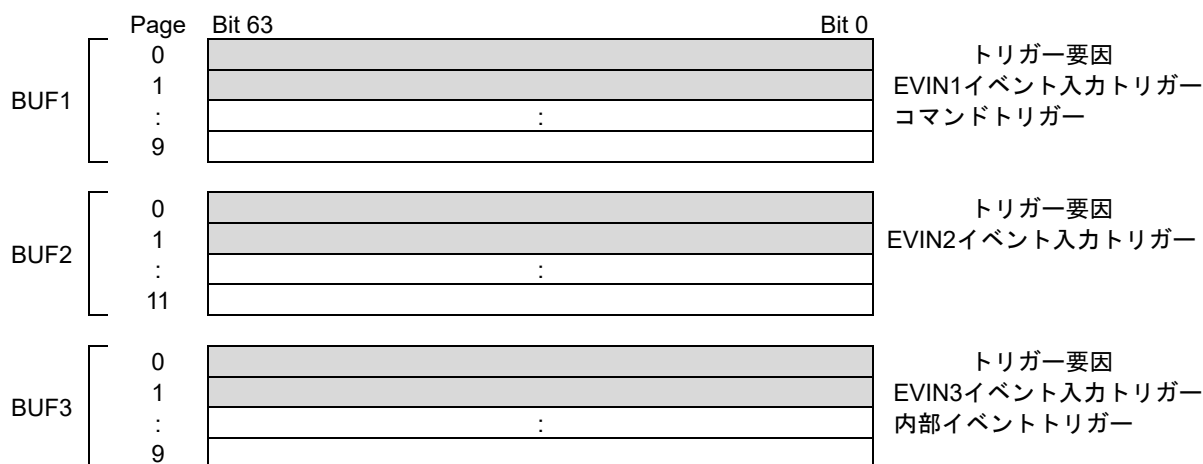


図 3.37 各バッファに2回データをキャプチャーしたときのダイレクトモードのタイムスタンプバッファ

SRAMモード (EVIN_EN.DIRMODビット = 0/1, BUF1_CFG2.SRAMMODビット = 1)

このモードでは、Bank 6を通してタイムスタンプバッファを通常のSRAMと同様にリード/ライトアクセスすることが可能です。SRAMは16バイト × 16ページで構成されます。アクセスするページを指定することにより、そのページの16アドレスに対してBank 6(アドレス0x60 ~ 0x6F) からデータを自由にリード/ライトできます。

SRAMのアクセス方法

1. BUF1_CFG2.SRAMMODビットを1に設定する。 (SRAMモードに設定)
2. BUF1_CFG2.RDPAGE[3:0]ビットを設定する。 (SRAMページ (0x0 ~ 0xF) を指定)
Bank 6が指定したページをアクセスするウィンドウになります。
3. アドレス0x60 ~ 0x6F (SRAMアドレス0x0 ~ 0xFに対応) 内の必要なアドレスに対してリード/ライトを行う。

タイムスタンプバッファの書き込みモード

データのキャプチャーによりバッファフルの状態になった後の動作を指定する2種類の書き込みモードが用意されています。

オーバーライトモード

読み出し前のデータは古いデータから上書きされます。
以下のビットを1に設定するとオーバーライトモードになります。

FIFOモード/BUF1書き込みモード設定: BUF1_CFG1.OVWENビット
BUF2書き込みモード設定: BUF2_CFG1.OVWENビット
BUF3書き込みモード設定: BUF3_CFG1.OVWENビット

オーバーライトが発生した場合はBUF_OVWF.BUF n OVWFビットが1にセットされます。

オーバーライト禁止モード

バッファフル以降にタイムスタンプのトリガーが発行されると、オーバーライトのフラグはセットされますが、キャプチャーされたデータは破棄されます。読み出し前のデータは保護されます。
上記の書き込みモード設定ビットを0に設定するとオーバーライト禁止モードになります。

3.10.4 動作**初期設定**

1. /INTからのイベント検出割り込み出力を禁止
初期設定中に不要なイベント検出割り込みが発生することを防止するため、割り込みを禁止してください。
 - 1-1. TSTP_INTE.EIEビットを0に設定する。 (タイムスタンプイベント検出割り込みディスエーブル)
2. FIFOモード/ダイレクトモードの選択
 - 2-1. EVIN_EN.DIRMODビットを設定する。 (FIFO/ダイレクトモードの選択)
3. EVIN入力の設定
 - 3-1. EVIN1入力を使用する場合、レジスタEVIN1_CFGとEVIN1_FLTの以下のビットを設定する。
 - EVIN1_CFG.PUPD[2:0]ビット (プルアップ/プルダウン抵抗の設定)
 - EVIN1_CFG.POL[1:0]ビット (検出エッジを選択)
 - EVIN1_FLT.FLT[5:0]ビット (入力フィルター時間を設定)

- 3-2. EVIN2入力を使用する場合、レジスタEVIN2_CFGとEVIN2_FLTの以下のビットを設定する。
- EVIN2_CFG.PUPD[2:0]ビット (プルアップ/プルダウン抵抗の設定)
 - EVIN2_CFG.POL[1:0]ビット (検出エッジを選択)
 - EVIN2_FLT.FLT[5:0]ビット (入力フィルター時間を設定)
- 3-3. EVIN3入力を使用する場合、レジスタEVIN3_CFGとEVIN3_FLTの以下のビットを設定する。
- EVIN3_CFG.PUPD[2:0]ビット (プルアップ/プルダウン抵抗の設定)
 - EVIN3_CFG.POL[1:0]ビット (検出エッジを選択)
 - EVIN3_FLT.FLT[5:0]ビット (入力フィルター時間を設定)

4. 割り込みの設定

- 4-1. 外部イベント入力割り込みを許可する場合は、レジスタEVNT_INTEの以下のビットを1 (禁止する場合は0) に設定する。
- EVNT_INTE.EVIN1IENビット*1 (EVIN1イベント入力割り込みを許可/禁止)
 - EVNT_INTE.EVIN2IENビット*1 (EVIN2イベント入力割り込みを許可/禁止)
 - EVNT_INTE.EVIN3IENビット*1 (EVIN3イベント入力割り込みを許可/禁止)
- 4-2. 内部イベント割り込みを許可する場合は、レジスタEVNT_INTEの以下のビットを1 (禁止する場合は0) に設定する。
- EVNT_INTE.VBATLIENビット*1 (V_{BAT}電圧低下検出イベント割り込みを許可/禁止)
 - EVNT_INTE.VTMPLIENビット*1 (V_{DET2}電圧低下検出イベント割り込みを許可/禁止)
 - EVNT_INTE.VDDLIEENビット*1 (-V_{DET1}電圧低下検出イベント割り込みを許可/禁止)
 - EVNT_INTE.OSCSTPIENビット*1 (発振停止検出イベント割り込みを許可/禁止)

*1 タイムスタンプデータの取得が許可されているか否かにかかわらず、これらのビットにより各イベントの発生による割り込みが許可/禁止されます。

5. バッファの設定

5a. FIFOモード時 (BUF1)

5a-1. レジスタBUF1_CFG1の以下のビットを設定する。

- BUF1_CFG1.OVWENビット (オーバーライト/オーバーライト禁止モードの選択)
- BUF1_CFG1.INTCNT[5:0]ビット*2 (割り込みを発生させるバッファデータ数の指定)

*2 0x0に設定すると、BUF1のBUF_INTE.BUF1Fがセットされたときの割り込みは発生しません。

5b. ダイレクトモード時 (BUF1 ~ BUF3)

5b-1. BUF1を使用する場合は、レジスタBUF1_CFG1の以下のビットを設定する。

- BUF1_CFG1.OVWENビット (オーバーライト/オーバーライト禁止モードの選択)
- BUF1_CFG1.INTCNT[5:0]ビット*3 (割り込みを発生させるバッファデータ数の指定)

5b-2. BUF2を使用する場合は、レジスタBUF2_CFG1の以下のビットを設定する。

- BUF2_CFG1.OVWENビット (オーバーライト/オーバーライト禁止モードの選択)
- BUF2_CFG1.INTCNT[3:0]ビット*3 (割り込みを発生させるバッファデータ数の指定)

5b-3. BUF3を使用する場合は、レジスタBUF3_CFG1の以下のビットを設定する。

- BUF3_CFG1.OVWENビット (オーバーライト/オーバーライト禁止モードの選択)
- BUF3_CFG1.INTCNT[3:0]ビット*3 (割り込みを発生させるバッファデータ数の指定)

*3 0x0に設定すると、BUF_nのBUF_INTE.BUF_nFがセットされたときの割り込みは発生しません。

6. コマンドトリガーによるイベントカウンターとバッファのフラグのクリア

- 6-1. レジスタWRCMD_CFGに0xF0を書き込む。 (クリアコマンド)
- 6-2. レジスタWRCMD_TRGに任意の値を書き込む。 (コマンドトリガー発行)

7. /INT端子からのイベント検出割り込み出力を許可

- 7-1. TSTP_INTE.EIEビットを1に設定する。 (タイムスタンプイベント検出割り込みイネーブル)

8. タイムスタンプを取得する外部イベントを設定
- 8-1. EVIN入力でタイムスタンプを取得する場合は、レジスターEVIN_ENの以下のビットを1に設定する。
- EVIN_EN.EVIN1CPENビット (EVIN1入力によるタイムスタンプキャプチャーを許可/禁止)
 - EVIN_EN.EVIN2CPENビット (EVIN2入力によるタイムスタンプキャプチャーを許可/禁止)
 - EVIN_EN.EVIN3CPENビット (EVIN3入力によるタイムスタンプキャプチャーを許可/禁止)
9. タイムスタンプを取得する内部イベントを設定
- 9-1. 内部イベントの発生時にタイムスタンプを取得する場合は、レジスターCAP_ENの以下のビットを1に設定する。
- CAP_EN.VBATLCPENビット (V_{BAT}電圧低下検出イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
 - CAP_EN.VTMPLCPENビット (V_{DET2}電圧低下検出イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
 - CAP_EN.VDDLCPENビット (-V_{DET1}電圧低下検出イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
 - CAP_EN.OSCSTPCPENビット (発振停止検出イベントトリガーによるタイムスタンプキャプチャーを許可/禁止)
10. 外部イベントの入力受付許可
- 10-1. EVIN端子からの外部イベント入力を許可する場合は、レジスターEVIN_ENの以下のビットを1に設定する。
- EVIN_EN.EVIN1ENビット*4 (EVIN1からの外部イベント入力を許可/禁止)
 - EVIN_EN.EVIN2ENビット*4 (EVIN2からの外部イベント入力を許可/禁止)
 - EVIN_EN.EVIN3ENビット*4 (EVIN3からの外部イベント入力を許可/禁止)
- *4 EVIN_EN.EVIN_nENビットを0 (EVIN_n入力を禁止) に設定する場合は、EVIN_EN.EVIN_nCPENビットも0に設定してください。

タイムスタンプキャプチャー動作

FIFOモード

タイムスタンプキャプチャーが許可されたイベントトリガーまたはコマンドトリガーが発生すると、RX4901CE/RX8901CEはタイムスタンプデータをカウンターおよびフラグより取得し、<BUF1_STAT.PTR[5:0]ビット + 1> が示すバッファのページに書き込みます。この書き込みによりBUF1_STAT.PTR[5:0]ビットはインクリメントされます。つまり、BUF1_STAT.PTR[5:0]ビットはバッファ内の読み出し前のデータ数を保持しています。この値がBUF1_CFG1.INTCNT[5:0]ビットで指定したデータ数に一致するとBUF1のイベント入力割り込み要因が発生し、割り込みが許可されていれば/INT信号をアクティブにしてホストに割り込み要求を出力します。

データリード時は <BUF1_STAT.PTR[5:0]ビット = 1> が指し示すページからタイムスタンプデータが読み出されます。この読み出しによりBUF1_STAT.PTR[5:0]ビットはデクリメントされ、同時にBUF1_STAT.PTR[5:0]ビットが指し示すページ番号が更新されます。

図 3.38と図 3.39にデータのキャプチャーによるFIFOバッファ、ポインター、バッファステータスビットの状態を示します。

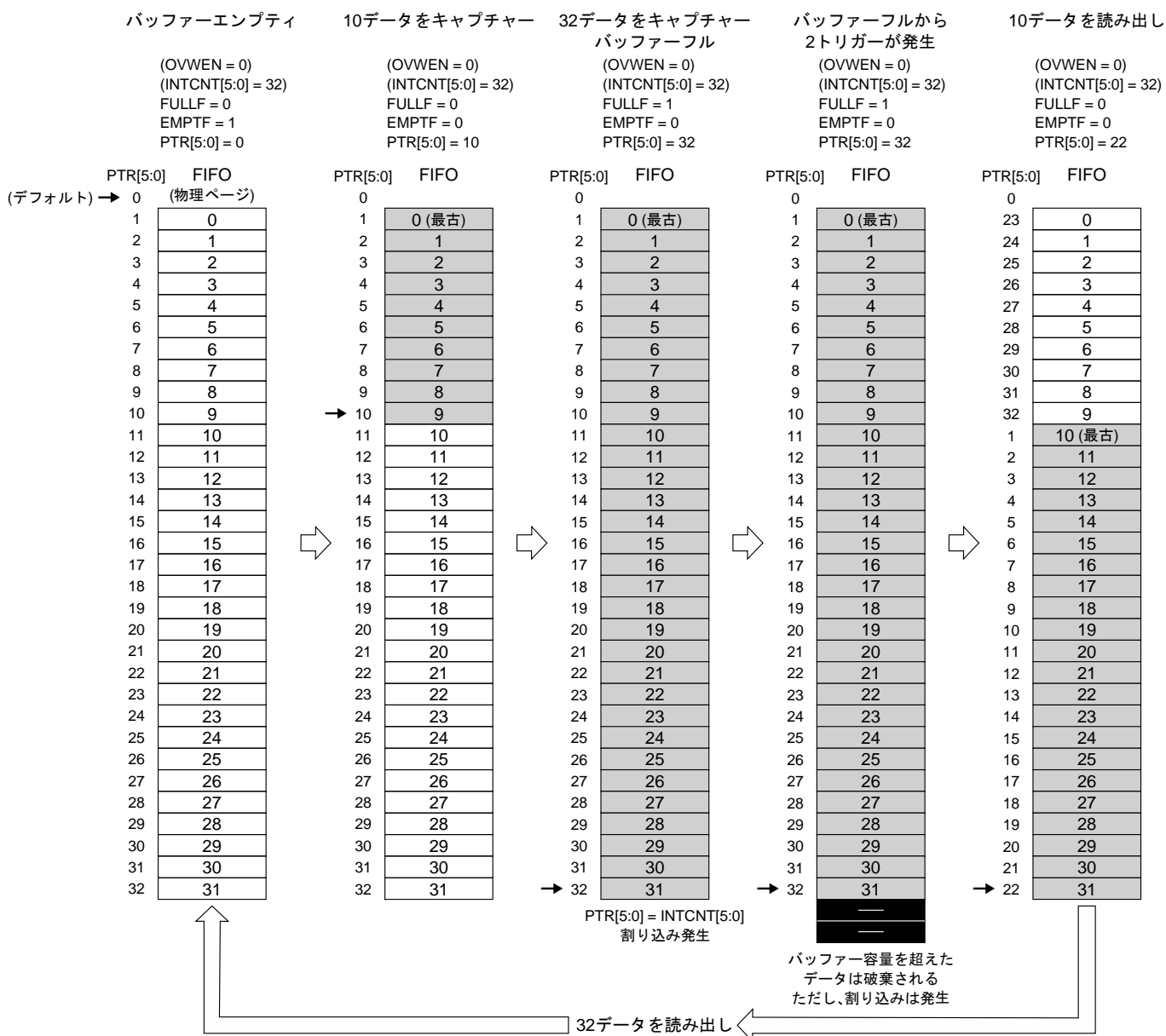


図 3.38 タイムスタンプキャプチャー動作 (FIFOモード + オーバーライト禁止モード)

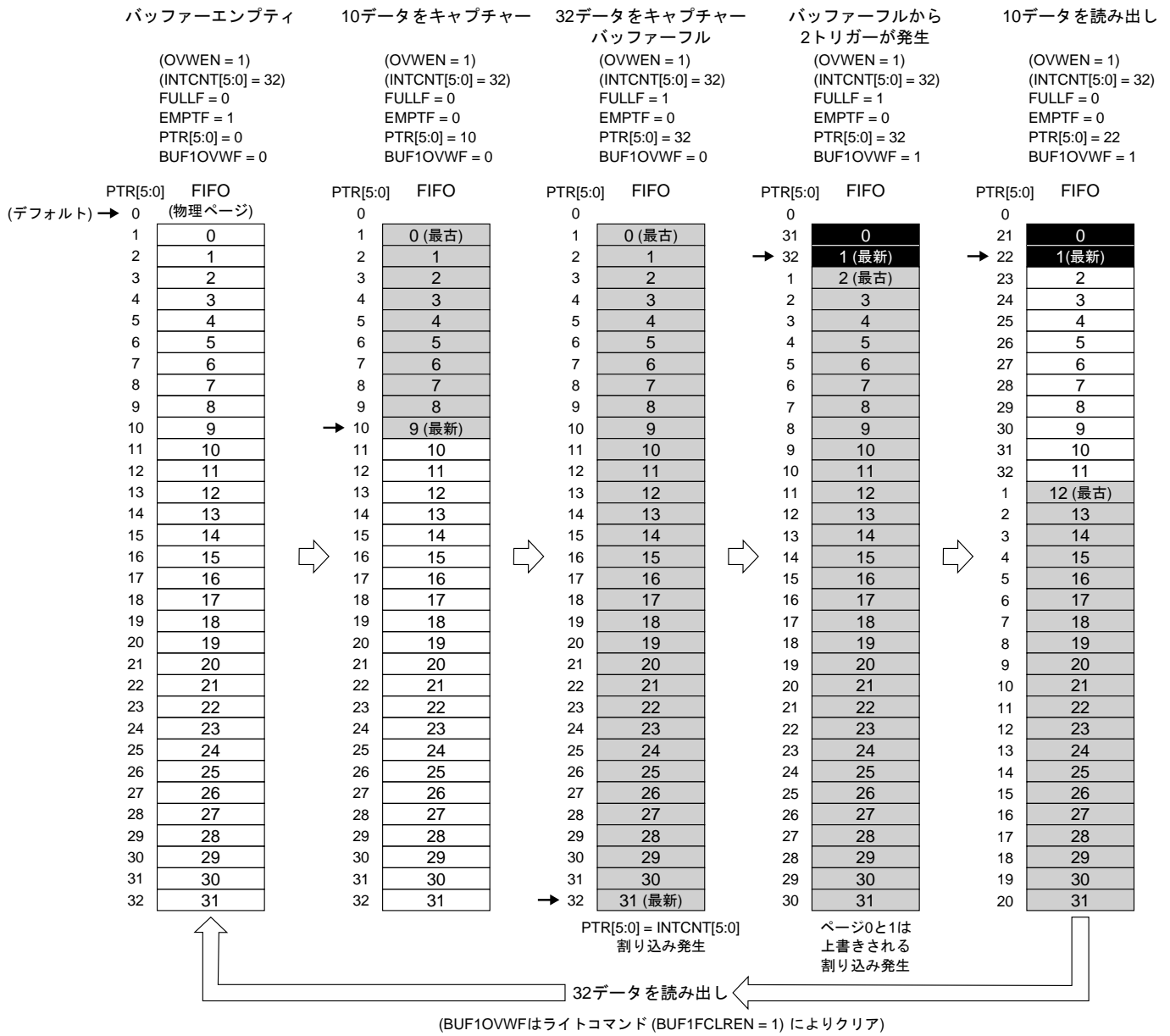


図 3.39 タイムスタンプキャプチャー動作 (FIFOモード + オーバーライトモード)

ダイレクトモード

タイムスタンプキャプチャーが許可されたイベントトリガーまたはコマンドトリガーが発生すると、RX4901CE/RX8901CEはタイムスタンプデータをカウンタおよびフラグより取得し、イベントの種類で決められているBUF n に書き込みます。ダイレクトモードのバッファはFIFOのようなポインターを持ちません。トリガーが発生した回数をBUF n _STAT.PTR[x:0]ビットに保持しており、データはこの値が示すページに書き込まれます。データの書き込みごとにトリガー回数はインクリメントされます。この値がBUF n _CFG1.INTCNT[x:0]ビットで指定したデータ数に一致するとBUF n のイベント入力割り込み要因が発生し、割り込みが許可されていれば/INT信号をアクティブにしてホストに割り込み要求を出力します。図 3.40と図 3.41にBUF1を例にデータのキャプチャーによるバッファとバッファステータスビットの状態を示します。

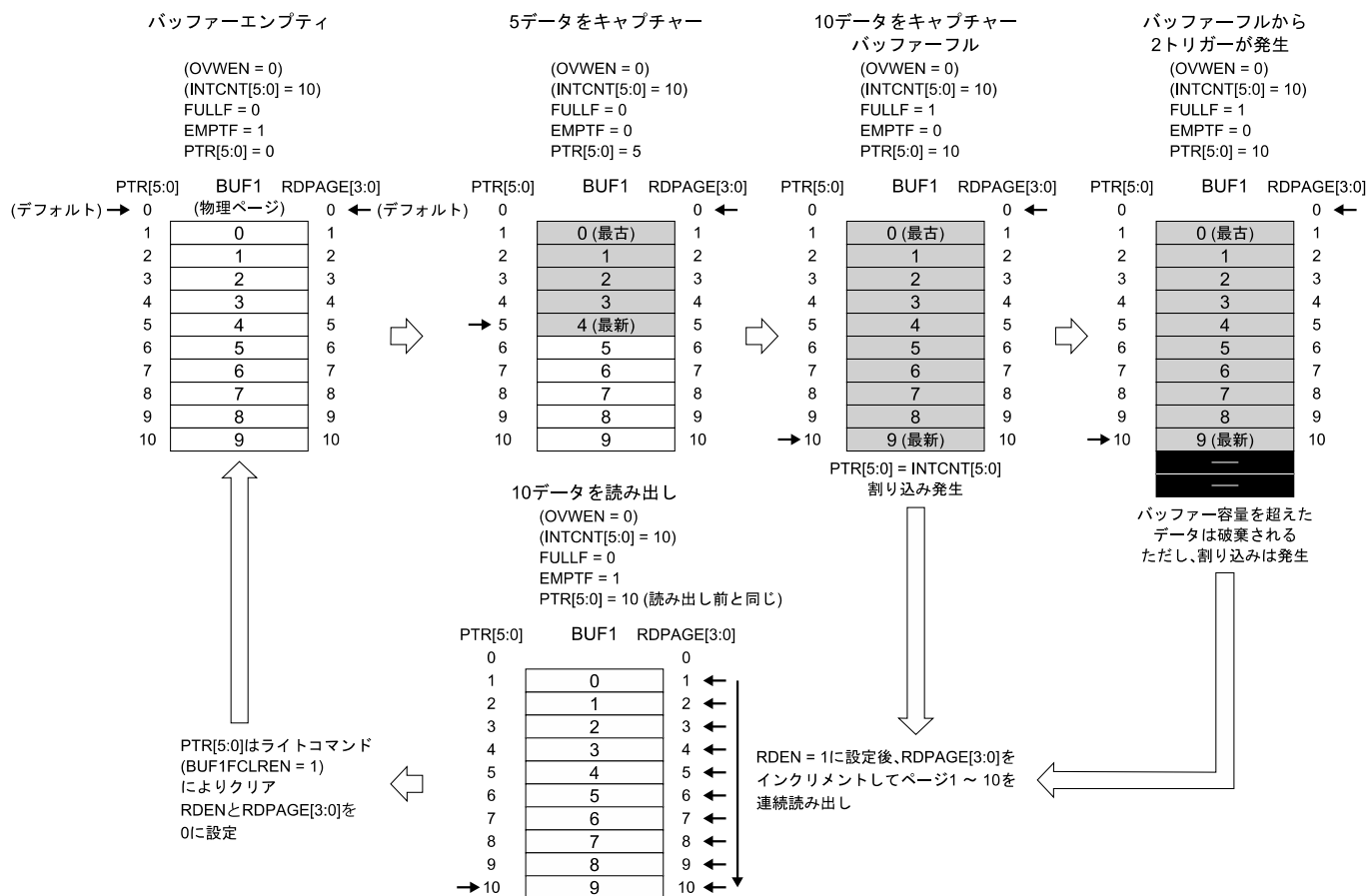


図 3.40 タイムスタンプキャプチャー動作 (ダイレクトモード + オーバーライト禁止モード)

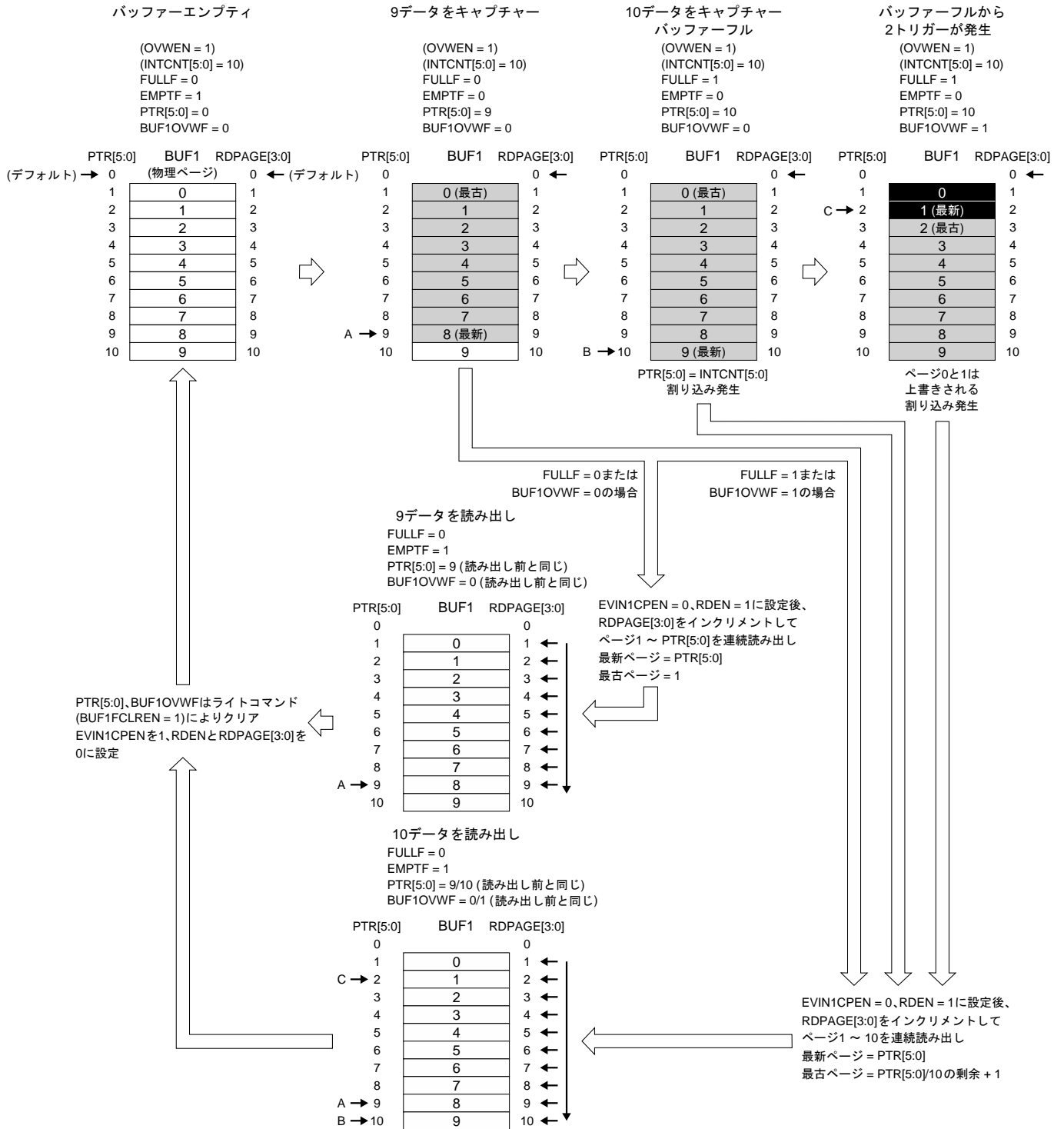


図 3.41 タイムスタンプキャプチャー動作 (ダイレクトモード + オーバーライトモード)

バッファフル/エンプティ

データが読み出されずにバッファがフルになるとバッファフルフラグ (BUF_n_STAT.FULLFビットおよびBUF_FULLF.BUF_nFULLFビット*1) が1になります。

オーバーライト禁止モードに設定している場合、これ以降のイベントトリガーで取得したタイムスタンプデータは、バッファに空きができる (BUF_n_STAT.FULLFビットが0になる) まで、破棄されます。ダイレクトモードの場合、BUF_n_STAT.PTR[x:0]ビットはバッファフル時の値に固定されます。

オーバーライトモードに設定している場合、新たに取得したデータで最も古いデータから順に上書きされます。ダイレクトモードの場合、BUF_n_STAT.PTR[x:0]ビットは0に戻りトリガー回数のカウントを続けます。オーバーライトが発生すると、オーバーライトフラグ (BUF_OVWF.BUF_nOVWFビット*2) が1にセットされます。

データがすべて読み出されてバッファが空になると、バッファエンプティフラグ (BUF_n_STAT.EMPTFビット*3) が1にセットされます。

*1 バッファフルフラグ: BUF_n_STAT.FULLFビットは、データが読み出されてバッファに空きができると自動的にクリアされます。また、WRCMD_CFG.BUF_nFCLRENビット = 1のコマンドトリガーを実行することによってもクリアされます。

BUF_FULLF.BUF_nFULLFビットはバッファフルの履歴を表すフラグで、バッファフル状態が解消されても0を書き込むまでクリアされません。

*2 BUF_OVWF.BUF_nOVWFビットは、WRCMD_CFG.BUF_nFCLRENビット = 1のコマンドトリガーを実行することによりクリアされます。

*3 バッファエンプティフラグ: BUF_n_STAT.EMPTFビットは、バッファにデータが書き込まれると自動的にクリアされます。また、WRCMD_CFG.BUF_nFCLRENビット = 1のコマンドトリガーを実行することによってもクリアされます。

コマンドトリガーの発行

RX4901CE/RX8901CEにはレジスターへの書き込みによりタイムスタンプトリガーを発生させる機能があります。その手順は以下のとおりです。

1. WRCMD_CFG.CMDTRGENビットを1に設定する。 (コマンドトリガーを指定)
2. WRCMD_TRG.WRTRG[7:0]ビットに任意の値を書き込む。 (コマンドトリガーの発行)
3. BUF_INTF.BUF1Fビットが1にセットされたことを確認する。
あるいは、BUF1_CFG2.RDPAGE[3:0]ビットがインクリメントされたことを確認する。
4. WRCMD_TRG.WRTRG[7:0]ビットが0x00に戻ったことを確認する。

手順3はタイムスタンプトリガーが正常に受けられたことを確認する手順です。

手順4はコマンドトリガー発行直後にタイムスタンプデータを読み出す場合や、次のコマンドトリガーを発行する場合に必要です。

注: • コマンドトリガーによるタイムスタンプはBUF1に保存されます。

- このタイムスタンプトリガーを連続して発行する場合は、それぞれのトリガーの間に5 ms以上のインターバルが必要です。

コマンドトリガーによるタイムスタンプトリガーのタイミングを図 3.42に示します。

RX4901CEでは、レジスターWRCMD_TRGのデータのLSBのクロック立ち上がりエッジでコマンドトリガーが発行されます。

RX8901CEでは、レジスターWRCMD_TRGへのデータ送信に対するACK応答中のクロックの立ち上がりエッジでコマンドトリガーが発行されます。

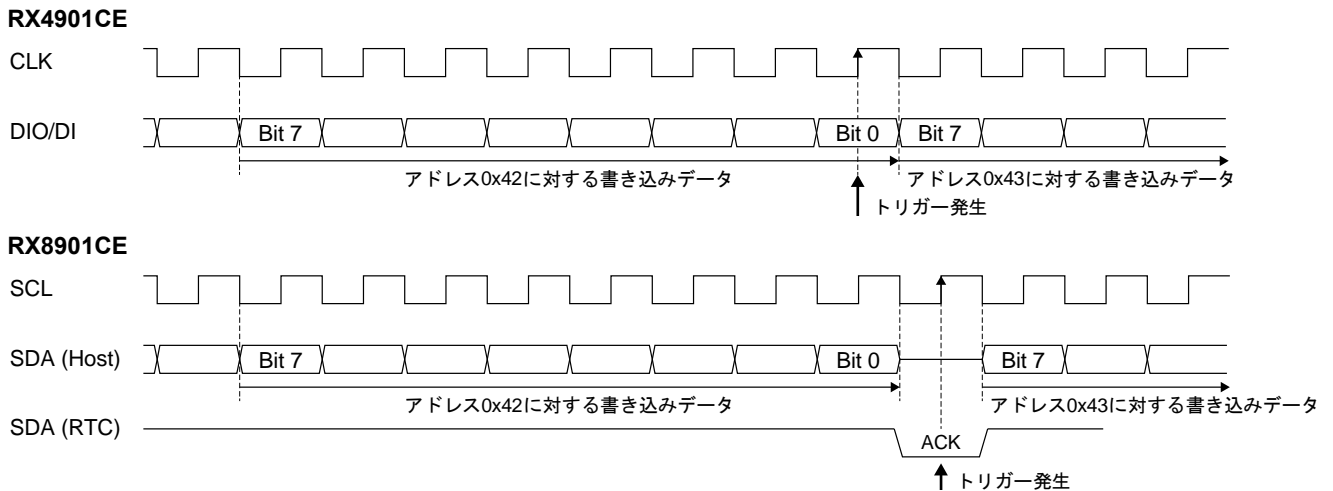


図 3.42 コマンドトリガータイミング

コマンドトリガーには上記のタイムスタンプトリガー以外に、以下の機能があります。

- WRCMD_CFG.EVCNTCLRENビット: 1に設定してコマンドトリガーを発行することにより、イベントカウンター (レジスター-EVIN_n_EVCNT) をクリアします。
- WRCMD_CFG.BUF1FCLRENビット: 1に設定してコマンドトリガーを発行することにより、以下のフラグをクリアします。
 BUF1_STAT.FULLFビット (BUF1フルフラグ)
 BUF1_STAT.EMPTFビット (BUF1エンプティフラグ)
 BUF1_STAT.PTR[5:0]ビット (BUF1イベントポインター)
 BUF_OVWF.BUF1OVWFビット (BUF1オーバーライトフラグ)
- WRCMD_CFG.BUF2FCLRENビット: 1に設定してコマンドトリガーを発行することにより、以下のフラグをクリアします。
 BUF2_STAT.FULLFビット (BUF2フルフラグ)
 BUF2_STAT.EMPTFビット (BUF2エンプティフラグ)
 BUF2_STAT.PTR[3:0]ビット (BUF2イベントポインター)
 BUF_OVWF.BUF2OVWFビット (BUF2オーバーライトフラグ)
- WRCMD_CFG.BUF3FCLRENビット: 1に設定してコマンドトリガーを発行することにより、以下のフラグをクリアします。
 BUF3_STAT.FULLFビット (BUF3フルフラグ)
 BUF3_STAT.EMPTFビット (BUF3エンプティフラグ)
 BUF3_STAT.PTR[3:0]ビット (BUF3イベントポインター)
 BUF_OVWF.BUF3OVWFビット (BUF3オーバーライトフラグ)

タイムスタンプデータの読み出し

FIFOモード

FIFOモードでのタイムスタンプデータ読み出し手順の一例を以下に示します。

1. 割り込み発生 (INT=L) 後、レジスターINTFを読み出す。
INTF.EVFビット = 1の場合はタイムスタンプイベント検出割り込みが発生していますので、手順2以下を実行します。

それ以外の割り込みが発生した場合は、対応する割り込み処理を実行してください。

2. レジスターEVNT_INTFとBUF_INTFを読み出して、発生している割り込み要因を特定する。

<レジスターEVNT_INTF内のフラグがセットされている場合>

EVIN1入力または内部イベントが発生したことを示します。表 3.18に各フラグのセット条件を示します。発生したイベントに従い、割り込み処理を実行してください。また、セットされたフラグは割り込み処理内で0を書き込んでクリアしてください。

<BUF_INTF.BUF1Fビットがセットされている場合>

この割り込みは、キャプチャーを許可しているイベントの発生により、BUF1_STAT.PTR[5:0]ビットが示すバッファ内のデータ数がBUF1_CFG1.INTCNT[5:0]ビットの設定値に一致すると発生します。以下の操作を行い、データを読み出してください。

3. 割り込みを一時的に禁止する場合は、TSTP_INTE.EIEビットを0に設定する。
(タイムスタンプイベント検出割り込みディスエーブル)
4. BUF_INTF.BUF1Fビットに0を書き込む。
(割り込みフラグをクリア)
5. BUF1_STAT.PTR[5:0]ビットを読み出し、バッファから読み出し可能なタイムスタンプデータ数を取得する。
6. アドレス0x60 ~ 0x69の10バイトをバーストリード^注して、1回分のタイムスタンプデータを取得する。その後1 msの待ち時間を取り、さらにこの操作を手順5で取得したデータ数分繰り返し実行する。

このとき、BUF1_CFG2.RDPAGE[3:0]ビットによる読み出しページの指定は不要です。最初の読み出しで最古のデータが得られ、その後順次新しいデータが読み出されます。BUF1_STAT.PTR[5:0]ビットは1回分の読み出しごとにデクリメントされ、必要回数の読み出し後は0になります。各アドレスの内容については図 3.35を参照してください。

注: • タイムスタンプデータは、必ずアドレス0x60 ~ 0x69を連続的に読み出して取得してください。一部のみの読み出しは禁止します。

• 手順5で得られたデータ数 (回数) 以上の読み出しは行わないでください。

7. BUF1_STAT.PTR[5:0]ビットが0またはBUF1_STAT.EMPTFビットが1になっていることを確認する。
もし、BUF1_STAT.PTR[5:0]ビットが0以外、あるいはBUF1_STAT.EMPTFビットが0の場合は、手順6の読み出し中に新たなトリガーが発生し、タイムスタンプデータが新たに追加されていますので、手順5 ~ 7を繰り返してください。

8. TSTP_INTE.EIEビットを1に設定する (手順3で0に設定した場合)。
(タイムスタンプイベント検出割り込みイネーブル)

上記の手順はバッファフルやオーバーライトを考慮していません。必要に応じ、それぞれのフラグを読み出して処理してください。

ダイレクトモード

ダイレクトモードでは、オーバーライト禁止モードとオーバーライトモードで推奨されているタイムスタンプデータ読み出し手順が異なります。それぞれの読み出しの推奨手順を以下に示します。

〈オーバーライト禁止モード時〉

1. 割り込み発生 ($INT=L$) 後、レジスターINTFを読み出す。
INTF.EVFビット = 1の場合はタイムスタンプイベント検出割り込みが発生していますので、手順2以下を実行します。

それ以外の割り込みが発生した場合は、対応する割り込み処理を実行してください。

2. レジスターEVNT_INTFとBUF_INTFを読み出して、発生している割り込み要因を特定する。

<レジスターEVNT_INTF内のフラグがセットされている場合>

EVIN n 入力または内部イベントが発生したことを示します。表 3.18に各フラグのセット条件を示します。発生したイベントに従い、割り込み処理を実行してください。また、セットされているフラグは割り込み処理内で0を書き込んでクリアしてください。

<BUF_INTF.BUF n Fビットがセットされている場合>

この割り込みは、キャプチャーを許可しているイベントの発生により、BUF n _STAT.PTR[x:0]ビットが示すバッファ内のデータ数がBUF n _CFG1.INTCNT[x:0]ビットの設定値に一致すると発生します。以下の操作を行い、データを読み出してください。

以下、BUF1の割り込みが発生したものと説明します。

3. BUF1_STAT.PTR[5:0]ビットを読み出して最新タイムスタンプデータのページ番号を取得する。
4. BUF1_CFG2.RDENビットを1に設定する。 (BUF1の読み出しを許可)
5. BUF1_CFG2.RDPAGE[3:0]ビットを0x1(最古データのページ) に設定する。(読み出すページを指定)
6. アドレス0x60 ~ 0x69の10バイトをバーストリードして、1回分のタイムスタンプデータを取得する。
各アドレスの内容については図 3.35を参照してください。
- * タイムスタンプデータは、必ずアドレス0x60 ~ 0x69を連続的に読み出して取得してください。一部のみの読み出しは禁止します。
7. BUF1_CFG2.RDPAGE[3:0]ビットが手順3で読み込んだページ数に達していなければ、BUF1_CFG2.RDPAGE[3:0]ビットをインクリメント(最古から最新データページまでを順次指定)し、手順6 ~ 7を繰り返す。
8. BUF1_CFG2.RDENビットを0に設定する。 (BUF1の読み出しを禁止)
9. WRCMD_CFG.BUF1FCLRENビットを1に設定し、レジスターWRCMD_TRGに任意の値を書き込む。
(BUF1のフラグとページポインターをクリア)

オーバーライト禁止モード時の注意

オーバーライト禁止モードでバッファフルが発生した場合 (BUF n _STAT.PTR[x:0]ビット = 10 (BUF1/BUF3) または12 (BUF2)、BUF n _STAT.FULLFビット = 1)、バッファフル以降に無効なタイムスタンプトリガーがあったかどうかを判別できません。バッファフルになる前に割り込みが発生するように設定し(たとえば、BUF1_CFG1.INTCNT[5:0]ビットを8回 (=10回 -2回) に設定)、データ読み出し処理を行なうことを推奨します。

〈オーバーライトモード時〉

1. 割り込み発生 ($INT=L$) 後、レジスターINTFを読み出す。
INTF.EVFビット = 1の場合はタイムスタンプイベント検出割り込みが発生していますので、手順2以下を実行します。

それ以外の割り込みが発生した場合は、対応する割り込み処理を実行してください。

- * オーバーライトモード時は、割り込み (INTF.EVFビット = 1) を待たずに、任意のタイミングで読み出しを実行することが可能です。(その場合、手順1(割り込み待ち)と2(割り込み要因の確認)は不要です。)

2. レジスタEVNT_INTFとBUF_INTFを読み出して、発生している割り込み要因を特定する。

<レジスタEVNT_INTF内のフラグがセットされている場合>

EVIN_n入力または内部イベントが発生したことを示します。表 3.18に各フラグのセット条件を示します。発生したイベントに従い、割り込み処理を実行してください。また、セットされているフラグは割り込み処理内で0を書き込んでクリアしてください。

<BUF_INTF.BUF_nFビット がセットされている場合>

オーバーライトモード時、この割り込みはキャプチャーを許可しているイベントの発生により、BUF_n_STAT.PTR[x:0]ビットが示すバッファ内のデータ数がBUF_n_CFG1.INTCNT[x:0]ビットの設定値に一致またはそれ以上になることで発生します。ただし、内部ポインタが1周して0に戻ることでBUF_INTF.BUF_nFビットも0に戻り、次にポインタがBUF_n_CFG1.INTCNT[x:0]ビットの設定値と一致するまでセットされなくなりますので、割り込み処理にはBUF_INTF.BUF_nFビット = 1になった機会を見送らないようにする注意が必要です。以下の操作を行い、データを読み出してください。

以下、BUF1の割り込みが発生したものと説明します。

3. EVIN_EN.EVIN1CPENビットを0に設定してBUF1へのタイムスタンプキャプチャーを禁止する。(下記注意参照)

* BUF3の割り込みが発生した場合は、EVIN_EN.EVIN3CPENビットだけでなく、CAP_EN.V***L.CPENビット、CAP_EN.OSCSTPCPENビットを0に設定して、BUF3へのタイムスタンプキャプチャーを禁止します。

4. レジスタBUF1_STATを読み出して最新タイムスタンプデータのページ番号 (BUF1_STAT.PTR[5:0]ビット) とバッファフル状態か(BUF1_STAT.FULLFビット)を確認する。また、オーバーライトが発生しているかどうか (BUF_OVWF.BUF1OVWFビット) も確認してください。

5. BUF1_CFG2.RDENビットを1に設定する。 (BUF1の読み出しを許可)

6. BUF1_CFG2.RDPAGE[3:0]ビットを0x1に設定する。 (読み出すページを指定)

7. アドレス0x60 ~ 0x69の10バイトをバーストリードして、1回分のタイムスタンプデータを取得する。

各アドレスの内容については図 3.35を参照してください。

* タイムスタンプデータは、必ずアドレス0x60 ~ 0x69を連続的に読み出して取得してください。一部のみの読み出しは禁止します。

8. 手順4で確認したバッファフルの状態に従い、手順7をバッファ内の必要範囲で繰り返す。

<BUF1_STAT.FULLFビット = 0 (バッファに空きがある場合)>

BUF1_CFG2.RDPAGE[3:0]ビットが手順4で読み込んだページ数に達していなければ、BUF1_CFG2.RDPAGE[3:0]ビットをインクリメントし、手順7を繰り返します。ページ0x1から読み出したデータが最古のタイムスタンプデータです。

<BUF1_STAT.FULLFビット = 1 (バッファフルの場合)>

BUF1_CFG2.RDPAGE[3:0]ビットを1 ~ 10まで順次インクリメントしながら手順7を繰り返して実行し、一旦、すべてのタイムスタンプデータを読み出します。

手順4で確認したBUF_OVWF.BUF1OVWFビットが0 (オーバーライト未発生) の場合、最新のタイムスタンプデータは、BUF1_CFG2.RDPAGE[3:0]ビット = 10のときに読み出されたデータが該当します。そこからデータを読み出し順に遡ると時系列が古いデータになっていきます。

BUF_OVWF.BUF1OVWFビットが1 (オーバーライト発生) の場合、最新のタイムスタンプデータは、BUF1_CFG2.RDPAGE[3:0]ビットが手順4で確認したページ番号になった際に読み出されたデータが該当します。そこからデータを読み出し順に遡ると時系列が古いデータになっていきます。バッファはリングバッファ形式になっていますので、ページ番号は1回目のデータ取得ページ → 10回目 → 9回目...の順で巡回します。最古のタイムスタンプデータは、BUF1_CFG2.RDPAGE[3:0]ビットのページ指定が手順4の読み出し結果 + 1になった際の読み出しデータが該当します。

ただし、<手順4の読み出し結果 +1>ページのデータは、読み出し中にタイムスタンプキャプチャーが発生した場合は採用できません。読み出し後にBUF1_CFG2.PTR[3:0]ビットがインクリメントされていないかどうかを確認して判断する必要があります。

9. BUF1_CFG2.RDENビットを0に設定する。 (BUF1の読み出しを禁止)
10. WRCMD_CFG.BUF1FCLRENビットを1に設定し、レジスターWRCMD_TRGに任意の値を書き込む。 (BUF1のフラグとページポインターをクリア)
11. EVIN_EN.EVIN1CPENビットを1に設定してBUF1へのタイムスタンプキャプチャーを許可する。(下記注意参照)

オーバーライトモード時の注意

ダイレクトモードかつオーバーライトモードの場合、同じバッファの同じページに対するタイムスタンプデータの読み出しとキャプチャーデータの書き込みが重なる可能性があります。たとえば、BUF n _STAT.PTR[x :0]ビットが示す次のページ (それが0ページになる場合もあります) を読み出そうとした場合です。手順3と11はこれを回避するため、読み出そうとしているバッファに対するキャプチャーデータの書き込みを一時的に禁止する操作です。ただし、この間は禁止したイベントを記録できなくなります。

タイムスタンプデータのクリア

バッファエンブティ状態の設定

“コマンドトリガーの発行”で説明したとおり、コマンドトリガーを発行してバッファのフラグ/ポインターを初期状態に設定可能です。これにより、バッファをエンブティ状態に設定することができます (ダイレクトモードではBUF個別に設定可能)。

1. WRCMD_CFG.BUF n FCLRENビットを1に設定する。 (BUF n 初期化を指定)
2. WRCMD_TRG.WRTRG[7:0]ビットに任意の値を書き込む。 (コマンドトリガーの発行)
3. WRCMD_TRG.WRTRG[7:0]ビットが0x00に戻ったことを確認する。 (コマンド実行完了)

この方法で、SRAMのデータ自体はクリアされませんが、バッファエンブティ状態になります。

SRAMの0クリア

SRAMを0クリアするには、以下の手順でSRAMモードに設定し、直接0を書き込みます。

1. レジスターBUF1_CFG2の以下のビットを設定する。
 - BUF1_CFG2.SRAMMODビットを1に設定する。 (SRAMモードを指定)
 - BUF1_CFG2.RDPAGE[3:0]ビットを0x0に設定する。 (ページ0を指定)
2. アドレス0x60 ~ 0x6Fに0x00を書き込む。 (ページをクリア)
3. BUF1_CFG2.RDPAGE[3:0]ビット = 0xFの場合は終了する。
0xF以外の場合はBUF1_CFG2.RDPAGE[3:0]ビットをインクリメントする。
(次のページを指定)
4. 全ページがクリアされるまで、手順2と3を繰り返す。
5. BUF1_CFG2.SRAMMODビットを0に設定する。 (SRAMモードを解除)

3.10.5 タイムスタンプ (イベント検出) 割り込み

図 3.43にタイムスタンプ割り込み回路の構成を示します。

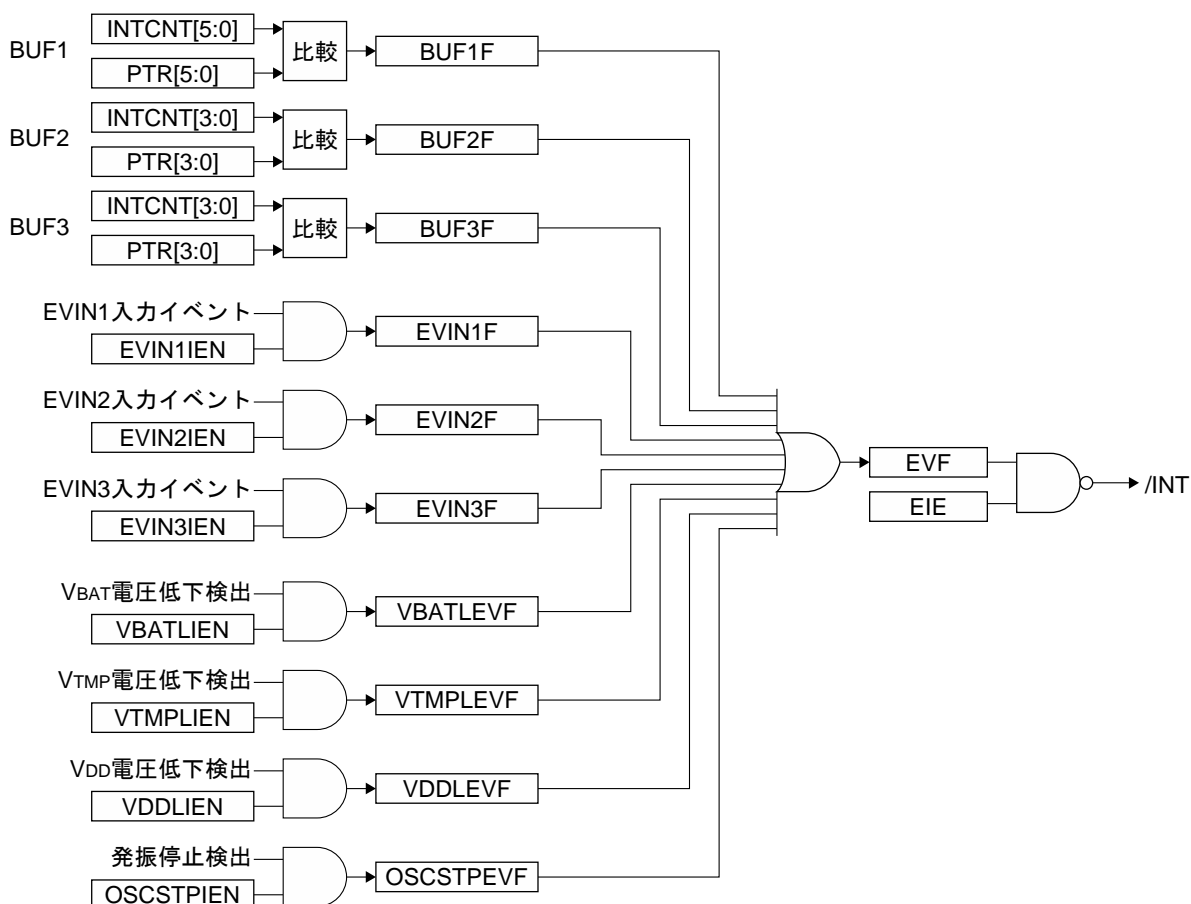


図 3.43 タイムスタンプ割り込み回路の構成

タイムスタンプ機能には以下のイベント検出割り込み要因があります。

表 3.18 イベント検出割り込み要因と制御ビット

割り込み要因フラグ	割り込み許可ビット	割り込み要因フラグのセット条件	クリア条件
BUF_INTF.BUF1F	BUF1_CFG1.INTCNT[5:0]	BUF _n 内のスタンプデータ数がINTCNT[x:0]ビットの設定値に一致した場合にセット	0書き込みでクリア
BUF_INTF.BUF2F	BUF2_CFG1.INTCNT[3:0]	INTCNT[x:0]ビット = 0x0の場合はセットされない	
BUF_INTF.BUF3F	BUF3_CFG1.INTCNT[3:0]		
EVNT_INTF.EVIN1F	EVNT_INTE.EVIN1IEN	EVIN _n 端子からイベントトリガーが入力されると、バッファーに書き込まれたか否かにかかわらずセット	0書き込みでクリア
EVNT_INTF.EVIN2F	EVNT_INTE.EVIN2IEN	EVIN _n IENビット = 0の場合はセットされない	
EVNT_INTF.EVIN3F	EVNT_INTE.EVIN3IEN		
EVNT_INTF.VBATLEVF	EVNT_INTE.VBATLIEN	V _{BAT} 電圧低下が検出されるとセット VBATLIENビット = 0の場合はセットされない	0書き込みでクリア
EVNT_INTF.VTMPLEVF	EVNT_INTE.VTMP LIEN	V _{DET2} 電圧低下が検出されるとセット VTMP LIENビット = 0の場合はセットされない	0書き込みでクリア
EVNT_INTF.VDDLEVF	EVNT_INTE.VDDLIEN	-V _{DET1} 電圧低下が検出されるとセット VDDLIENビット = 0の場合はセットされない	0書き込みでクリア
EVNT_INTF.OSCSTPEVF	EVNT_INTE.OSCSTPIEN	発振停止が検出されるとセット OSCSTPIENビット = 0の場合はセットされない	0書き込みでクリア

これらの要因は個別に割り込みの発生を許可/禁止できます。割り込みが許可されている要因が発生すると、割り込み要因フラグがセットされ、これによってINTF.EVFビットが1にセットされます。このとき、TSTP_INTE.EIEビット = 1 (割り込み許可) であれば/INT端子がLOWになり、ホストに割り込み要求を出力します。

1にセットされたINTF.EVFビットは、EVFビットへの0書き込みではクリアされません。INTF.EVFビットをクリアするためには、レジスターBUF_INTF、およびEVNT_INTFのフラグのすべてをクリアする必要があります。INTF.EVFビットがクリアされると、同時に/INT端子がHi-Zになります。

4 レジスター

4.1 レジスター一覧

記号の意味

- ビット名 = -: 書き込み無効で、読み出し値は常に0です。
 ビット名 = x: 書き込み無効で、読み出し値は不定です。
 ビット名 = (GP): 汎用ビットで0と1の書き込み/読み出しが可能です。

注: • アドレス値は {バンク番号, バンク内アドレス} です (例: 0x0F = バンク0, アドレス0xF)。

- レジスターへのアクセスは8ビット単位で行います。
- レジスターテーブルに記載のアドレス以外には書き込み/読み出しを行わないでください。
- 電源投入時またはバックアップからの復帰時にINTF.VLFビット = 1のときは、必ずすべてのレジスターを初期化してください。

Bank 0

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
0x00	SEC (Second Data)	-	SEC_H[2:0]		SEC_L[3:0]					
0x01	MIN (Minute Data)	-	MIN_H[2:0]		MIN_L[3:0]					
0x02	HOUR (Hour Data)	-	-	HOUR_H[1:0]		HOUR_L[3:0]				
0x03	WEEKDAY (Day-of-Week Data)	-	WEEK[6:0]							
0x04	DAY (Day Data)	-	-	DAY_H[1:0]		DAY_L[3:0]				
0x05	MONTH (Month Data)	-	-	-	MONTH_H	MONTH_L[3:0]				
0x06	YEAR (Year Data)	YEAR_H[3:0]				YEAR_L[3:0]				
0x07	ALM_MIN (Minute Alarm)	XMAE	MALM_H[2:0]		MALM_L[3:0]					
0x08	ALM_HOUR (Hour Alarm)	XHAE	(GP)	HALM_H[1:0]		HALM_L[3:0]				
0x09	ALM_WEEKDAY (Day-of-Week Alarm / Day Alarm)	XWAE	(GP)		DALM_H[1:0]		DALM_L[3:0]			
0x0A	WTCNT_L (Wakeup Timer Counter Low)	WTCNT[7:0]								
0x0B	WTCNT_M (Wakeup Timer Counter Middle)	WTCNT[15:8]								
0x0C	WTCNT_H (Wakeup Timer Counter High)	WTCNT[23:16]								
0x0D	TCTL (Timer Control)	FSEL[1:0]		USEL0	TE	WADA	-	TSEL[1:0]		
0x0E	INTF (Status Flag)	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMP LF	
0x0F	TSTP_INTE (Timer Stop and Interrupt Enable)	CSEL[1:0]		UIE	TIE	AIE	EIE	-	STOP	

Bank 1

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x10	SUBSEC_L (Sub-Second Data Low)	SUBSEC[1:0]		-	-	-	-	-	-
0x11	SUBSEC_H (Sub-Second Data High)	SUBSEC[9:2]							
0x12	SEC_MIR (Mirrored Second Data, = 0x00)	-	SEC_H[2:0]			SEC_L[3:0]			
0x13	MIN_MIR (Mirrored Minute Data, = 0x01)	-	MIN_H[2:0]			MIN_L[3:0]			
0x14	HOUR_MIR (Mirrored Hour Data, = 0x02)	-	-	HOUR_H[1:0]		HOUR_L[3:0]			
0x15	WEEKDAY_MIR (Mirrored Day-of-Week Data, = 0x03)	-	WEEK[6:0]						
0x16	DAY_MIR (Mirrored Day Data, = 0x04)	-	-	DAY_H[1:0]		DAY_L[3:0]			
0x17	MONTH_MIR (Mirrored Mont Data, = 0x05)	-	-	-	MONTH_H		MONTH_L[3:0]		
0x18	YEAR_MIR (Mirrored Year Data, = 0x06)	YEAR_H[3:0]				YEAR_L[3:0]			

Bank 2

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x20	EVIN_EN (Event Input Enable)	-	DIRMOD	EVIN3CPEN	EVIN2CPEN	EVIN1CPEN	EVIN3EN	EVIN2EN	EVIN1EN
0x21	EVIN1_CFG (EVIN1 Configuration)	-	-	-	PUPD[2:0]			POL[1:0]	
0x22	EVIN1_FLT (EVIN1 Noise Filter)	-	-	FLT[5:0]					
0x23	EVIN2_CFG (EVIN2 Configuration)	-	-	-	PUPD[2:0]			POL[1:0]	
0x24	EVIN2_FLT (EVIN2 Noise Filter)	-	-	FLT[5:0]					
0x25	EVIN3_CFG (EVIN3 Configuration)	-	-	-	PUPD[2:0]			POL[1:0]	
0x26	EVIN3_FLT (EVIN3 Noise Filter)	-	-	FLT[5:0]					
0x27	BUF1_CFG1 (BUF1 Configuration 1)	-	OVWEN	INTCNT[5:0]					
0x28	BUF1_STAT (BUF1 Status)	FULLF	EMPTF	PTR[5:0]					
0x29	BUF1_CFG2 (BUF1 Configuration 2)	RDEN	SRAMMOD	-	-	RDPAGE[3:0]			
0x2A	BUF2_CFG1 (BUF2 Configuration 1)	-	OVWEN	-	-	INTCNT[3:0]			
0x2B	BUF2_STAT (BUF2 Status)	FULLF	EMPTF	-	-	PTR[3:0]			
0x2C	BUF2_CFG2 (BUF2 Configuration 2)	RDEN	-	-	-	RDPAGE[3:0]			
0x2D	BUF3_CFG1 (BUF3 Configuration 1)	-	OVWEN	-	-	INTCNT[3:0]			
0x2E	BUF3_STAT (BUF3 Status)	FULLF	EMPTF	-	-	PTR[3:0]			
0x2F	BUF3_CFG2 (BUF3 Configuration 2)	RDEN	-	-	-	RDPAGE[3:0]			

Bank 3

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x30	ALM_SEC (Second Alarm)	XSAE	SALM_H[2:0]		SALM_L[3:0]				
0x31	ALM_MIN_MIR (Mirrored Minute Alarm, = 0x07)	XMAE	MALM_H[2:0]		MALM_L[3:0]				
0x32	ALM_HOUR_MIR (Mirrored our Alarm, = 0x08)	XHAE	(GP)	HALM_H[1:0]	XHAE				
0x33	ALM_WEEKDAY_MIR (Mirrored Day-of-Week Alarm / Day Alarm, = 0x09)	XWAE	WKALM[6:0]						
			(GP)	DALM_H[1:0]	DALM_L[3:0]				
0x34	UPDISEL (Time Update Interrupt Select)	-	-	-	-	-	-	USEL1	-
0x37	PWSW_CFG (Power Switch Configuration)	CHGEN	INIEN	VBATLDET BK	VBATLDET EN	SWSEL[1:0]		VDDSAAMP[1:0]	
0x38	WTICFG (Wakeup Timer Interrupt Configuration)	FOEMUX	EVIN3MUX	-	WTONETIM	-	-	WTIOUT	-
0x39	WTCTL (Wakeup Timer Control)	WTRST	-	-	-	WTMODESEL	WTSTOPCTL	-	WTSTOP
0x3A	WTCNT_L_MIR (Mirrored Wakeup Timer Counter Low, = 0x0A)	WTCNT[7:0]							
0x3B	WTCNT_M_MIR (Mirrored Wakeup Timer Counter Middle, = 0x0B)	WTCNT[15:8]							
0x3C	WTCNT_H_MIR (Mirrored Wakeup Timer Counter High, = 0x0C)	WTCNT[23:16]							

Bank 4

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x41	WRCMD_CFG (Write Command Configuration)	EVCNT CLREN	BUF3F CLREN	BUF2F CLREN	BUF1F CLREN	-	-	-	CMDTRGEN
0x42	WRCMD_TRG (Write Command Trigger)	WRTRG[7:0]							
0x43	EVNT_INTE (Event Interrupt Enable)	EVIN3IEN	EVIN2IEN	EVIN1IEN	-	VBATLIEN	VTMPIEN	VDDLIEEN	OSCSTPIEN
0x44	CAP_EN (Capture Enable)	-	-	-	-	VBATLCPEN	VTMPLCPEN	VDDLCPEN	OSCSTPCPEN
0x46	BUF_INTF (Buffer Interrupt Factor)	BUF3F	BUF2F	BUF1F	-	VBATLFB	-	VDDLFB	-
0x47	EVNT_INTF (Event Interrupt Factor)	EVIN3F	EVIN2F	EVIN1F	-	VBATLEVF	VTMPLEVF	VDDLEVF	OSCSTPEVF
0x4E	BUF_FULLF (Buffer Full Flag)	-	BUF3FULLF	BUF2FULLF	BUF1FULLF	-	-	-	-
0x4F	BUF_OVWF (Buffer Overwrite Flag)	-	BUF3OVWF	BUF2OVWF	BUF1OVWF	-	-	-	-

Bank 5

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x51	EVIN1_EVCNT (EVIN1 Event Counter)	-	-	EVCNT[5:0]					
0x52	EVIN2_EVCNT (EVIN2 Event Counter)	-	-	EVCNT[5:0]					
0x53	EVIN3_EVCNT (EVIN3 Event Counter)	-	-	EVCNT[5:0]					
0x54	EVINMON (EVIN Monitor)	EVIN3MON	EVIN2MON	EVIN1MON	-	-	-	-	-

Bank 6 (FIFOモードでのタイムスタンプデータ読み出し時)

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60	TIMESTAMP_SUBSEC_L (SUBSEC Time Stamp Data Low)	SUBSEC[1:0]		x	x	x	x	x	x
0x61	TIMESTAMP_SUBSEC_H (SUBSEC Time Stamp Data High)	SUBSEC[9:2]							
0x62	TIMESTAMP_SEC (SEC Time Stamp Data)	x	SEC_H[2:0]			SEC_L[3:0]			
0x63	TIMESTAMP_MIN (MIN Time Stamp Data)	x	MIN_H[2:0]			MIN_L[3:0]			
0x64	TIMESTAMP_HOUR (HOUR Time Stamp Data)	x	x	HOUR_H[1:0]		HOUR_L[3:0]			
0x65	TIMESTAMP_DAY (DAY Time Stamp Data)	x	x	DAY_H[1:0]		DAY_L[3:0]			
0x66	TIMESTAMP_MONTH (MONTH Time Stamp Data)	x	x	x	MONTH_H	MONTH_L[3:0]			
0x67	TIMESTAMP_YEAR (YEAR Time Stamp Data)	YEAR_H[3:0]				YEAR_L[3:0]			
0x68	TIMESTAMP_EVSTAT (Event Status Time Stamp Data)	EVIN3POL	EVIN2POL	EVIN1POL	x	VBATLSTAT	VTMPLSTAT	VDDLSTAT	OSCSTP STAT
0x69	TIMESTAMP_TRG (Time Stamp Trigger Factor)	EVIN3TRG	EVIN2TRG	EVIN1TRG	WRCMDTRG	VBATLTRG	VTMPLTRG	VDDLTRG	OSCSTPTRG

Bank 6 (ダイレクトモードでのタイムスタンプデータ読み出し時)

Address	Register name (function)	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60	TIMESTAMP_SUBSEC_L (SUBSEC Time Stamp Data Low)	SUBSEC[1:0]		x	x	x	x	x	x
0x61	TIMESTAMP_SUBSEC_H (SUBSEC Time Stamp Data High)	SUBSEC[9:2]							
0x62	TIMESTAMP_SEC (SEC Time Stamp Data)	x	SEC_H[2:0]			SEC_L[3:0]			
0x63	TIMESTAMP_MIN (MIN Time Stamp Data)	x	MIN_H[2:0]			MIN_L[3:0]			
0x64	TIMESTAMP_HOUR (HOUR Time Stamp Data)	x	x	HOUR_H[1:0]		HOUR_L[3:0]			
0x65	TIMESTAMP_DAY (DAY Time Stamp Data)	x	x	DAY_H[1:0]		DAY_L[3:0]			
0x66	TIMESTAMP_MONTH (MONTH Time Stamp Data)	x	x	x	MONTH_H	MONTH_L[3:0]			
0x67	TIMESTAMP_YEAR (YEAR Time Stamp Data)	YEAR_H[3:0]				YEAR_L[3:0]			
0x68	TIMESTAMP_EVSTAT (Event Status Time Stamp Data)	EVIN3POL	EVIN2POL	EVIN1POL	x	VBATLSTAT	VTMPLSTAT	VDDLSTAT	OSCSTP STAT
0x69	TIMESTAMP_TRG (Time Stamp Trigger Factor)	x	x	x	WRCMDTRG	VBATLTRG	VTMPLTRG	VDDLTRG	OSCSTPTRG

Bank 6 (SRAMモード)

Address	Function	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x60	SRAM Page N Address 0x0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x61	SRAM Page N Address 0x1								
0x62	SRAM Page N Address 0x2								
0x63	SRAM Page N Address 0x3								
0x64	SRAM Page N Address 0x4								
0x65	SRAM Page N Address 0x5								
0x66	SRAM Page N Address 0x6								
0x67	SRAM Page N Address 0x7								
0x68	SRAM Page N Address 0x8								
0x69	SRAM Page N Address 0x9								
0x6A	SRAM Page N Address 0xA								
0x6B	SRAM Page N Address 0xB								
0x6C	SRAM Page N Address 0xC								
0x6D	SRAM Page N Address 0xD								
0x6E	SRAM Page N Address 0xE								
0x6F	SRAM Page N Address 0xF								

4.2 レジスター詳細説明

※ Initial valueの“x”は初期値が不定であることを示します。

0x00: SEC (Second Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	SEC_H[2:0]			SEC_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

Bits 6–4: SEC_H[2:0]

Bits 3–0: SEC_L[3:0]

秒カウンターの設定と読み出しを行います。

SEC_H[2:0]ビットは10秒桁のBCDコード (0–5)、SEC_L[3:0]ビットは1秒桁のBCDコード (0–9) です。このアドレスへの秒データの書き込みにより、1/1024秒カウンターがリセットされ、レジスターSUBSEC_LおよびSUBSEC_Hが0にクリアされます。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x01: MIN (Minute Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	MIN_H[2:0]			MIN_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

Bits 6–4: MIN_H[2:0]

Bits 3–0: MIN_L[3:0]

分カウンターの設定と読み出しを行います。

MIN_H[2:0]ビットは10分桁のBCDコード (0–5)、MIN_L[3:0]ビットは1分桁のBCDコード (0–9) です。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x02: HOUR (Hour Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	HOUR_H[1:0]		HOUR_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

Bits 5–4: HOUR_H[1:0]

Bits 3–0: HOUR_L[3:0]

時カウンターの設定と読み出しを行います。

HOUR_H[1:0]ビットは10時桁のBCDコード (0–2)、HOUR_L[3:0]ビットは1時桁のBCDコード (0–9) です。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x03: WEEKDAY (Day-of-Week Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	WEEK[6:0]						
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W						

Bits 6–0: WEEK[6:0]

曜日カウンターの設定と読み出しを行います。

WEEK[6:0]ビットの各ビットは下記の例のように曜日に1対1に対応しますので、今日の曜日に対応する1ビットのみセットしておきます。日カウンターが更新されると同時に各ビットは左にシフトします (ビット6はビット0にシフトします)。

曜日設定例

WEEK6 WEEK5 WEEK4 WEEK3 WEEK2 WEEK1 WEEK0
土曜日 (0x40) 金曜日 (0x20) 木曜日 (0x10) 水曜日 (0x08) 火曜日 (0x04) 月曜日 (0x02) 日曜日 (0x01)

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x04: DAY (Day Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	DAY_H[1:0]		DAY_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

Bits 5–4: DAY_H[1:0]

Bits 3–0: DAY_L[3:0]

日カウンターの設定と読み出しを行います。

DAY_H[1:0]ビットは10日桁のBCDコード (0–3)、DAY_L[3:0]ビットは1日桁のBCDコード (0–9)です。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

*2 うるう年の動作については、3.2節内の“うるう年の判定”を参照してください。

0x05: MONTH (Month Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	MONTH_H	MONTH_L[3:0]			
Initial value	0	0	0	x	x	x	x	x
R/W	R	R	R	R/W	R/W			

Bit 4: MONTH_H

Bits 3–0: MONTH_L[3:0]

月カウンターの設定と読み出しを行います。

MONTH_Hビットは10月桁のBCDコード (0–1)、MONTH_L[3:0]ビットは1月桁のBCDコード (0–9)です。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x06: YEAR (Year Data)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	YEAR_H[3:0]				YEAR_L[3:0]			
Initial value	x	x	x	x	x	x	x	x
R/W	R/W				R/W			

Bits 7–4: YEAR_H[3:0]

Bits 3–0: YEAR_L[3:0]

年カウンターの設定と読み出しを行います。

YEAR_H[3:0]ビットは10年桁のBCDコード (0–9)、YEAR_L[3:0]ビットは1年桁のBCDコード (0–9)です。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x07: ALM_MIN (Minute Alarm)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XMAE	MALM_H[2:0]			MALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W			R/W			

Bit 7: XMAE

このビットは分アラームの設定を有効/無効にします。

1 (R/W): 分アラーム無効

0 (R/W): 分アラーム有効

1に設定すると本レジスターの設定が無効となり、分カウンターの内容はアラームの発生に影響を与えません。

0に設定すると本レジスターの設定が有効となり、分カウンターの値とMALM_H[2:0]/MALM_L[3:0]ビット設定値の一致がアラーム発生条件となります。

Bits 6–4: MALM_H[2:0]**Bits 3–0: MALM_L[3:0]**

アラームの分条件をBCDコードで設定します。

MALM_H[2:0]ビットでアラームの10分桁 (0–5)を、MALM_L[3:0]ビットで1分桁 (0–9)を設定します。

- *1 アラーム機能の詳細については、“3.5 アラーム機能”を参照してください。
- *2 アラーム機能を使用しない場合、本レジスターをリード/ライト可能な汎用レジスターとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

0x08: ALM_HOUR (Hour Alarm)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XHAE	(GP)	HALM_H[1:0]		HALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

Bit 7: XHAE

このビットは時アラームの設定を有効/無効にします。

1 (R/W): 時アラーム無効

0 (R/W): 時アラーム有効

1に設定すると本レジスターの設定が無効となり、時カウンターの内容はアラームの発生に影響を与えません。

0に設定すると本レジスターの設定が有効となり、時カウンターの値とHALM_H[1:0]/HALM_L[3:0]ビット設定値の一致がアラーム発生条件となります。

Bits 5–4: HALM_H[1:0]**Bits 3–0: HALM_L[3:0]**

アラームの時条件をBCDコードで設定します。

HALM_H[1:0]ビットでアラームの10時桁 (0–2) を、HALM_L[3:0]ビットで1時桁 (0–9) を設定します。

- *1 アラーム機能の詳細については、“3.5 アラーム機能”を参照してください。
- *2 アラーム機能を使用しない場合、本レジスターをリード/ライト可能な汎用レジスターとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

0x09: ALM_WEEKDAY (Day-of-Week Alarm / Day Alarm)**Day-of-Week Alarm**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XWAE	WKALM[6:0]						
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W						

Day Alarm

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XWAE	(GP)	DALM_H[1:0]		DALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

注: 本レジスターはTCTL.WADAビットの設定により、機能が切り替わります。

TCTL.WADAビット = 0: Day-of-Week Alarm

TCTL.WADAビット = 1: Day Alarm

Bit 7: XWAE

このビットは曜日/日アラームの設定を有効/無効にします。

1 (R/W): 曜日/日アラーム無効

0 (R/W): 曜日/日アラーム有効

1に設定すると本レジスターの設定が無効となり、曜日および日カウンターの内容はアラームの発生に影響を与えません。

0に設定すると本レジスターの設定が有効となり、次の条件でアラームが発生します。

TCTL.WADAビット = 0: 曜日カウンターとWKALM[6:0]の同一ビットが共にセット

TCTL.WADAビット = 1: 日カウンターの値とDALM_H[1:0]/DALM_L[3:0]ビット設定値の一致

Bits 6–0: WKALM[6:0] (Day-of-Week Alarm)

アラームの曜日条件を設定します。

複数のビットを1にセットして、複数の曜日を指定可能です。

Bits 5–4: DALM_H[1:0] (Day Alarm)**Bits 3–0: DALM_L[3:0] (Day Alarm)**

アラームの日条件をBCDコードで設定します。

DALM_H[1:0]ビットでアラームの10日桁 (0–3) を、DALM_L[3:0]ビットで1日桁 (0–9) を設定します。

- *1 アラーム機能の詳細については、“3.5 アラーム機能”を参照してください。
- *2 アラーム機能を使用しない場合、本レジスターをリード/ライト可能な汎用レジスターとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

0x0A: WTCNT_L (Wakeup Timer Counter Low)
0x0B: WTCNT_M (Wakeup Timer Counter Middle)
0x0C: WTCNT_H (Wakeup Timer Counter High)

Wakeup Timer Counter Low

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[7:0]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Wakeup Timer Counter Middle

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[15:8]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Wakeup Timer Counter High

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[23:16]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Bits 7–0: WTCNT[7:0] (Wakeup Timer Counter Low)
 WTCNT[15:8] (Wakeup Timer Counter Middle)
 WTCNT[23:16] (Wakeup Timer Counter High)

書き込み時

ウェイクアップタイマーカウンターのプリセット値を設定します。プリセット値は1 ~ 16777215の範囲で指定可能で、カウント周期を設定します。0x000000を書き込んだ場合は、0x000001に設定されます。アップカウント中にカウンターがプリセット値を超えると、初期値 (1) がカウンターにセットされます。

注: プリセット値は、TCTL.TEビット = 0 (ウェイクアップタイマーディスエーブル) の状態で設定してください。

読み出し時

TCTL.TEビット = 1 (ウェイクアップタイマーイネーブル) の場合、現在のカウンター値が読み出されます。

TCTL.TEビット = 0 (ウェイクアップタイマーディスエーブル) の場合、現在設定されているプリセット値が読み出されます。

注: カウンター値の読み出しは、ウェイクアップタイマーが動作中でも可能です。ただし、3つのレジスターを読み出す間にカウンター値が変化し、現在の正しい値を読み出せない可能性があります。連続して読み出しを行い、2回続けて同じ値だった場合に正しく読み出せたものとしてください。

*1 ウェイクアップタイマー機能の詳細については、“3.6 ウェイクアップタイマー機能”を参照してください。

*2 ウェイクアップタイマー機能を使用しない場合 (TCTL.TEビットとTSTP_INTE.TIEビットが共に0の場合)、これらのレジスターをリード/ライト可能な汎用レジスターとして使用することができます。

0x0D: TCTL (Timer Control)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FSEL[1:0]		USEL0	TE	WADA	–	TSEL[1:0]	
Initial value	0	0	0	0	0	0	1	0
R/W	R/W		R/W	R/W	R/W	R	R/W	

Bits 7–6: FSEL[1:0]

これらのビットは、FOUT出力周波数を選択します。

表 4.1 FOUT出力の選択

TCTL.FSEL[1:0]	出カクロック
0b00	32.768 kHz (デフォルト)
0b01	1024 Hz
0b10	1 Hz
0b11	OFF

Bit 5: USEL0

このビットは、UPDISEL.USEL1ビットと共に時刻更新割り込みイベントの種類を選択します。

表 4.2 時刻更新割り込みイベントの選択

UPDISEL.USEL1	TCTL.USEL0	割り込みイベント
0	0	秒カウンター更新 (デフォルト)
0	1	分カウンター更新
1	0	時カウンター更新
1	1	割り込みイベントなし

Bit 4: TE

このビットは、ウェイクアップタイマーの動作を許可/禁止します。

1 (R/W): ウェイクアップタイマーイネーブル

0 (R/W): ウェイクアップタイマーディスエーブル

Bit 3: WADA

このビットは、アラーム発生条件の中で、曜日アラームと日アラームのどちらを使用するか選択します。

1 (R/W): 日アラーム

0 (R/W): 曜日アラーム

Bits 1–0: TSEL[1:0]

これらのビットは、ウェイクアップタイマーのソースクロックを選択します。

表 4.3 ウェイクアップタイマーソースクロックの選択

TCTL.TSEL[1:0]	ソースクロック
0b00	1024 Hz
0b01	64 Hz
0b10	1 Hz (デフォルト)
0b11	1/60 Hz

*1 FOUT出力機能の詳細については、“3.7 FOUT出力機能”を参照してください。

*2 時刻更新割り込みの詳細については、“3.4 時刻更新割り込み機能”を参照してください。

*3 ウェイクアップタイマー機能の詳細については、“3.6 ウェイクアップタイマー機能”を参照してください。

*4 アラーム機能の詳細については、“3.5 アラーム機能”を参照してください。

0x0E: INTF (Status Flag)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	PORF	OSCSTPF	UF	TF	AF	EVF	VLF	VTMPLF
Initial value	1	1	x	0	x	0	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

Bit 7: PORF

このビットは、電源投入後にパワーオンリセットが実行されたか否かを示す自己監視フラグです。

- 1 (R): パワーオンリセット検出
- 0 (R): パワーオンリセット未検出
- 1 (W): 無効
- 0 (W): フラグをクリア (パワーオンリセットの解除時のみ有効)

Bit 6: OSCSTPF

このビットは、水晶発振器が発振を停止しているか否かを示す自己監視フラグです。

- 1 (R): 発振停止検出 (10 ms以上の発振停止検出によりセット)
- 0 (R): 発振停止未検出
- 1 (W): 無効
- 0 (W): フラグをクリア (発振停止の未検出時のみ有効)

- Bit 5: UF
- Bit 4: TF
- Bit 3: AF
- Bit 2: EVF

これらのビットは、RTC割り込みイベントが発生したことを示す割り込みフラグです。

- 1 (R): 割り込みイベント発生
- 0 (R): 割り込みイベント未発生
- 1 (W): 無効
- 0 (W): フラグをクリア (EVFを除く)

各ビットと割り込みイベントの対応は以下のとおりです。

- UF: 時刻更新割り込み
- TF: ウェイクアップタイマー割り込み
- AF: アラーム割り込み
- EVF: タイムスタンプイベント検出割り込み

ウェイクアップタイマー (TF)、時刻更新割り込み (UF) およびアラーム (AF) 割り込みでは、0の書き込みによりフラグをクリアすると、/INT出力 (LOW) もインアクティブ (Hi-Z) になります。ウェイクアップタイマーおよび時刻更新による/INTのLOW出力は、割り込みイベント発生から規定時間後に自動的に解除されます。ただし、これらの割り込みフラグ (TF、UF) は自動クリアされません。

イベント検出およびタイムスタンプ機能には割り込みを発生させる各種のイベントが存在し、それぞれのイベントが発生した際にセットされる割り込みフラグがレジスターBUF_INTFおよびEVNT_INTFに割り付けられています。EVFビットは、これらの割り込みフラグの1つまたは複数がセットされると同時に1になります。また、EVFビットはレジスターBUF_INTFおよびEVNT_INTFのフラグがすべてクリアされることにより0になります (EVFビットへの0書き込みではクリアされません)。このクリア操作により、/INT出力もインアクティブになります。

Bit 1: VLF

このビットは、RTCの異常を示す自己監視フラグです。

- 1 (R): 異常あり (PORFビット = 1またはOSCSTPFビット = 1)
- 0 (R): 異常なし
- 1 (W): 無効
- 0 (W): フラグをクリア (パワーオンリセットの解除時、かつ発振停止の未検出時のみ有効)

Bit 0: VTMP LF

このビットは、V_{OUT}電圧 (V_{DD}またはV_{BAT}) が温度補償更新停止電圧を下回った履歴 ($\leq V_{DET2}$) を示す自己監視フラグです。

- 1 (R): 電圧低下検出 (V_{DD} or V_{BAT} \leq V_{DET2}、温度補償更新停止)
- 0 (R): 電圧低下未検出
- 1 (W): 無効
- 0 (W): フラグをクリア (電圧正常時のみ有効)

*1 自己監視機能の詳細については、“3.8 自己監視機能”を参照してください。

*2 各割り込みの詳細については、“3.4 時刻更新割り込み機能”、“3.6 ウェイクアップタイマー機能”、“3.5 アラーム機能”、あるいは“3.10 タイムスタンプ機能”を参照してください。

0x0F: TSTP_INTE (Timer Stop and Interrupt Enable)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	CSEL[1:0]		UIE	TIE	AIE	EIE	–	STOP
Initial value	0	1	0	0	0	0	0	0
R/W	R/W		R/W	R/W	R/W	R/W	R	R/W

Bits 7–6: CSEL[1:0]

これらのビットは、温度センサー測定動作の実行間隔を設定します。

表 4.4 温度センサー測定動作の実行間隔

TSTP_INTE.CSEL[1:0]	実行間隔
0b00	0.5秒
0b01	2秒 (デフォルト)
0b10	10秒
0b11	30秒

Bit 5: UIE

Bit 4: TIE

Bit 3: AIE

Bit 2: EIE

これらのビットはRTC割り込みを許可します。

- 1 (W): 割り込みを許可
- 0 (W): 割り込みを禁止 (割り込み信号を解除^注)

注: 全割り込みソースからの割り込み信号はNORされた後に/INT端子から出力されます。したがって、1つの割り込み信号を解除しても/INT信号がインアクティブになるとは限りません。

各ビットと割り込みの対応は以下のとおりです。

- UIE: 時刻更新割り込み
- TIE: ウェイクアップタイマー割り込み
- AIE: アラーム割り込み
- EIE: タイムスタンプイベント検出割り込み

Bit 0: STOP

カウンターの動作を制御します。

1 (W): カウンターの動作を停止します。

0 (W): カウンターの動作を開始します。

1 (R): カウンター停止中

0 (R): カウンター動作中

STOPビットで停止する動作は以下のとおりです。

- 1) 1/1024秒、秒、分、時、日、曜日、月、年カウンターの更新動作
これに伴い、時刻更新割り込み、アラーム割り込みも発生しません。
タイムスタンプの時刻データは停止した時刻になります。
- 2) ウェイクアップタイマー割り込み
ウェイクアップタイマーは機能を停止し、割り込みは発生しません。
- 3) FOUT出力
1 Hz選択時は出力がHまたはLに固定されます。
32.768 kHzまたは1024 Hzを選択している場合は、STOPビット = 1でも出力を継続します。

注: 時刻/カレンダーデータ読み出し時にSTOPビットでタイマーを停止させると、計時誤差が増大します。時刻/カレンダーデータ読み出し時は、STOPビットでカウンターを停止させないでください。

*1 温度補償動作については、“3.3 温度補償機能”を参照してください。

*2 各割り込みの詳細については、“3.4 時刻更新割り込み機能”、“3.6 ウェイクアップタイマー機能”、“3.5 アラーム機能”、あるいは“3.10 タイムスタンプ機能”を参照してください。

0x10: SUBSEC_L (Sub-Second Data Low)

0x11: SUBSEC_H (Sub-Second Data High)

Sub-Second Data Low

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SUBSEC[1:0]		-	-	-	-	-	-
Initial value	x	x	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R	R

Sub-Second Data High

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	SUBSEC[9:2]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Bits 7–6: SUBSEC[1:0] (Sub-Second Data Low)

Bits 7–0: SUBSEC[9:2] (Sub-Second Data High)

1/1024秒カウンターの設定と読み出しを行います。このカウンターは10ビットのバイナリカウンターです。

SUBSEC_L.SUBSEC[1:0]ビットは1/1024秒カウンターの下位2ビット、SUBSEC_H.SUBSEC[9:2]ビットは1/1024秒カウンターの上位8ビットです。

表 4.5 SUBSEC[9:0]ビット

ビット	SUBSEC9	SUBSEC8	SUBSEC7	SUBSEC6	SUBSEC5	SUBSEC4	SUBSEC3	SUBSEC2	SUBSEC1	SUBSEC0
カウント値 (1024 Hz 周期)	512	256	128	64	32	16	8	4	2	1

データを取得する場合はこの2つのアドレスを連続して読み出してください。カウンター値を変更する場合も、2つのアドレスに連続して書き込んでください。これらのアドレスに続けてアドレス0x12～0x18をアクセスすることにより、時計/カレンダーカウンターデータの読み出し/書き込みも連続して行えます。

また、レジスターSEC (アドレス0x00) にデータを書き込むと、1/1024秒カウンターがリセットされ、レジスターSUBSEC_LとSUBSEC_Hは0になります。一方、レジスターSECのミラーアドレスであるレジスターSEC_MIR (アドレス0x12) へのデータ書き込みでは、1/1024秒カウンターがリセットされません。

*1 時計/カレンダーの詳細については、“3.2 時計/カレンダー機能”を参照してください。

0x12: SEC_MIR (Mirrored Second Data, = 0x00)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	SEC_H[2:0]			SEC_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

レジスターSECのミラーです。詳細は“0x00: SEC (Second Data)”を参照してください。ただし、このアドレスへの書き込みでは、1/1024秒カウンターはリセットされません。

0x13: MIN_MIR (Mirrored Minute Data, = 0x01)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	MIN_H[2:0]			MIN_L[3:0]			
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W			R/W			

レジスターMINのミラーです。詳細は“0x01: MIN (Minute Data)”を参照してください。

0x14: HOUR_MIR (Mirrored Hour Data, = 0x02)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	HOUR_H[1:0]		HOUR_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

レジスターHOURのミラーです。詳細は“0x02: HOUR (Hour Data)”を参照してください。

0x15: WEEKDAY_MIR (Mirrored Day-of-Week Data, = 0x03)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	WEEK[6:0]						
Initial value	0	x	x	x	x	x	x	x
R/W	R	R/W						

レジスターWEEKDAYのミラーです。詳細は“0x03: WEEKDAY (Day-of-Week Data)”を参照してください。

0x16: DAY_MIR (Mirrored Day Data, = 0x04)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	DAY_H[1:0]		DAY_L[3:0]			
Initial value	0	0	x	x	x	x	x	x
R/W	R	R	R/W		R/W			

レジスターDAYのミラーです。詳細は“0x04: DAY (Day Data)”を参照してください。

0x17: MONTH_MIR (Mirrored Month Data, = 0x05)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	MONTH_H	MONTH_L[3:0]			
Initial value	0	0	0	x	x	x	x	x
R/W	R	R	R	R/W	R/W			

レジスターMONTHのミラーです。詳細は“0x05: MONTH (Month Data)”を参照してください。

0x18: YEAR_MIR (Mirrored Year Data, = 0x06)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	YEAR_H[3:0]				YEAR_L[3:0]			
Initial value	x	x	x	x	x	x	x	x
R/W	R/W				R/W			

レジスターYEARのミラーです。詳細は“0x06: YEAR (Year Data)”を参照してください。

0x20: EVIN_EN (Event Input Enable)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	DIRMOD	EVIN3CPEN	EVIN2CPEN	EVIN1CPEN	EVIN3EN	EVIN2EN	EVIN1EN
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit 6: DIRMOD

このビットは、タイムスタンプバッファの動作モードを選択します。

1 (R/W): ダイレクトモード

0 (R/W): FIFOモード

Bit 5: EVIN3CPEN**Bit 4: EVIN2CPEN****Bit 3: EVIN1CPEN**

これらのビットは、EVIN_n端子からの外部イベントトリガー入力によるタイムスタンプキャプチャー (バッファへのタイムスタンプデータの取得) を許可/禁止します。

1 (R/W): EVIN_nタイムスタンプキャプチャーイネーブル

0 (R/W): EVIN_nタイムスタンプキャプチャーディスエーブル

EVIN_nCPENビットの設定は、下記のEVIN_nENビット = 1の場合に有効となります。

Bit 2: EVIN3EN**Bit 1: EVIN2EN****Bit 0: EVIN1EN**

これらのビットは、EVIN_n端子からの外部イベントトリガー入力を許可/禁止します。

1 (R/W): EVIN_nイベントトリガー入力イネーブル

0 (R/W): EVIN_nイベントトリガー入力ディスエーブル

*1 タイムスタンプ機能の詳細については、“3.10 タイムスタンプ機能”を参照してください。

0x21: EVIN1_CFG (EVIN1 Configuration)**0x23: EVIN2_CFG (EVIN2 Configuration)****0x25: EVIN3_CFG (EVIN3 Configuration)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	PUPD[2:0]		POL[1:0]		
Initial value	0	0	0	0	1	0	0	0
R/W	R	R	R	R/W		R/W		

Bits 4–2: PUPD[2:0]

これらのビットは、EVIN_n端子のプルアップ/ダウン抵抗を選択します。

表 4.6 EVIN_n端子のプルアップ/ダウン

EVIN _n _CFG.PUPD[2:0]	プルアップ/ダウン抵抗
0b000	プルアップ/ダウンなし
0b001	プルアップ 500 kΩ
0b010	プルアップ 1 MΩ (デフォルト)
0b011	プルアップ 10 MΩ
0b100	プルダウン 500 kΩ
その他	プルアップ/ダウンなし

Bits 1–0: POL[1:0]

これらのビットは、タイムスタンプデータを取得するEVIN_n入力信号を取り込むための検出エッジの極性を選択します。

表 4.7 EVIN_n入力検出エッジ極性

EVIN _n _CFG.POL[1:0]	検出エッジ極性
0b00	立ち下がりエッジ (デフォルト)
0b01	立ち上がりエッジ
0b10	立ち下がりおよび
0b11	立ち上がりエッジ

*1 タイムスタンプ機能の詳細については、“3.10 タイムスタンプ機能”を参照してください。

0x22: EVIN1_FLT (EVIN1 Noise Filter)**0x24: EVIN2_FLT (EVIN2 Noise Filter)****0x26: EVIN3_FLT (EVIN3 Noise Filter)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	FLT[5:0]					
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R/W					

Bits 5–0: FLT[5:0]

これらのビットは、EVIN_n入力信号のノイズフィルター時間を設定します (FLT[5:0] x 125ms)。

表 4.8 EVIN_n端子の入力有効パルス幅

EVIN _n _FLT. FLT[5:0]	入力信号のエッジと125msごとのサンプリングタイミングとの前後関係によって、エッジ入力検出される場合とされない場合が生じるEVIN _n のパルス幅	常にエッジ入力検出されるEVIN _n のパルス幅
0x00	–	1 ms以上
0x01 (設定禁止)	–	–
0x02	125 ms以上、250 ms未満	250 ms以上
0x03	250 ms以上、375 ms未満	375 ms以上
:	:	:
0x27	4750 ms以上、4875 ms未満	4875 ms以上
0x28	4875 ms以上、5000 ms未満	5000 ms以上
0x29以上 (設定禁止)	–	–

*1 タイムスタンプ機能の詳細については、“3.10 タイムスタンプ機能”を参照してください。

0x27: BUF1_CFG1 (BUF1 Configuration 1)**0x2A: BUF2_CFG1 (BUF2 Configuration 1)****0x2D: BUF3_CFG1 (BUF3 Configuration 1)****BUF1 Configuration 1**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	OVWEN	INTCNT[5:0]					
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W					

BUF2/BUF3 Configuration 1

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	OVWEN	0	0	INTCNT[3:0]			
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R	R	R/W			

Bit 6: OVWEN

このビットは、バッファ (FIFOまたはBUF n) が満杯になった後の書き込みモードを設定します。

1 (R/W): オーバーライトモード (古いデータから上書き)

0 (R/W): オーバーライト禁止モード (バッファフル時は記録を停止、キャプチャーデータは破棄)

Bit 5–0: INTCNT[5:0] (BUF1 Configuration 1)**Bit 3–0: INTCNT[3:0] (BUF2/BUF3 Configuration 1)**

これらのビットは、イベント入力割り込みを発生させるバッファ (BUF n) 内の入力データ数を設定します。

INTCNT[5:0]ビット (BUF1/FIFOバッファイベント入力)

BUF1_STAT.PTR[5:0]ビットの値 (FIFOモード: バッファ内の残りデータ数、ダイレクトモード: BUF1内に取得したデータ数) がINTCNT[5:0]ビットに設定した値に達すると、イベント入力割り込み要因が発生します。その後は、オーバーライト許可/禁止の設定にかかわらず、BUF1_STAT.PTR[5:0]ビットの値がINTCNT[5:0]ビットの設定値未満になるまで、FIFO/BUF1へのタイムスタンプキャプチャーが発生するたびにイベント入力割り込み要因が発生します。

例:

1) INTCNT[5:0]ビット = 0x00の場合

イベント発生回数にかかわらず、イベント入力割り込み要因は発生しません。

2) INTCNT[5:0]ビット = 0x01の場合

イベントが発生するたびにイベント入力割り込み要因が発生します。

3) INTCNT[5:0]ビット = 0x20の場合 (FIFOモード時)

イベントトリガー入力によりバッファ (FIFO) 内に取得したデータ数が32個になると、イベント入力割り込み要因が発生します。

INTCNT[3:0]ビット (BUF2/BUF3イベント入力) の機能も上記と同様です。設定範囲は下表に示すように異なります。

表 4.9 割り込みを発生させるBUF n イベント入力数

イベント入力数を指定する 制御ビット	指定可能範囲		バッファ内の有効データ数を示す ポインター
	FIFO モード	ダイレクトモード	
BUF1_CFG1.INTCNT[5:0]ビット	0x00 ~ 0x1F	0x00 ~ 0x09 (BUF1)	BUF1_STAT.PTR[5:0]ビット
BUF2_CFG1.INTCNT[3:0]ビット	無効	0x0 ~ 0xB (BUF2)	BUF2_STAT.PTR[3:0]ビット
BUF3_CFG1.INTCNT[3:0]ビット	無効	0x0 ~ 0x9 (BUF3)	BUF3_STAT.PTR[3:0]ビット

*1 タイムスタンプ機能の詳細については、“3.10 タイムスタンプ機能”を参照してください。

0x28: BUF1_STAT (BUF1 Status)**0x2B: BUF2_STAT (BUF2 Status)****0x2E: BUF3_STAT (BUF3 Status)****BUF1 Status**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FULLF	EMPTF	PTR[5:0]					
Initial value	0	1	0	0	0	0	0	0
R/W	R	R	R					

BUF2/BUF3 Status

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FULLF	EMPTF	-	-	PTR[3:0]			
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R			

Bit 7: FULLF

このフラグは、バッファ (FIFOまたはBUF n) が満杯か否かを示します。

1 (R): バッファフル状態

0 (R): バッファに空きがある

FIFOモード時はBUF1_STAT.FULLFビットがバッファの状態を示します。

1にセットされたフラグは、バッファが読み出されて空きができると0に戻ります。

Bit 6: EMPTF

このフラグは、バッファ (FIFOまたはBUF n) が空か否かを示します。

1 (R): バッファエンプティ状態

0 (R): バッファにデータがある

FIFOモード時はBUF1_STAT.EMPTFビットがバッファの状態を示します。

1にセットされたフラグは、バッファにデータが取り込まれると0に戻ります。

Bits 5–0: PTR[5:0] (BUF1 Status)**Bits 3–0: PTR[3:0] (BUF2/BUF3 Status)**

これらのビットは、バッファ (FIFOまたはBUF n) 内のデータ格納数を示します。

FIFOモード: 読み出し可能なFIFO内の残りデータ数 (BUF1: 0 ~ 32) を示します。

ダイレクトモード: バッファBUF n に取得したデータ数 (取得回数、BUF1/BUF3: 0 ~ 10、BUF2: 0 ~ 12) を示します。

注: FIFOモードでバッファからスタンプデータを読み出した後、本レジスタのフラグとポインターが更新されるまで、最大1msの時間が必要です。

*1 タイムスタンプ機能の詳細については、“3.10 タイムスタンプ機能”を参照してください。

0x29: BUF1_CFG2 (BUF1 Configuration 2)**0x2C: BUF2_CFG2 (BUF2 Configuration 2)****0x2F: BUF3_CFG2 (BUF3 Configuration 2)****BUF1 Configuration 2**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	RDEN	SRAMMOD	-	-	RDPAGE[3:0]			
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W			

BUF2/BUF3 Configuration 2

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	RDEN	-	-	-	RDPAGE[3:0]			
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W			

Bit 7: RDEN

このビットは、ダイレクトモード時にスタンプデータを読み出すバッファ (BUF n) を選択します。

- 1 (R/W): BUF n リードイネーブル
 0 (R/W): BUF n リードディスエーブル

Bit 6: SRAMMOD (BUF1 Configuration 2)

このビットは、SRAMモードでのバッファの読み出し/書き込みを許可/禁止します。

- 1 (R/W): SRAMモードイネーブル
 0 (R/W): SRAMモードディスエーブル

Bits 3–0: RDPAGE[3:0]

これらのビットは、ダイレクトモード時またはSRAMモード時にバッファを読み出す際のページ番号を指定します。RDENビット = 1の場合にのみ有効です。

ダイレクトモード: ページ1 ~ 10 (BUF1/3)、ページ1 ~ 12 (BUF2)
 ダイレクトモード時は、BUF3_STAT.PTR[3:0]ビットが示すページ番号以下を指定するか、トリガー発生を禁止状態にして読み出す必要があります。

SRAMモード: ページ0x0 ~ 0xF

*1 タイムスタンプ機能の詳細、SRAM/バッファの読み出し/書き込み方法については、“3.10 タイムスタンプ機能”を参照してください。

0x30: ALM_SEC (Second Alarm)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XSAE	SALM_H[2:0]			SALM_L[3:0]			
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W			R/W			

Bit 7: XSAE

このビットは秒アラームの設定を有効/無効にします。

- 1 (R/W): 秒アラーム無効
 0 (R/W): 秒アラーム有効

1に設定すると本レジスターの設定が無効となり、秒カウンターの内容はアラームの発生に影響を与えません。

0に設定すると本レジスターの設定が有効となり、秒カウンターの値とSALM_H[2:0]/SALM_L[3:0]ビット設定値の一致がアラーム発生条件となります。

Bits 6–4: SALM_H[2:0]

Bits 3–0: SALM_L[3:0]

アラームの秒条件をBCDコードで設定します。

SALM_H[2:0]ビットでアラームの10秒桁 (0–5) を、SALM_L[3:0]ビットで1秒桁 (0–9) を設定します。

- *1 アラーム機能の詳細については、“3.5 アラーム機能”を参照してください。
- *2 アラーム機能を使用しない場合、本レジスターをリード/ライト可能な汎用レジスターとして使用することができます。ただし、不要な割り込みが発生することのないように、TSTP_INTE.AIEビットを0(アラーム割り込みディスエーブル) に設定してください。

0x31: ALM_MIN_MIR (Mirrored Minute Alarm, = 0x07)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XMAE	MALM_H[2:0]			MALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W			R/W			

レジスターALM_MINのミラーです。詳細は“0x07: ALM_MIN (Minute Alarm)”を参照してください。

0x32: ALM_HOUR_MIR (Mirrored Hour Alarm, = 0x08)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XHAE	(GP)	HALM_H[1:0]		HALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

レジスターALM_HOURのミラーです。詳細は“0x08: ALM_HOUR (Hour Alarm)”を参照してください。

0x33: ALM_WEEKDAY_MIR (Mirrored Day-of-Week Alarm / Day Alarm, = 0x09)**Mirrored Day-of-Week Alarm Register**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XWAE	WKALM[6:0]						
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W						

Mirrored Day Alarm Register

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	XWAE	(GP)	DALM_H[1:0]		DALM_L[3:0]			
Initial value	1	x	x	x	x	x	x	x
R/W	R/W	R/W	R/W		R/W			

レジスターALM_WEEKDAYのミラーです。詳細は“0x09: ALM_WEEKDAY (Day-of-Week Alarm / Day Alarm)”を参照してください。

0x34: UPDISEL (Time Update Interrupt Select)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	–	–	–	–	–	USEL1	–
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R

Bit 1: USEL1

このビットは、TCTL.USEL0ビットと共に時刻更新割り込みイベントの種類を選択します。(表 4.2参照)

0x37: PWSW_CFG (Power Switch Configuration)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	CHGEN	INIEN	VBATLDETBK	VBATLDETEN	SWSSEL[1:0]		VDDSAMP[1:0]	
Initial value	0	0	0	0	0	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W		R/W	

Bit 7: CHGEN

このビットは、V_{BAT}への充電機能を制御します。

1 (R/W): 充電イネーブル

0 (R/W): 充電ディスエーブル

V_{BAT}に二次電池を接続している場合は、INIENビットを1に設定すると共に本ビットを1に設定し、電源切り替え機能およびV_{BAT}への充電機能をイネーブルにします。

Bit 6: INIEN

このビットは、電源切り替え機能を制御します。

1 (R/W): 電源切り替え機能イネーブル

0 (R/W): 電源切り替え機能ディスエーブル

Bit 5: VBATLDETBK

このビットは、VBATLDETENビット = 1 (V_{BAT}電圧検出イネーブル) の場合に、バックアップモード中もV_{BAT}電圧の検出を行うか否かを選択します。

1 (R/W): バックアップモード時V_{BAT}電圧検出イネーブル

0 (R/W): バックアップモード時V_{BAT}電圧検出ディスエーブル

Bit 4: VBATLDETEN

このビットは、V_{BAT}電圧の検出を行うか否かを選択します。

1 (R/W): V_{BAT}電圧検出イネーブル

0 (R/W): V_{BAT}電圧検出ディスエーブル

Bits 3–2: SWSEL[1:0]

これらのビットは、電源切り替え機能を使用しない場合の電源切り替えSWの状態を選択します。

表 4.10 電源切り替えSWの固定

PWSW_CFG.SWSEL[1:0]	電源切り替えSW状態	電源構成例
0b00	SW1 = ON, SW2 = OFF, SW3 = ON	主電源 (V _{DD}) のみを使用
0b01 (デフォルト)	SW1 = OFF, SW2 = OFF, SW3 = ON	一次電池を使った電源バックアップ構成
0b10	SW1 = ON, SW2 = OFF, SW3 = OFF	主電源 (V _{DD}) のみを使用
0b11 (設定禁止)	–	設定禁止

Bits 1–0: VDDSAAMP[1:0]

これらのビットは、V_{DD}電圧検出のために制御するSW1のOFF時間を選択します。

表 4.11 SW1 OFF時間の設定

PWSW_CFG.VDDSAAMP[1:0]	SW1 OFF 時間
0b00	OFFしない (デフォルト)
0b01	2 ms
0b10	128 ms
0b11	256 ms

詳細は、3.9節の“V_{DD}電圧低下検出サンプリング時間設定”を参照してください。

*1 電源切り替え機能の詳細については、“3.9 バックアップ電源切り替え機能”を参照してください。

0x38: WTICFG (Wakeup Timer Interrupt Configuration)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	FOEMUX	EVIN3MUX	–	WTONETIM	–	–	WTIOUT	–
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R	R	R/W	R

Bit 7: FOEMUX

このビットは、Pin 10の機能を選択します。

1 (R/W): FOE (FOUT Enable) 入力

0 (R/W): EVIN2入力

FOE入力によるFOUT出力の制御については、3.7節の“FOUT出力の制御 (FOE端子を使用する場合)”を参照してください。

Bit 6: EVIN3MUX

このビットは、Pin 4の機能を選択します。

1 (R/W): EVIN3入力

0 (R/W): FOUT出力

Bit 4: WTONETIM

このビットは、ウェイクアップタイマー割り込み発生時に/INT出力を自動解除するか否かを選択します。

1 (R/W): 自動解除しない (LOW出力)

0 (R/W): 自動解除する (7.812 ms幅のLOWパルス出力)

Bit 1: WTIOOUT

このビットは、ウェイクアップタイマー割り込み信号の出力端子を選択します。

1 (R/W): FOUT端子から出力(CMOSバッファ出力)

0 (R/W): /INT端子から出力(Nchオープンドレイン出力)

ウェイクアップタイマー割り込み信号の出力端子にFOUT端子を選択した場合、FOUT端子からはウェイクアップタイマー割り込み信号とFOUT信号がNORされた信号が出力されます。したがって、FOUT端子からウェイクアップタイマー割り込み信号だけを出力させる場合は、TCTL.FSEL[1:0]ビットを0b11に設定してFOUT信号の出力を停止してください。

本ビットはEVIN3MUXビット = 0の場合にのみ有効です。

*1 ウェイクアップタイマー割り込みの詳細については、“3.6 ウェイクアップタイマー機能”を参照してください。

0x39: WTCTL (Wakeup Timer Control)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTRST	-	-	-	WTMODSEL	WTSTOPCTL	-	WTSTOP
Initial value	0	0	0	0	0	0	0	0
R/W	W	R	R	R	R/W	R/W	R	R/W

Bit 7: WTRST

このビットは、ウェイクアップタイマーにプリセット値をリロードします。

1 (W): タイマープリセット

0 (W): 無効

本ビットへの1書き込みにより、ウェイクアップタイマーにリセットパルスが出力されます。リセット中はTCTL.TEビット = 0になります。リセット解除後、WTRSTビットは自動的にクリアされ、ウェイクアップタイマーはプリセット値をロードした状態から再スタートします。これにより、ウェイクアップタイマーをウォッチドッグタイマーのように使用することができます。

本ビットからは、1書き込み後も常時0が読み出されます。

Bit 3: WTMODSEL

このビットは、ウェイクアップタイマーの動作をノーマルモードまたはバックアップモードの一方のみに制限します。

1 (R/W): ノーマルモード時はカウンターを停止

0 (R/W): バックアップモード時はカウンターを停止

Bit 2: WTSTOPCTL

このビットは、WTMODSELビット、WTSTOPビットの機能を有効/無効に設定します。

1 (R/W): WTMODSEL有効、WTSTOP無効

0 (R/W): WTMODSEL無効、WTSTOP有効

Bit 0: WTSTOP

このビットは、ウェイクアップタイマーを一時停止します。

1 (R/W): ウェイクアップタイマーを一時停止

0 (R/W): ウェイクアップタイマーの一時停止を解除

*1 ウェイクアップタイマー機能の詳細については、“3.6 ウェイクアップタイマー機能”を参照してください。

0x3A: WTCNT_L_MIR (Mirrored Wakeup Timer Counter Low, = 0x0A)**0x3B: WTCNT_M_MIR (Mirrored Wakeup Timer Counter Middle, = 0x0B)****0x3C: WTCNT_H_MIR (Mirrored Wakeup Timer Counter High, = 0x0C)****Mirrored Wakeup Timer Counter Low**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[7:0]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Mirrored Wakeup Timer Counter Middle

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[15:8]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

Mirrored Wakeup Timer Counter High

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WTCNT[23:16]							
Initial value	x	x	x	x	x	x	x	x
R/W	R/W							

レジスターWTCNT_L、WTCNT_M、WTCNT_Hのミラーです。詳細は“0x0A–0x0C: WTCNT_L/WTCNT_M/WTCNT_H (Wakeup Timer Counter Low/Middle/High)”を参照してください。

0x41: WRCMD_CFG (Write Command Configuration)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	EVCNTCLREN	BUF3FCLREN	BUF2FCLREN	BUF1FCLREN	–	–	–	CMDTRGEN
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

注: 本レジスターはレジスターWRCMD_TRG (アドレス0x42) への書き込み時に実行される機能を指定します。

Bit 7: EVCNTCLREN

このビットは、コマンドトリガー実行時 (レジスターWRCMD_TRGへの書き込み時) にイベントカウンタを初期化するか否かを指定します。

1 (R/W): イベントカウンタの初期化が有効

0 (R/W): イベントカウンタの初期化が無効

このビットを1に設定してコマンドトリガーを実行すると、EVIN1 ~ 3のイベント入力回数をカウントしている以下のイベントカウンタがすべて初期化 (0クリア) されます。

EVIN1_EVCNT.EVCNT[5:0]ビット (EVIN1イベントカウンタ)

EVIN2_EVCNT.EVCNT[5:0]ビット (EVIN2イベントカウンタ)

EVIN3_EVCNT.EVCNT[5:0]ビット (EVIN3イベントカウンタ)

Bit 6: BUF3FCLREN
 Bit 5: BUF2FCLREN
 Bit 4: BUF1FCLREN

これらのビットは、コマンドトリガー実行時にBUF n のタイムスタンプフラグとイベントポインターを初期化するか否かを指定します。

1 (R/W): タイムスタンプフラグ/イベントポインター初期化が有効

0 (R/W): タイムスタンプフラグ/イベントポインター初期化が無効

これらのビットを1に設定してコマンドトリガーを実行すると、BUF n の以下の内容がすべて初期化されます。

<BUF1FCLREN>

BUF1_STAT.FULLFビット (BUF1フルフラグ)
 BUF1_STAT.EMPTFビット (BUF1エンプティフラグ)
 BUF1_STAT.PTR[5:0]ビット (BUF1イベントポインター)
 BUF_OVWF.BUF1OVWFビット (BUF1オーバーライトフラグ)

<BUF2FCLREN>

BUF2_STAT.FULLFビット (BUF2フルフラグ)
 BUF2_STAT.EMPTFビット (BUF2エンプティフラグ)
 BUF2_STAT.PTR[3:0]ビット (BUF2イベントポインター)
 BUF_OVWF.BUF2OVWFビット (BUF2オーバーライトフラグ)

<BUF3FCLREN>

BUF3_STAT.FULLFビット (BUF3フルフラグ)
 BUF3_STAT.EMPTFビット (BUF3エンプティフラグ)
 BUF3_STAT.PTR[3:0]ビット (BUF3イベントポインター)
 BUF_OVWF.BUF3OVWFビット (BUF3オーバーライトフラグ)

Bit 0: CMDTRGEN

このビットは、コマンドトリガー実行時にBUF1のタイムスタンプトリガーを発行するか否かを指定します。

1 (R/W): BUF1タイムスタンプトリガー発行が有効

0 (R/W): BUF1タイムスタンプトリガー発行が無効

このビットを1に設定してコマンドトリガーを実行すると、BUF1のタイムスタンプトリガーが発行されます。このタイムスタンプトリガーを連続して発行する場合は、トリガーの間に5 ms以上のインターバルが必要です。タイムスタンプトリガーが正常に受け付けられたか否かについては、下記いずれかのビットで確認してください。

BUF_INTF.BUF1Fビット 1にセットされたことを確認

または

BUF1_CFG2.RDPAGE[3:0]ビット 内容がインクリメントされたことを確認

0x42: WRCMD_TRG (Write Command Trigger)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	WRTRG[7:0]							
Initial value	0	0	0	0	0	0	0	0
R/W	R/W							

Bits 7–0: WRTRG[7:0]

このアドレスに任意の値を書き込むことにより、レジスターWRCMD_CFG(アドレス0x41) に設定されたコマンドトリガーを発行します (レジスターライトのタイミングで発行)。

コマンドトリガー発行後、コマンド実行が完了し、タイムスタンプトリガー発行時はデータの書き込みとフラグなどへの反映が完了するまで、本レジスターは0x00以外の値を保持します。タイムスタンプトリガー発行直後にスタンプデータを読み出す場合や次のコマンドトリガーを発行する場合は、その前に本レジスターを読み出し、0x00に戻っていることを確認してください。

0x43: EVNT_INTE (Event Interrupt Enable)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	EVIN3IEN	EVIN2IEN	EVIN1IEN	-	VBATLIEN	VTMPLIEN	VDDLIEN	OSCSTPIEN
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

Bit 7: EVIN3IEN

Bit 6: EVIN2IEN

Bit 5: EVIN1IEN

これらのビットは、EVIN n イベント入力による割り込みの発生を許可/禁止します。

1 (R/W): EVIN n イベント入力割り込みイネーブル

0 (R/W): EVIN n イベント入力割り込みディスエーブル

Bit 3: VBATLIEN

このビットは、V_{BAT}電圧低下検出によるイベントトリガーの発生を許可/禁止します。

1 (R/W): V_{BAT}電圧低下検出イベントトリガーイネーブル

0 (R/W): V_{BAT}電圧低下検出イベントトリガーディスエーブル

このビットが1の場合、V_{BAT}電圧低下を検出するとイベントフラグ (EVNT_INTF.VBATLEVFビット) が1にセットされます。

Bit 2: VTMPLIEN

このビットは、V_{DET2}電圧低下検出 (電源電圧が発振回路の温度調整動作下限電圧を下回ったことを検出) によるイベントトリガーの発生を許可/禁止します。

1 (R/W): V_{DET2}電圧低下検出イベントトリガーイネーブル

0 (R/W): V_{DET2}電圧低下検出イベントトリガーディスエーブル

このビットが1の場合、V_{DET2}電圧低下を検出するとイベントフラグ (EVNT_INTF.VTMPELVFビット) が1にセットされます。

Bit 1: VDDLIEN

このビットは、-V_{DET1}電圧低下検出 (V_{DD}電圧が-V_{DET1}を下回ったことを検出) によるイベントトリガーの発生を許可/禁止します。

1 (R/W): -V_{DET1}電圧低下検出イベントトリガーイネーブル

0 (R/W): -V_{DET1}電圧低下検出イベントトリガーディスエーブル

このビットが1の場合、V_{DD}電圧低下を検出するとイベントフラグ (EVNT_INTF.VDDLEVFビット) が1にセットされます。

Bit 0: OSCSTPIEN

このビットは、発振停止検出によるイベントトリガーの発生を許可/禁止します。

1 (R/W): 発振停止検出イベントトリガーイネーブル

0 (R/W): 発振停止検出イベントトリガーディスエーブル

このビットが1の場合、発振停止を検出するとイベントフラグ (EVNT_INTF.OSCSTPEVFビット) が1にセットされます。

0x44: CAP_EN (Capture Enable)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	-	-	-	VBATLCPEN	VTMPLCPEN	VDDLCPEN	OSCSTPCPEN
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

Bit 3: VBATLCPEN

このビットは、 V_{BAT} 電圧低下検出のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W): V_{BAT} 電圧低下検出タイムスタンプキャプチャーイネーブル

0 (R/W): V_{BAT} 電圧低下検出タイムスタンプキャプチャーディスエーブル

Bit 2: VTMPLCPEN

このビットは、 V_{DET2} 電圧低下検出 (電源電圧が発振回路の温度調整動作下限電圧を下回ったことを検出) のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W): V_{DET2} 電圧低下検出タイムスタンプキャプチャーイネーブル

0 (R/W): V_{DET2} 電圧低下検出タイムスタンプキャプチャーディスエーブル

Bit 1: VDDLCPEN

このビットは、 $-V_{DET1}$ 電圧低下検出 (V_{DD} 電圧が $-V_{DET1}$ を下回ったことを検出) のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W): $-V_{DET1}$ 電圧低下検出タイムスタンプキャプチャーイネーブル

0 (R/W): $-V_{DET1}$ 電圧低下検出タイムスタンプキャプチャーディスエーブル

Bit 0: OSCSTPCPEN

このビットは、発振停止検出のイベントトリガーによるタイムスタンプキャプチャーを許可/禁止します。

1 (R/W): 発振停止検出タイムスタンプキャプチャーイネーブル

0 (R/W): 発振停止検出タイムスタンプキャプチャーディスエーブル

実際に各イベントトリガーでタイムスタンプキャプチャーを実行させるためには、レジスターEVNT_INTE内の対応する***IENビットを1に設定してレジスターEVNT_INTFのイベントフラグ (**EVFビット) がセットされるようにしておく必要があります。

0x46: BUF_INTF (Buffer Interrupt Factor)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	BUF3F	BUF2F	BUF1F	-	VBATLF	-	VDDLf	-
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R	R/W	R

Bit 7: BUF3F**Bit 6: BUF2F****Bit 5: BUF1F**

これらのフラグは、タイムスタンプバッファ BUF_n にイベントトリガー入力割り込み要因が発生したことを示します。

1 (R): イベントトリガー入力発生

0 (R): イベントトリガー入力なし

1 (W): 無効

0 (W): フラグをクリア

各フラグは、BUF1_CFG1.INTCNT[5:0]ビット (BUF1)、BUF2_CFG1.INTCNT[3:0]ビット (BUF2)、BUF3_CFG1.INTCNT[3:0]ビット (BUF3) で設定した数のデータが書き込まれた時点で1にセットされます。

Bit 3: VBATLF

このフラグは、V_{BAT}電圧低下を2回連続して検出した場合にセットされます。

- 1 (R): V_{BAT}電圧低下を検出
- 0 (R): V_{BAT}電圧低下検出なし
- 1 (W): 無効
- 0 (W): フラグをクリア (V_{BAT}電圧復帰後)

V_{BAT}電圧低下の状態が継続している場合、0書き込みによってフラグをクリアすることはできません。

Bit 1: VDDLFL

このフラグは、-V_{DETI}電圧低下 (V_{DD}電圧が-V_{DETI}を下回ったこと) を検出した場合にセットされます。

- 1 (R): -V_{DETI}電圧低下を検出
- 0 (R): -V_{DETI}電圧低下検出なし
- 1 (W): 無効
- 0 (W): フラグをクリア (V_{DD}電圧復帰後)

このフラグは、-V_{DETI}電圧低下を1回検出した時点でセットされます。-V_{DETI}電圧低下の状態が継続している場合、0書き込みによってフラグをクリアすることはできません。

0x47: EVNT_INTF (Event Interrupt Factor)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	EVIN3F	EVIN2F	EVIN1F	-	VBATLEVF	VTMPLEVF	VDDLEVF	OSCSTPEVF
Initial value	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

- Bit 7: EVIN3F
- Bit 6: EVIN2F
- Bit 5: EVIN1F

これらのフラグは、EVIN_nにイベント入力が発生したことを示します。

- 1 (R): EVIN_nイベント入力発生
- 0 (R): EVIN_nイベント入力なし
- 1 (W): 無効
- 0 (W): フラグをクリア

Bit 3: VBATLEVF

このフラグは、V_{BAT}電圧低下検出イベントが発生したことを示します。

- 1 (R): V_{BAT}電圧低下検出イベント発生
- 0 (R): V_{BAT}電圧低下検出イベント入力なし
- 1 (W): 無効
- 0 (W): フラグをクリア

Bit 2: VTMPLEVF

このフラグは、V_{DET2}電圧低下検出 (電源電圧が発振回路の温度調整動作下限電圧を下回ったことを検出) イベントが発生したことを示します。

- 1 (R): V_{DET2}電圧低下検出イベント発生
- 0 (R): V_{DET2}電圧低下検出イベント入力なし
- 1 (W): 無効
- 0 (W): フラグをクリア

Bit 1: VDDLEVF

このフラグは、 $-V_{DETI}$ 電圧低下検出 (V_{DD} 電圧が $-V_{DETI}$ を下回ったことを検出) イベントが発生したことを示します。

- 1 (R): $-V_{DETI}$ 電圧低下検出イベント発生
- 0 (R): $-V_{DETI}$ 電圧低下検出イベント入力なし
- 1 (W): 無効
- 0 (W): フラグをクリア

Bit 0: OSCSTPEVF

このフラグは、発振停止検出イベントが発生したことを示します。

- 1 (R): 発振停止検出イベント発生
- 0 (R): 発振停止検出イベント入力なし
- 1 (W): 無効
- 0 (W): フラグをクリア

発振停止検出イベントトリガーが発生した場合、発振再開後にタイムスタンプを取得します。

注: 本レジスターのフラグは、レジスターEVNT_INTEの対応する****IENビットが0の場合はイベントが発生してもセットされません。

0x4E: BUF_FULLF (Buffer Full Flag)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	BUF3FULLF	BUF2FULLF	BUF1FULLF	–	–	–	–
Initial value	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R	R	R	R

Bit 6: BUF3FULLF

Bit 5: BUF2FULLF

Bit 4: BUF1FULLF

これらのフラグは、BUF n でバッファフルが発生したことを示します。

- 1 (R): バッファフル発生
- 0 (R): バッファフルの発生なし
- 1 (W): 無効
- 0 (W): フラグをクリア

FIFOモード時はBUF1FULLFビットがバッファフルの発生を示します。

これらのフラグは、バッファが読み出されて空きができて自動的に0には戻りませんので、0を書き込んでクリアしてください。

0x4F: BUF_OVWF (Buffer Overwrite Flag)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	–	BUF3OVWF	BUF2OVWF	BUF1OVWF	–	–	–	–
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

Bit 6: BUF3OVWF

Bit 5: BUF2OVWF

Bit 4: BUF1OVWF

これらのフラグは、BUF n でオーバーライトが発生したことを示します。

- 1 (R): オーバーライト発生
- 0 (R): オーバーライトの発生なし

各フラグは、レジスターWRCMD_CFG内のBUF n FCLRENビットを1に設定してコマンドトリガーを発行 (レジスターWRCMD_TRGへの書き込み) することによりクリアされます。

0x51: EVIN1_EVCNT (EVIN1 Event Counter)**0x52: EVIN2_EVCNT (EVIN2 Event Counter)****0x53: EVIN3_EVCNT (EVIN3 Event Counter)**

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	-	-	EVCNT[5:0]					
Initial value	0	0	0	0	0	0	0	0
R/W	R	R	R					

Bits 5–0: EVCNT[5:0]

これらのビットは、EVIN n 端子からのイベント入力回数 (0 ~ 63回) を示します。

入力回数が63回を超えた場合は、0に戻りカウントを継続します。

なお、EVIN_EN.EVIN n ENビット = 0の場合、EVIN n イベント入力回数はカウントされません。

0x54: EVINMON (EVIN Monitor)

Bit No.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit name	EVIN3MON	EVIN2MON	EVIN1MON	-	-	-	-	-
Initial value	x	x	x	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

Bit 7: EVIN3MON

Bit 6: EVIN2MON

Bit 5: EVIN1MON

これらのビットは、現在のEVIN n 端子入力レベルを示します。

1 (R): HIGHレベル

0 (R): LOWレベル

5 電気的特性

5.1 絶対最大定格

表 5.1 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
主電源電圧	V _{DD}	—	-0.3 ~ +6.5	V
内部動作電源電圧	V _{OUT}	—	-0.3 ~ +6.5	V
バックアップ電源電圧	V _{BAT}	—	-0.3 ~ +6.5	V
入力電圧1	V _{IN1}	SCL, SDA, FOE, CE, CLK, DIO, DI, EVIN1, EVIN2, EVIN3	-0.3 ~ +6.5	V
出力電圧1	V _{OUT1}	/INT, SDA, DIO, DO, FOUT	-0.3 ~ +6.5	V
保存温度	T _{STG}	梱包状態を除く、単品での保存	-55 ~ +125	°C

(注) ・電圧はすべて V_{SS} = 0 V を基準とした値です。

- ・上記、絶対最大定格を超えて使用した場合、永久破壊となることがあります。また、通常動作では推奨動作条件の範囲内で使用することが望ましく、この条件を越えると誤動作の原因になるとともに、信頼性に悪影響を及ぼすことがあります。
- ・電圧は常に V_{DD} ≥ V_{SS} の条件を保持してください。
- ・動作は電気的特性の範囲内で保証されます。

5.2 推奨動作条件

表 5.2 推奨動作条件

特記無き場合: GND = 0 V, Ta = -40 °C ~ +105 °C

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧 ^{*1}	V _{DD}	主電源駆動時	1.60	3.0	5.5	V
インターフェイス電源電圧	V _{ACC}	V _{DD} 端子電圧 (I ² C IF、SPI IF 3wire/4wire)	1.60	3.0	5.5	V
バックアップ電源電圧	V _{BAT}	バックアップ電源電圧	1.10	3.0	5.5	V
温度補償電圧	V _{TMP}	温度補償動作が継続するV _{OUT} 電源電圧	1.60 ^{*2}	3.0	5.5	V
計時電源電圧	V _{CLK}	計時動作が継続するV _{OUT} 電源電圧	V _{VLF} ^{*3}	3.0	5.5	V
動作温度範囲	Ta	結露無きこと	-40	+25	+105	°C

*1 電源端子近傍にノイズ対策用のバイパスコンデンサを必ず挿入してください。

*2 温度補償電圧のMin. 値未満では、温度に対応した周波数補正値更新機能が停止します。

*3 V_{VLF}は、V_{DD} ≥ V_{ACC(Min.)}で初期設定後の計時保持下限値です。

5.3 周波数特性

表 5.3 周波数特性

特記無き場合: V_{DD} = 3.0 V, GND = 0 V, Ta = -40 °C ~ +105 °C

項目	記号	条件	Min.	Typ.	Max.	単位	
出力周波数	fo	Ta = +25 °C	32.768			kHz	
周波数安定度	Δf/f	XS	Ta = 0 °C ~ +50 °C	—	—	±1.9 ^{*1}	×10 ⁻⁶
			Ta = -40 °C ~ +85 °C	—	—	±3.0 ^{*2}	
			Ta = +85 °C ~ +105 °C	—	—	±5.0 ^{*3}	
		XB	Ta = 0 °C ~ +50 °C	—	—	±3.8 ^{*4}	
			Ta = -40 °C ~ +85 °C	—	—	±5.0 ^{*3}	
			Ta = +85 °C ~ +105 °C	—	—	±8.0 ^{*5}	
周波数電圧特性	f/V	Ta = +25 °C, V _{DD} = 1.6 V ~ 5.5 V	—	—	±1	×10 ⁻⁶ /V	
FOUT デューティ	Duty	V _{th} = 50% V _{DD} , Ta = -40 °C ~ +105 °C, V _{DD} = 1.6 V ~ 5.5 V	40	—	60	%	
水晶発振開始時間	t _{STA}	Ta = +25 °C, V _{DD} = 1.6 V ~ 5.5 V	—	0.5	1.0	s	
		Ta = -40 °C ~ +105 °C, V _{DD} = 1.6 V ~ 5.5 V	—	—	3.0		
エージング	fa	Ta = +25 °C, 電源電圧 = 3.0 V, 初年度	—	—	±3	×10 ⁻⁶ /year	
リフロー	Δfref	リフロー処理: 260 °C Max., 2回	—	—	±3 ^{*6}	×10 ⁻⁶	

*1 月差5秒以内 *2 月差8秒以内 *3 月差13.2秒以内 *4 月差10秒以内 *5 月差21秒以内

*6 リフロー実装前後の周波数変化率で、常温放置24時間経過後に常温環境で測定した値

5.4 DC特性

DC特性

表 5.4 DC特性

特記無き場合: $V_{BAT} = 1.1\text{ V} \sim 5.5\text{ V}$, $V_{DD} = 1.6\text{ V} \sim 5.5\text{ V}$, $T_a = -40\text{ }^\circ\text{C} \sim +105\text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位	
消費電流1	I_{DD1}	/INT = Hi-Z FOUT: 出力OFF (Hi-Z) 温度補償間隔: 2 s	$V_{DD} = 5\text{ V}$	–	0.42	1.8	μA
消費電流2	I_{DD2}	FSEL1, FSEL0 = 1 INIEN = 1, CHGEN = 0 SCL, SDA = H, CE = L	$V_{DD} = 3\text{ V}$	–	0.40	1.70	
消費電流3	I_{32K1}	/INT = Hi-Z FOUT: 32 kHz出力, $C_L = 0\text{ pF}$ 温度補償間隔: 2 s	$V_{DD} = 5\text{ V}$	–	1.10	3.10	μA
消費電流4	I_{32K2}	FSEL1, FSEL0 = 0 INIEN = 1, CHGEN = 0 SCL, SDA = H, CE = L	$V_{DD} = 3\text{ V}$	–	1.00	3.00	
消費電流5	I_{BAT1}	/INT = Hi-Z FOUT: 出力OFF (Hi-Z) 温度補償間隔 2 s	$V_{BAT} = 5\text{ V}$	–	0.30	1.60	μA
消費電流6	I_{BAT2}	FSEL1, FSEL0 = 1 INIEN = 1, CHGEN = 0 SCL, SDA = L, CE = L	$V_{BAT} = 3\text{ V}$	–	0.24	1.50	
消費電流7	I_{BAT3}	初回電源投入時、 V_{BAT} のみ投入時の電流値 /INT = Hi-Z FOUT: 出力OFF (Hi-Z) 温度補償間隔: 非動作時	$V_{BAT} = 3\text{ V}$	–	0.23	1.50	μA
消費電流8	I_{DD3}	/INT = Hi-Z FOUT: 出力OFF (Hi-Z) 温度補償間隔: 非動作時	$V_{DD} = 5\text{ V}$	–	0.40	1.70	μA
消費電流9	I_{DD4}	FSEL1, FSEL0 = 1, INIEN = 1, CHGEN = 0 SCL, SDA = H, CE = L	$V_{DD} = 3\text{ V}$	–	0.38	1.60	
消費電流10	I_{DD5}	/INT = Hi-Z FOUT: 出力OFF (Hi-Z) 温度センサー測定動作期間内	$V_{DD} = 5\text{ V}$	–	55	100	μA
消費電流11	I_{DD6}	図5.1 温度補償動作と消費電流参照 FSEL1, FSEL0 = 1, INIEN = 1, CHGEN = 0 SCL, SDA = H, CE = L	$V_{DD} = 3\text{ V}$	–	50	95	
V_{DD} 立ち上がり時検出電圧	$+V_{DET1}$	$V_{BAT} \rightarrow V_{DD}$ 電源切り替え電圧	1.40	1.50	1.60	V	
V_{DD} 立ち下がり時検出電圧	$-V_{DET1}$	$V_{DD} \rightarrow V_{BAT}$ 電源切り替え電圧	1.35	1.45	1.55	V	
温度補償更新停止検出電圧	V_{DET2}	検出電源系: V_{OUT}	1.45	1.50	1.55	V	
V_{BAT} 立ち上がり時検出電圧	$+V_{LOW}$	V_{BAT} 端子電圧	1.15	1.25	1.35	V	
V_{BAT} 立ち下がり時検出電圧	$-V_{LOW}$	V_{BAT} 端子電圧	1.10	1.20	1.30	V	
VLF検出電圧	V_{VLF}	V_{OUT} 電源低下検出電圧	–	–	1.1	V	
“H”入力電圧	V_{IH}	SCL, SDA, CE, CLK, DIO, DI, FOE EVINn	$0.8 \times V_{DD}$ $0.8 \times V_{OUT}$	–	5.5	V	
“L”入力電圧	V_{IL}	SCL, SDA, CE, CLK, DIO, DI, FOE EVINn	GND - 0.3 GND - 0.3	–	$0.2 \times V_{DD}$ $0.2 \times V_{OUT}$	V	
“H”出力電圧	V_{OH1} V_{OH2} V_{OH3}	DIO, DO, FOUT	$V_{DD} = 5.0\text{ V}$, $I_{OH} = -1\text{ mA}$ $V_{DD} = 3.0\text{ V}$, $I_{OH} = -1\text{ mA}$ $V_{DD} = 3.0\text{ V}$, $I_{OH} = -100\text{ }\mu\text{A}$	4.5 2.2 2.9	–	5.0 3.0 3.0	V
“L”出力電圧	V_{OL1} V_{OL2} V_{OL3} V_{OL4} V_{OL5} V_{OL6}	FOUT DIO, DO, /INT SDA	$V_{DD} = 5.0\text{ V}$, $I_{OL} = 1\text{ mA}$ $V_{DD} = 3.0\text{ V}$, $I_{OL} = 1\text{ mA}$ $V_{DD} = 3.0\text{ V}$, $I_{OL} = 100\text{ }\mu\text{A}$ $V_{DD} = 5.0\text{ V}$, $I_{OL} = 1\text{ mA}$ $V_{DD} = 3.0\text{ V}$, $I_{OL} = 1\text{ mA}$ $V_{DD} \geq 2.0\text{ V}$, $I_{OL} = 3\text{ mA}$	GND GND GND GND GND GND	–	GND + 0.5 GND + 0.8 GND + 0.1 GND + 0.25 GND + 0.4 GND + 0.4	V
入力リーク電流	I_{LK}	入力端子, 入力電圧 = V_{DD} or GND	-0.5	–	0.5	μA	

項目	記号	条件	Min.	Typ.	Max.	単位
	ILKPD	EVIN端子, 入力電圧 = GND	-0.5	-	0.5	
出力リーク電流	IOZ	出力端子, 出力電圧=V _{DD} or GND	-0.5	-	0.5	μA
EVIN _n 入力プルアップ抵抗	R _{UP1}	EVIN1/EVIN2/EVIN3端子 V _{DD} = 3.0 V 500 kΩ設定	100	500	2000	kΩ
	R _{UP2}	EVIN1/EVIN2/EVIN3端子 V _{DD} = 3.0 V 1 MΩ設定	0.2	1.0	4.0	MΩ
	R _{UP3}	EVIN1/EVIN2/EVIN3端子 V _{DD} = 3.0 V 10 MΩ設定	2.0	10.0	40.0	MΩ
EVIN _n 入力プルダウン抵抗	R _{DWN3}	EVIN1/EVIN2/EVIN3端子 V _{DD} = 3.0 V 500 kΩ設定	100	500	2000	kΩ
CE入力プルダウン抵抗	R _{DWN1}	CE端子 V _{DD} = 5.0 V	75	150	300	kΩ
	R _{DWN2}	CE端子 V _{DD} = 3.0 V	150	300	600	kΩ
V _{DD} - V _{OUT} 電源間オフリーク電流	I _{SW1}	V _{OUT} = 5.0 V, V _{DD} = 0.0 V	-	-	50	nA
V _{BAT} - V _{OUT} 電源間オフリーク電流	I _{SW2}	V _{BAT} = 0.0 V, V _{OUT} = 5.0 V	-	-	50	nA
V _{BAT} - V _{DD} 電源間オフリーク電流	I _{SW23}	V _{BAT} = 5.5 V, V _{OUT} = 3.3 V	-	-	150	nA
V _{DD} - V _{OUT} 電源間SW ON電流	I _{SWON1}	V _{DD} - V _{OUT} 端子間内蔵SW = ON ΔV = +0.1 V, V _{OUT} = 5.5 V, V _{DD} = 5.4 V ΔV = +0.1 V, V _{OUT} = 3.0 V, V _{DD} = 2.9 V R _{SWON1} = 20 Ω ~ 100 Ω	1	-	5	mA
V _{BAT} - V _{OUT} 電源間SW ON電流	I _{SWON2}	V _{BAT} - V _{OUT} 端子間内蔵SW = ON ΔV = +0.1 V, V _{OUT} = 5.5 V, V _{BAT} = 5.4 V ΔV = +0.1 V, V _{OUT} = 3.0 V, V _{BAT} = 2.9 V R _{SWON1} = 33 Ω ~ 200 Ω	500	-	3000	μA

温度補償回路動作と消費電流

本機種は温度補償間隔ごとに温度センサーを動作させ、温度補償値の更新を行っているため、その期間は消費電流が増加します。I_{DD1}, I_{DD2}は、温度センサー測定動作の実行間隔 2 s 時の平均消費電流となります。

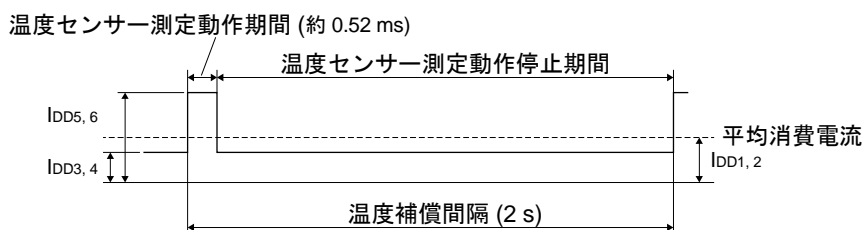


図 5.1 温度補償回路動作と消費電流

バックアップ電源切り替え素子特性 (参考)

表 5.5 電源切り替え素子特性 (参考)

項目	参考特性値	条件
Pch-Switch 定格電流	40 mA Max.	SW1 = SW2 = SW3 = ON, +25 °C
ダイオード順方向電圧 V _F	0.60 V / 1 mA Typ. 0.85 V / 10 mA Typ.	V _{DD} = 3.0 V, +25 °C
ダイオード逆方向電流 I _R	5 nA Max.	V _R = 5.5 V, -40 °C ~ +105 °C

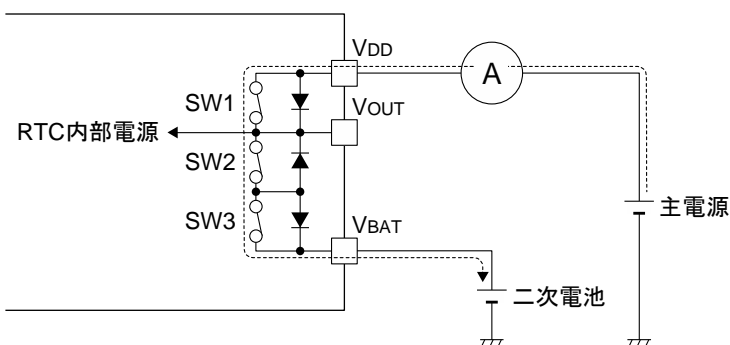
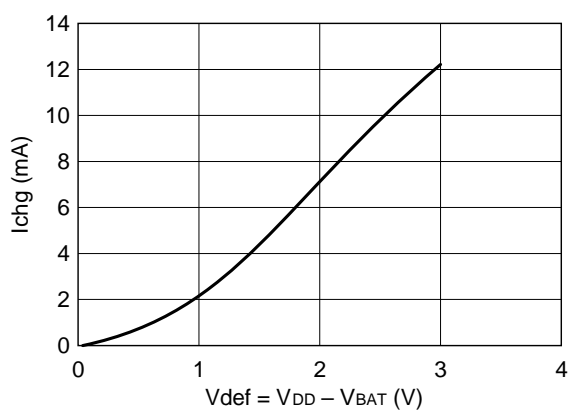
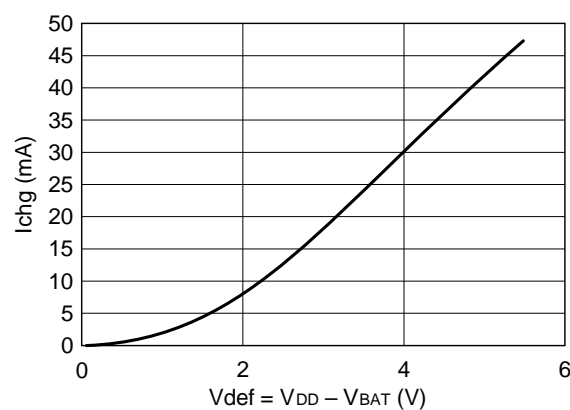


図 5.2 二次電池充電経路図

図 5.3 V_{BAT}充電特性 (V_{DD} = 3.0 V)図 5.4 V_{BAT}充電特性 (V_{DD} = 5.5 V)

32kHz 水晶振動子の温度特性とその時刻ズレ計算および RTC のバックアップ時間が簡単に求められる計算ツールを弊社ホームページにご用意しておりますのでご利用ください。

以下の弊社リンクからダウンロードください。

リンク→ “RTC モジュール便利ツール”

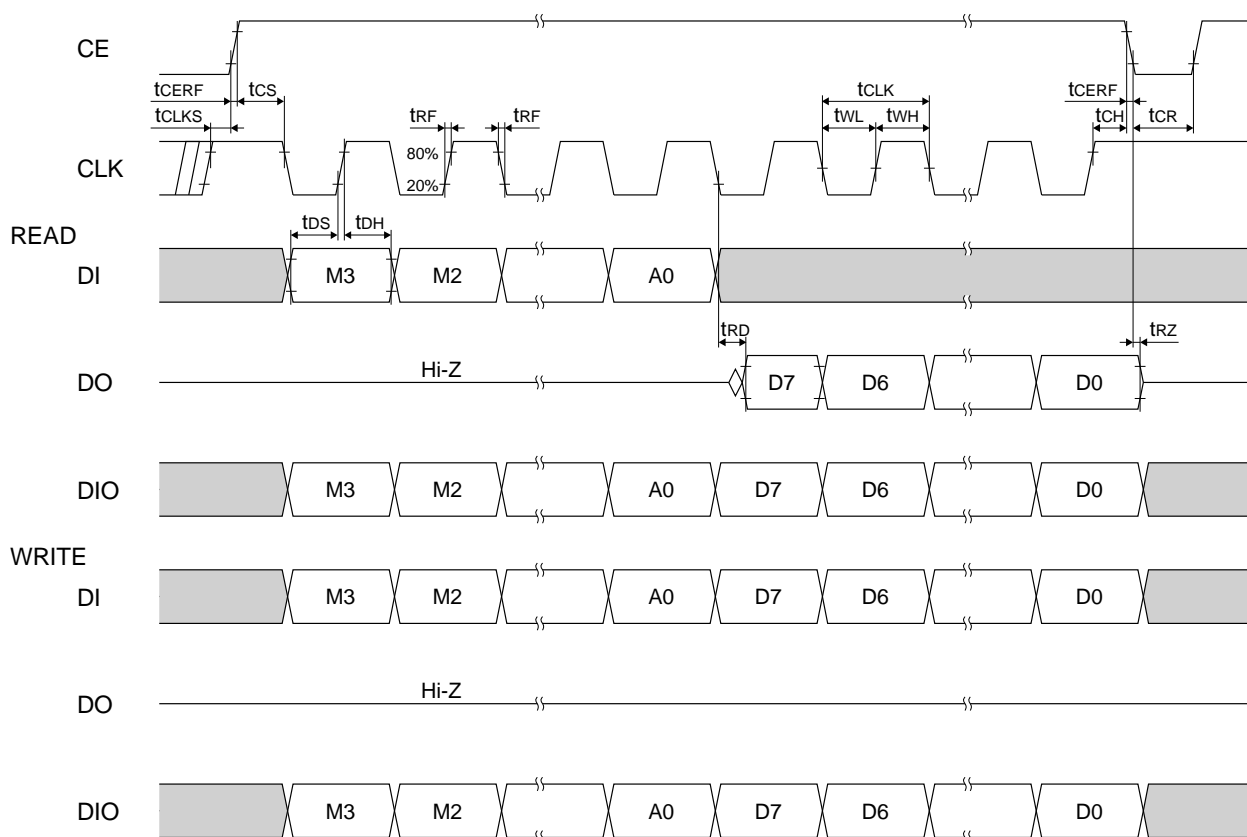
5.5 AC特性

RX4901CE AC特性

表 5.6 RX4901CE AC特性

特記無き場合: GND = 0 V, $V_{DD} = 1.6 \text{ V} \sim 5.5 \text{ V}$, $T_a = -40 \text{ }^\circ\text{C} \sim +105 \text{ }^\circ\text{C}$

項目	記号	条件	$V_{DD} = 1.8 \text{ V} \pm 0.2 \text{ V}$		$V_{DD} = 3.0 \text{ V} \pm 10 \%$		$V_{DD} = 5.0 \text{ V} \pm 10 \%$		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
CLKクロック周期	t_{CLK}		500	-	332	-	250	-	ns
CLK "H"パルス幅	t_{WH}		250	-	166	-	125	-	ns
CLK "L"パルス幅	t_{WL}		250	-	166	-	125	-	ns
CLK立ち上がり・立ち下り時間	t_{RF}		-	100	-	50	-	40	ns
CLKセットアップ時間	t_{CLKS}		50	-	30	-	30	-	ns
CEセットアップ時間	t_{CS}		200	-	150	-	130	-	ns
CE保持時間	t_{CH}		200	-	150	-	130	-	ns
CEリカバリー時間	t_{CR}		300	-	200	-	150	-	ns
CE立ち上がり・立ち下り時間	t_{CERF}		-	100	-	50	-	40	ns
書き込みデータセットアップ時間	t_{DS}		100	-	50	-	40	-	ns
書き込みデータ保持時間	t_{DH}		100	-	50	-	40	-	ns
読み出しデータ遅延時間	t_{RD}	$C_L = 50 \text{ pF}$	-	200	-	150	-	150	ns
DO (DIO) 出力ディセーブル時間	t_{RZ}	$C_L = 50 \text{ pF}, R_L = 10 \text{ k}\Omega$	-	200	-	120	-	110	ns

*1 $V_{DD} = 2.0 \text{ V} \sim 2.7 \text{ V}$ までは $V_{DD} = 1.8 \text{ V} \pm 0.2 \text{ V}$ 規格を、 $V_{DD} = 3.3 \text{ V} \sim 4.5 \text{ V}$ までは $V_{DD} = 3.0 \text{ V} \pm 10\%$ 規格を使用してください。

* CLKおよびDI、DIOは、ノーマルモードでは、フローティング状態にならないようにしてください。

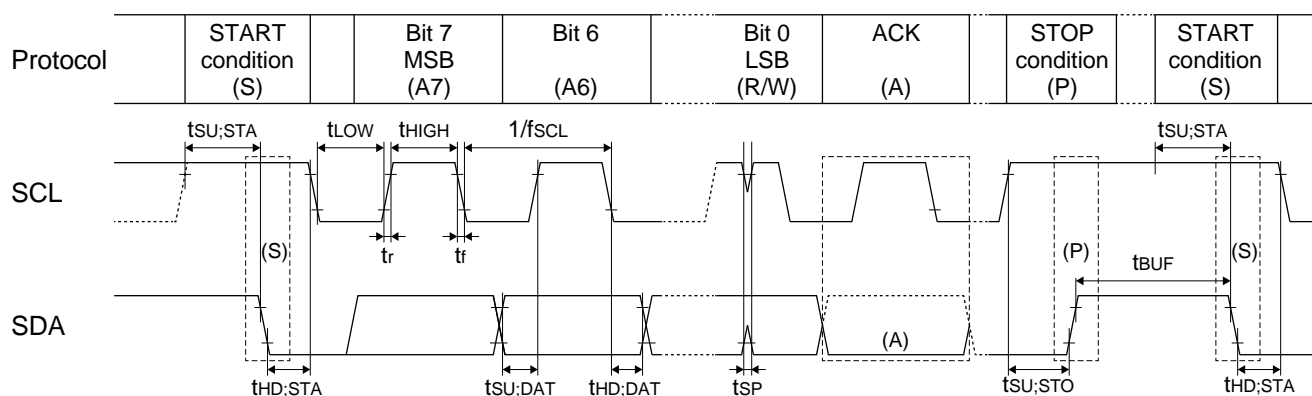
図 5.5 RX4901CE AC特性 (SPIタイミングチャート)

RX8901CE AC特性

表 5.7 RX8901CE AC特性

特記無き場合: GND = 0 V, V_{DD} = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +105 °C

項目	記号	100kHz アクセス (Standard mode)		400kHz アクセス (Fast mode)		単位
		Min.	Max.	Min.	Max.	
SCLクロック周波数	f _{SCL}	–	100	–	400	kHz
スタートコンディションセットアップ時間	t _{SU,STA}	4.7	–	0.6	–	μs
スタートコンディションホールド時間	t _{HD,STA}	4.0	–	0.6	–	μs
データセットアップ時間	t _{SU,DAT}	250	–	100	–	ns
データホールド時間	t _{HD,DAT}	0	–	0	–	ns
ストップコンディションセットアップ時間	t _{SU,STO}	4.0	–	0.6	–	μs
ストップ-スタートコンディション間のバスフリー時間	t _{BUF}	4.7	–	1.3	–	μs
SCL “L”時間	t _{LOW}	4.7	–	1.3	–	μs
SCL “H”時間	t _{HIGH}	4.0	–	0.6	–	μs
SCL,SDA立ち上がり時間	t _r	–	1.0	–	0.3	μs
SCL,SDA立ち下がり時間	t _f	–	0.3	–	0.3	μs
バス上の許容スパイク時間	t _{SP}	–	50	–	50	ns

図 5.6 RX8901CE AC特性 (I²C-Busタイミングチャート)

- *1 スレーブアドレス確定後、内部1 Hzクロック2カウントでI²C-BusインターフェイスがリセットされてSDAがHi-Zになります。このため、I²C-Bus通信はスレーブアドレス送信からストップコンディションの生成までを1秒以内に完了してください。
- *2 データ書き込み時は8ビットデータ送信後のACKビットのSCL立ち上りで8ビットデータを取り込みます。8ビットデータ取込み前に通信が遮断された場合、8ビット未達のデータは書き込まれません。

5.6 電源投入特性

表 5.8 電源投入特性

特記無き場合: GND = 0 V, $V_{DD} = 1.6 \text{ V} \sim 5.5 \text{ V}$, $T_a = -40 \text{ }^\circ\text{C} \sim +105 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
初期電源立ち上げ時間*1, *2	t_{R1}	V_{DD} または V_{BAT} に電源投入後、 V_{DD} または V_{BAT} 電圧が3 V GNDから上昇する電圧スロープ、電源電圧変動率 5 V	0.1	—	10	ms/V
電源投入時アクセス待機時間	t_{CL}	$V_{DD} = V_{ACC (Min.)}$ 到達後、アクセス開始可能となる時間	40	—	—	ms
電源降下前アクセス終了保持時間	t_{CD}	アクセス終了から、 V_{DD} 電圧を t_F のスロープで降下させる までの待機時間	0	—	—	ms
電源立ち下げ時間	t_F	V_{DD} 電圧が下降する電圧スロープ、電源電圧変動率	1	—	—	ms/V
電源復帰立ち上げ時間	t_{R2}	V_{DD} に電源再投入、あるいは再上昇する際の、 V_{DD} 電圧が上 昇する電圧スロープ、電源電圧変動率	0.1	—	—	ms/V
電源立上後アクセス待機時間	t_{CU}	電源復帰から $V_{DD} = V_{ACC (Min.)}$ 到達後、アクセス開始可能と なる時間	40	—	—	ms

*1 パワーオンリセットは、 V_{DD} 、 V_{BAT} どちらか先に入力された電源で機能します。パワーオンリセットを確実に実行させるため、初期電源投入時は電源立ち上げ時間を満足させると共に、必ずGNDレベルから電源を立ち上げてください。

確実にパワーオンリセットを有効とするためには、電源OFF後、 $V_{DD} = \text{GND}$ の状態を100ms以上確保してください。

*2 初回電源投入時の V_{DD} 電圧は、 $+V_{DET1}$ 以上まで上昇させてください。

*3 バックアップ期間は電源に対するノイズ特性を示すものではありません。バックアップ期間は十分に長い時間とします。(60秒以上)

*4 バックアップ中の V_{DD} 電圧監視は31.25 ms間隔の間欠動作のため、 V_{DD} が $+V_{DET1}$ に到達後から電源が切り替わるまでに最大31.25 msの遅延が生じます。

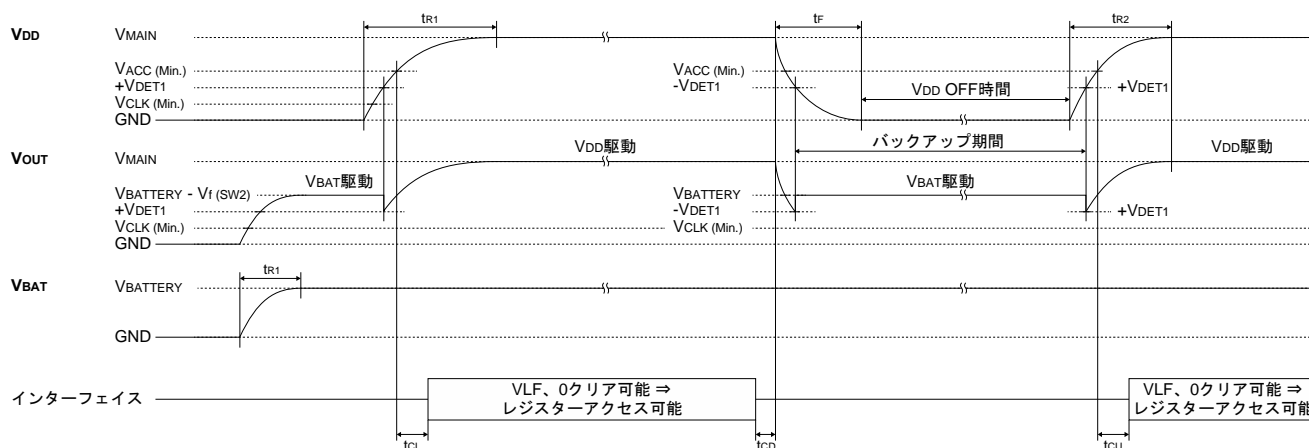
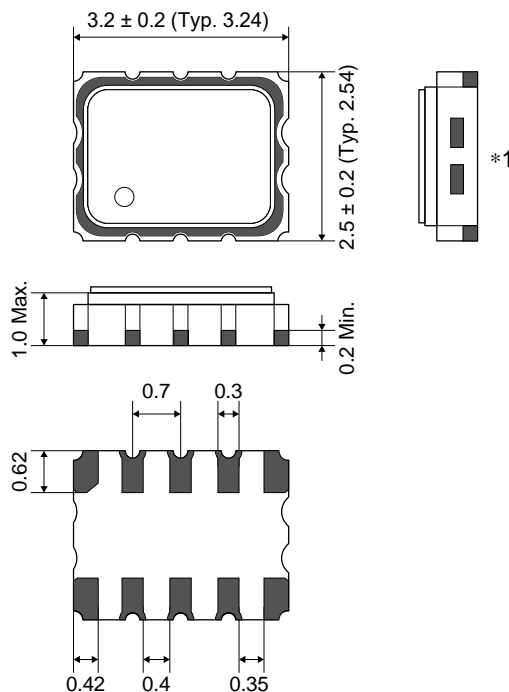


図 5.7 電源投入シーケンス

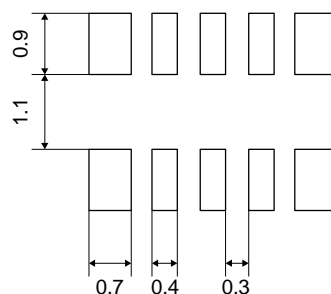
6 パッケージ

6.1 外形寸法図

・外形寸法図



・推奨はんだ付けパターン図



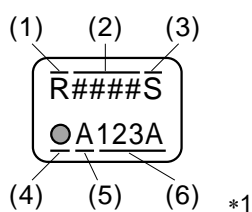
Unit: mm

*1 パッケージの1ピンと10ピン側の短辺側面の金属パッドは、水晶振動子の検査用パッドです。安定した発振のために、結露やほこりなどによるリーク電流がこのパッド間に生じないように、ご配慮ください。

5ピンと6ピン側の短辺側面の金属パッドは、RTC内部で接続されていません。

図 6.1 外形寸法図

6.2 マーキングレイアウト



(1) ロゴ	R	→ RX
(2) 形式	4901	→ RX4901CE
	8901	→ RX8901CE
(3) 精度	S	→ 精度 XS
	B	→ 精度 XB
(4) 1番ピンマーク		
(5) 製品オプション (例) A		→ Option A
(6) 製造ロット		

*1 表示内容は捺印と表示の大略を示すもので、字形、大きさ、および位置の詳細を規定するものではありません。

図 6.2 マーキングレイアウト

7 実装上の注意事項

本モジュールは水晶振動子を内蔵していますので、過大な衝撃や振動を与えないでください。また、低消費電力実現のためにCMOSプロセスを採用していますので、実装作業時には静電気対策を実施してください。

静電気

本モジュールは静電気破壊保護回路を内蔵していますが、過大な静電気が加わると内部回路が破壊されるおそれがありますので、梱包および運搬容器には導電性素材を使用してください。

はんだごてや測定回路などは高電圧リークのないものを使用し、実装時や作業時も静電気対策をお願いします。

ノイズ

電源および入出力端子に過大な外来ノイズが印加されると、誤動作やラッチアップ等により内部回路が破壊されることがあります。安定動作のため本モジュールの電源端子のできるだけ近い場所に0.1 μ F以上のセラミックキャパシタを接続してください。また、本モジュールの近くには大きなノイズを発生するデバイスを配置しないでください。

入力端子の電圧

入力端子に許容範囲外の電圧が定常的に入力されると貫通電流が発生し、消費電流の増加やラッチアップなどの原因となり内部回路が破壊されることがあります。入力端子には入力電圧仕様に従い V_{IL} Max.以下 V_{IH} Min.以上の電圧を入力してください。

未使用入力端子の処理

入力端子の開放状態 = オープンでの使用は消費電流の増加や品質劣化の原因になります。内蔵のプルアップ、またはプルダウン機能が適用されない未使用の入力端子は、 V_{DD} またはGNDに固定してください。

はんだ付け温度

パッケージ内部が+260°Cを超えるようなはんだ付けは、水晶振動子の特性劣化や内部回路の破壊につながります。弊社が提供するはんだ耐熱性評価プロファイルの範囲内となるように、実装前に温度や時間などの実装条件を確認してください。

実装機

汎用実装機を使用する場合、その動作条件等によっては実装時の衝撃で内蔵水晶振動子が破壊される可能性がありますので事前に確認してください。動作条件を変更した場合も同様に確認してください。また、実装作業においても、十分な静電気対策をお願いします。

超音波洗浄

超音波洗浄は、使用条件によっては内蔵水晶振動子が共振破壊される場合があります。洗浄機の種類 / パワー / 時間 / 槽内の状態等の使用条件はお客様ごとに異なりますので、超音波洗浄に対する本モジュールの保証はいたしかねます。

実装方向

逆向きの実装は本モジュールの破壊の原因となります。方向を確認した上で実装を行ってください。

端子間リーク

製品が汚れている、または結露している状態での電源投入は端子間に電流リークが生じる原因になります。洗浄後は乾燥させてから電源を投入してください。

8 参考回路例

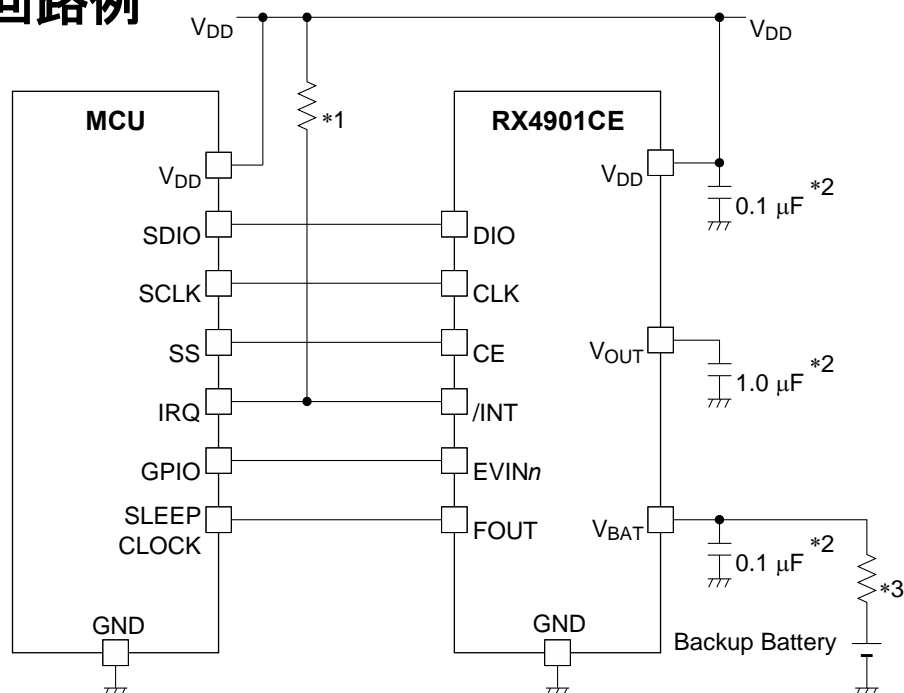


図 8.1 一般的なMCUとの接続回路例 (RX4901CE Option A/B)

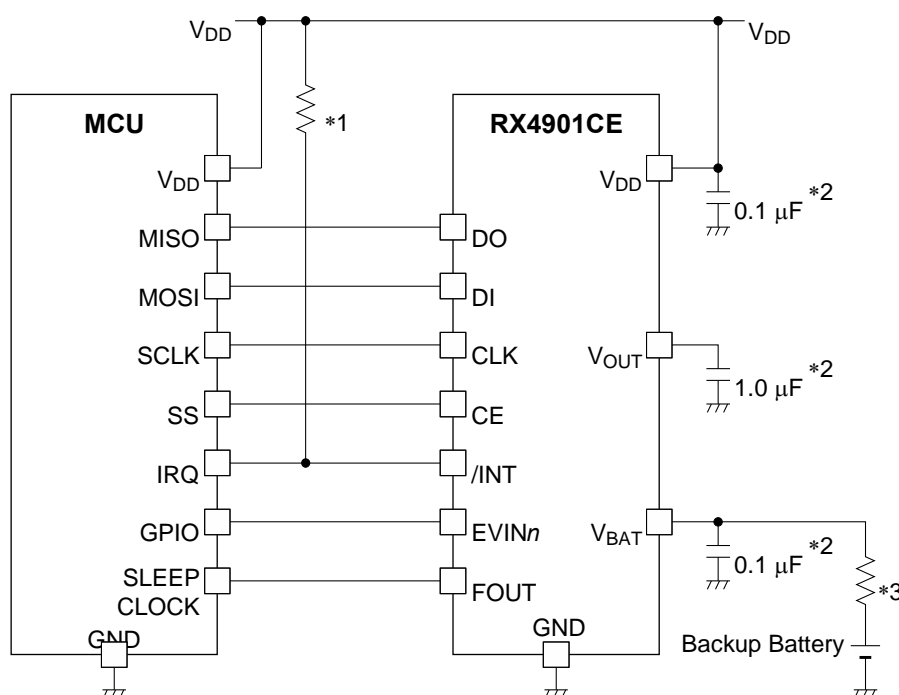


図 8.2 一般的なMCUとの接続回路例 (RX4901CE Option C/D)

- *1 /INT 端子のプルアップ抵抗は $1\text{ k}\Omega \sim 10\text{ k}\Omega$ を推奨します。
- *2 各バイパスコンデンサは RX4901 端子の直近に設置してください。
- *3 バッテリーの保護としてこの抵抗を挿入する場合、少なくとも $100\ \mu\text{A}$ の電流が供給可能な抵抗値を設定してください。
93 ページ DC 特性 消費電流 10(IDD5)および消費電流 11(IDD6) 参照。
また、電池メーカーの推奨電流値および UL 規格等の仕様に適合させる場合はそれらを優先して設定してください。
 $100\ \mu\text{A}$ 以上の電流供給量を持たせた場合でも RTC が規定以上の電流を消費することは有りません。

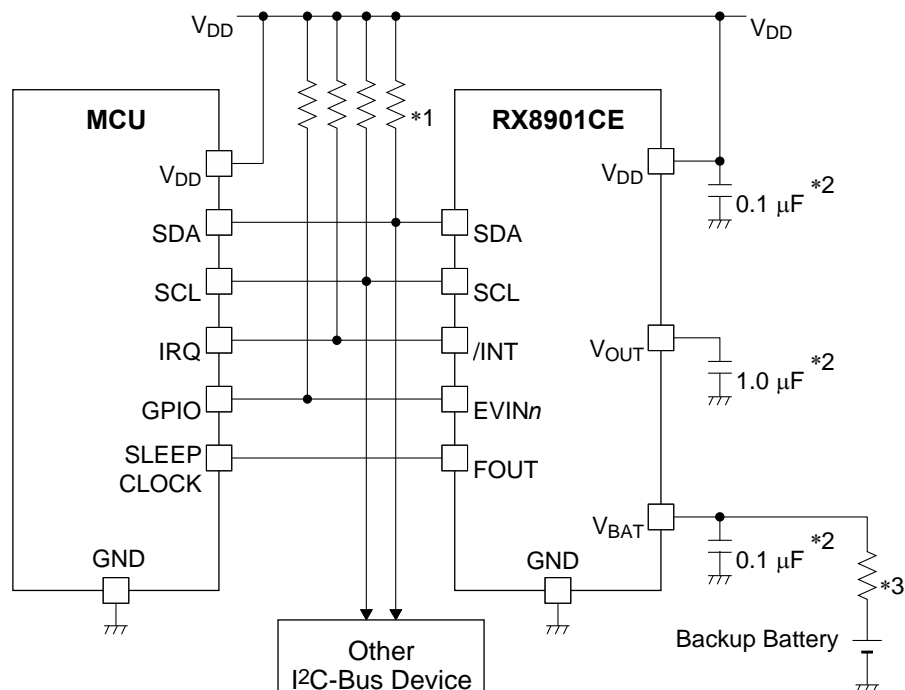


図 8.3 一般的なMCUとの接続回路例 (RX8901CE)

- *1 各プルアップ抵抗は $1\text{ k}\Omega \sim 10\text{ k}\Omega$ を推奨します。
SDA, SCL 信号が AC タイミング特性を満足するかオシロスコープ等で確認してください。
- *2 各バイパスコンデンサは 8901CE 端子の直近に設置してください。
- *3 バッテリーの保護としてこの抵抗を挿入する場合、少なくとも $100\mu\text{A}$ の電流が供給可能な抵抗値を設定してください。
93 ページ DC 特性 消費電流 10(IDD5)および消費電流 11(IDD6) 参照。
また、電池メーカーの推奨電流値および UL 規格等の仕様に適合させる場合はそれらを優先して設定してください。
 $100\mu\text{A}$ 以上の電流供給量を持たせた場合でも RTC が規定以上の電流を消費することは有りません。

図表一覧

図	1.1	RX4901CE Option A/Bブロック図	2
図	1.2	RX4901CE Option C/Dブロック図	3
図	1.3	RX8901CE Option A/Bブロック図	3
図	1.4	RX4901CE Option A/B端子配置図	4
図	1.5	RX4901CE Option C/D端子配置図	4
図	1.6	RX8901CE Option A/B端子配置図	4
図	2.1	電源切り替え回路	6
図	2.2	電源接続例 (1)	6
図	2.3	電源接続例 (2)	7
図	2.4	電源接続例 (3)	7
図	2.5	電源接続例 (4)	7
図	2.6	電源投入シーケンス	8
図	2.7	発振開始シーケンス	9
図	2.8	バックアップモードからの復帰	9
図	2.9	状態遷移図	12
図	3.1	SPIデータフォーマット	13
図	3.2	SPIホストとRX4901CEの接続例	14
図	3.3	SPIデータライトアドレスデータ	14
図	3.4	SPIレジスターライト	14
図	3.5	SPIデータリードアドレスデータ	15
図	3.6	SPIレジスターリード	15
図	3.7	I ² C-BusホストとRX8901CEの接続例	16
図	3.8	RX8901CEのI ² C-Busスレーブアドレス	16
図	3.9	I ² C-Busを介したレジスターライト	17
図	3.10	I ² C-Busを介したレジスターリード	17
図	3.11	時計/カレンダーカウンターの構成	18
図	3.12	SPIインターフェイス 計時/カレンダーカウンターアクセスタイミング	20
図	3.13	I ² C-Busインターフェイス 計時/カレンダーカウンターアクセスタイミング	20
図	3.14	うるう秒挿入タイミング	22
図	3.15	時刻更新割り込み回路の構成	24
図	3.16	時刻更新割り込みタイミングチャート	25
図	3.17	アラーム回路の構成	26
図	3.18	アラーム割り込み回路の構成	28
図	3.19	アラーム割り込みタイミングチャート	28
図	3.20	ウェイクアップタイマーの構成	29
図	3.21	ウェイクアップタイマーカウントアップ動作	31
図	3.22	ウェイクアップタイマーカウント開始タイミング	31
図	3.23	ウェイクアップタイマー割り込み回路の構成	32
図	3.24	ウェイクアップタイマー割り込みタイミングチャート	33
図	3.25	FOUT出力回路の構成	34
図	3.26	FOE制御によるFOUT出力	35
図	3.27	電源切り替え回路	38
図	3.28	電源投入 ~ 初期設定	39
図	3.29	電源切り替え制御1 (V _{BAT} に一次電池を使用する場合)	40
図	3.30	電源切り替え制御2 (V _{BAT} に二次電池を使用する場合)	41
図	3.31	V _{DD} 電圧監視用SW1間欠動作	42
図	3.32	小容量EDLC使用時の注意	43
図	3.33	タイムスタンプ回路の構成	45
図	3.34	EVINのノイズフィルター機能	46
図	3.35	タイムスタンプデータと読み出しアドレス	47
図	3.36	FIFOモードのタイムスタンプバッファ	48
図	3.37	各バッファに2回データをキャプチャーしたときのダイレクトモードのタイムスタンプバッファ	48
図	3.38	タイムスタンプキャプチャー動作 (FIFOモード + オーバーライト禁止モード)	52
図	3.39	タイムスタンプキャプチャー動作 (FIFOモード + オーバーライトモード)	53
図	3.40	タイムスタンプキャプチャー動作 (ダイレクトモード + オーバーライト禁止モード)	54
図	3.41	タイムスタンプキャプチャー動作 (ダイレクトモード + オーバーライトモード)	55
図	3.42	コマンドトリガータイミング	57
図	3.43	タイムスタンプ割り込み回路の構成	62
図	5.1	温度補償回路動作と消費電流	94
図	5.2	二次電池充電経路図	95
図	5.3	V _{BAT} 充電特性 (V _{DD} = 3.0 V)	95
図	5.4	V _{BAT} 充電特性 (V _{DD} = 5.5 V)	95

図 5.5	RX4901CE AC特性 (SPIタイミングチャート).....	96
図 5.6	RX8901CE AC特性 (I ² C-Busタイミングチャート).....	97
図 5.7	電源投入シーケンス.....	98
図 6.1	外形寸法図.....	99
図 6.2	マーキングレイアウト.....	99
図 8.1	一般的なMCUとの接続回路例 (RX4901CE Option A/B).....	101
図 8.2	一般的なMCUとの接続回路例 (RX4901CE Option C/D).....	101
図 8.3	一般的なMCUとの接続回路例 (RX8901CE).....	102
表		
表 1.1	製品ラインナップ.....	1
表 1.2	特長.....	1
表 1.3	端子説明.....	5
表 2.1	電源端子一覧.....	6
表 3.1	RX4901CE Option A/B SPIインターフェイス端子.....	13
表 3.2	RX4901CE Option C/D SPIインターフェイス端子.....	13
表 3.3	I ² C-Busインターフェイス端子.....	16
表 3.4	曜日の割り付け例.....	19
表 3.5	温度補償データの更新間隔.....	23
表 3.6	時刻更新割り込みイベントの選択.....	24
表 3.7	ウェイクアップタイマーソースクロックの選択.....	29
表 3.8	ウェイクアップタイマー割り込み周期.....	30
表 3.9	ノーマルモード/バックアップモードの動作条件設定.....	30
表 3.10	ウェイクアップタイマーの動作制御.....	32
表 3.11	FOUT出力の選択.....	34
表 3.12	動作モードによる検出動作.....	42
表 3.13	SW1 OFF時間の設定.....	42
表 3.14	EVINn端子のプルアップ/ダウン.....	45
表 3.15	EVINn入力有効パルス幅.....	46
表 3.16	EVINn入力検出エッジ.....	46
表 3.17	ダイレクトモードのBUF1 ~ BUF3.....	48
表 3.18	イベント検出割り込み要因と制御ビット.....	62
表 4.1	FOUT出力の選択.....	72
表 4.2	時刻更新割り込みイベントの選択.....	72
表 4.3	ウェイクアップタイマーソースクロックの選択.....	72
表 4.4	温度センサー測定動作の実行間隔.....	74
表 4.5	SUBSEC[9:0]ビット.....	75
表 4.6	EVINn端子のプルアップ/ダウン.....	78
表 4.7	EVINn入力検出エッジ極性.....	78
表 4.8	EVINn端子の入力有効パルス幅.....	78
表 4.9	割り込みを発生させるBUF _n イベント入力数.....	79
表 4.10	電源切り替えSWの固定.....	83
表 4.11	SW1 OFF時間の設定.....	83
表 5.1	絶対最大定格.....	92
表 5.2	推奨動作条件.....	92
表 5.3	周波数特性.....	92
表 5.4	DC特性.....	93
表 5.5	電源切り替え素子特性 (参考).....	94
表 5.6	RX4901CE AC特性.....	96
表 5.7	RX8901CE AC特性.....	97
表 5.8	電源投入特性.....	98

アプリケーションマニュアル

Real Time Clock Module

[RX4901CE / RX8901CE の技術的なお問い合わせはこちら](#)

セイコーエプソン株式会社

デバイス営業部 東京営業所

〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー

デバイス営業部 大阪事業所

〒530-6122 大阪府大阪市北区中之島 3-3-23 中之島ダイビル 22F

デバイス営業部 名古屋事業所

〒460-0003 愛知県名古屋市中区錦 1-4-6 大樹生命名古屋ビル 8F

セイコーエプソン 水晶デバイストップページ

<https://www5.epsondevice.com/ja/>

RTCモジュール トップページ

<https://www5.epsondevice.com/ja/products/rtc/>

RTC モジュール特設ページ

https://www5.epsondevice.com/ja/information/technical_info/rtc/

RTC モジュール技術ツール

<https://www5.epsondevice.com/ja/information/#RTC>

EPSON
EXCEED YOUR VISION