

アプリケーションマニュアル

Real Time Clock Module

RX6110SA A

(A 精度: $5 \pm 11.5 \times 10^{-6}$)

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

1. 本資料の内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に記載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数値線上の大小関係で表します。
5. 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事情途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
6. 製品は一般電子機器に使用されることを意図し設計されたものです。特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器（人工衛星・ロケット等） 2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
 - 3 生命維持を目的とした医療機器 4 海底中継機器 5 発電所制御機器 6 防災・防犯装置 7 交通用機器
 - 8 その他；1～7 と同等の信頼性を必要とする用途

本資料に掲載されている会社名、商品名は、各社の商標もしくは登録商標です。

ETM49J 改定履歴

Rev No.	Date	Page	Description
ETM49J-01	2014/07/02		新規制定
ETM49J-02	2014/10/15	10,34	ソフトウェアリセット手順及びフローチャート修正
		29	14.7.2 コメント修正
		7	タイミングチャート注意書き修正
		15,17,30, 31,35,36	IOCUTEN 機能公開及びフローチャート見直し
		17	13.3.8 Reserved ビット説明にコメント追記
ETM40J-03	2016/04/12	5	周波数偏差のランク「A」を記載
			周波数電圧特性の条件修正
		6	消費電流の条件修正
		10	10.1.2. 電源変動特性の修正
		13	11.2. 参考特性データ(Typ.値)を追加
		14	12. 取扱い上の注意事項に(6)バックアップ 電池実装を追記
		16,18	13.2.レジスタテーブル中に周波数偏差ランク「A」を記載
		31,32	14.8.バックアップ電源切替機能の説明追記

目次

1. 概要.....	1
2. ブロック図.....	1
3. 端子説明 (端子配置 / 端子機能)	2
4. 接続例.....	3
5. 外形寸法図 / マーキングレイアウト	4
6. 絶対最大定格.....	5
7. 推奨動作条件.....	5
8. 周波数特性.....	5
9. 電気的特性	6
10. 使用上の注意事項	9
11. 参考資料	12
12. 取り扱い上の注意事項	14
13. 機能概要 および レジスタテーブル.....	15
13.1. 機能概要	15
13.2. レジスタテーブル.....	16
13.3. レジスタ概要	17
14. 使用方法	19
14.1. 時計カレンダー説明.....	19
14.2. 定周期タイマ割り込み機能	20
14.3. アラーム割り込み機能	25
14.4. 時刻更新割り込み機能	28
14.5. 発振停止検出機能.....	29
14.6. 1Hz 出力機能.....	30
14.7. FOUT 機能 (クロック出力機能)	30
14.8. バックアップ電源切替機能.....	31
14.9. デジタル歩度調整機能	33
14.10. Flow-chart.....	35
14.11. I ² C-Bus データの リード/ライト	40
14.12. SPI-Bus データの リード/ライト	44

電源切替回路内蔵 低消費電流
 シリアルインタフェース リアルタイムクロックモジュール

RX 6110 SA A

- リアルタイムクロック : 時計・カレンダー, 自動うるう年補正, 時刻更新割り込み, アラーム割り込み, デジタル歩度調整機能等の豊富な機能
- ユーザーレジスタ : 128bit の RAM として利用できるユーザーレジスタ内蔵
- タイマ割り込み : 255 μ s ~ 65535h までの割り込み出力機能付きプログラマブル・タイマ内蔵
- 周波数出力 : 32.768 kHz, 1024 Hz, 1 Hz
- インタフェース方式 : I²C-Bus / SPI-Bus を端子にて選択可能
- インタフェース電圧範囲 : 1.6 V ~ 5.5 V
- 計時 (保持) 電圧範囲 : 1.1 V ~ 5.5 V
- 電源切替回路内蔵 : 主電源の電圧低下を検出し、自動でバックアップ電源へ切替
- インタフェース電源端子 : バックアップ充電電圧とインタフェース電圧を別電圧で構成可能
- バックアップ時消費電流 : 170 nA _{Typ} / 3 V

I²C-Bus は、NXP Semiconductors の商標です。

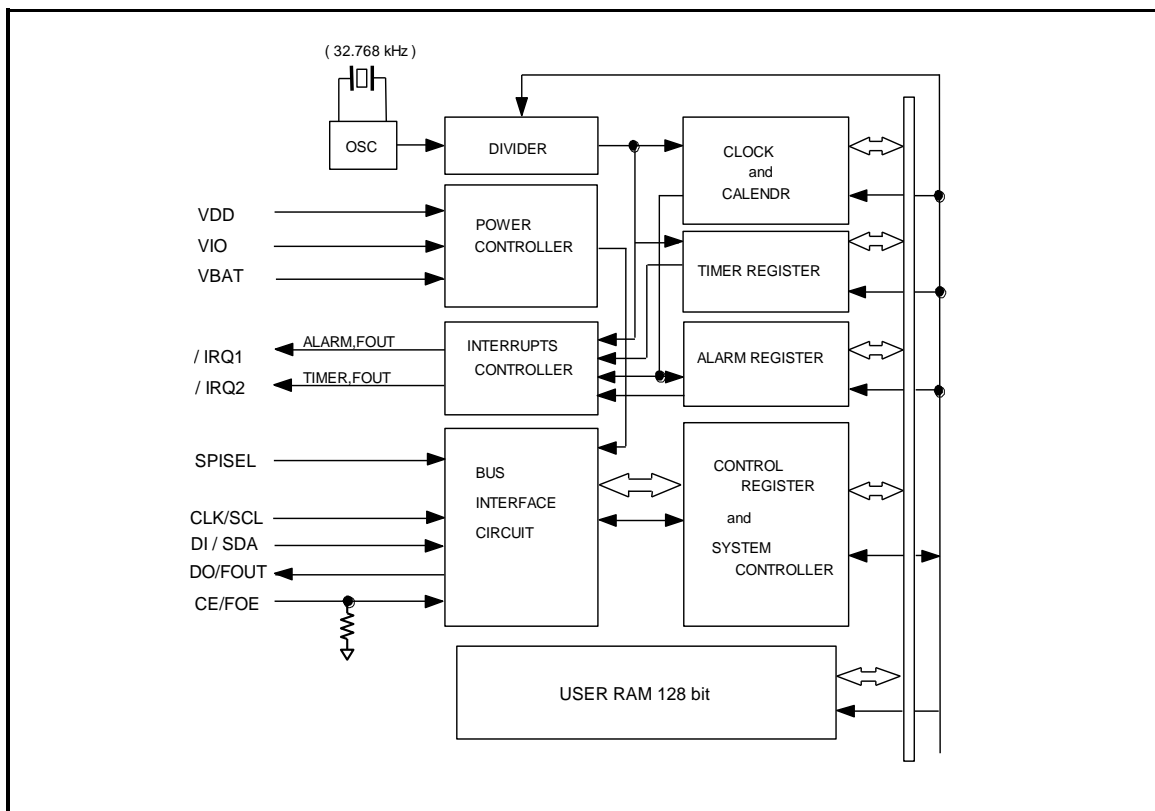
1. 概要

本モジュールは、シリアルインタフェース方式(I²C-Bus/SPI-Bus)のリアルタイムクロックです。

リアルタイムクロック部は、秒から年までの自動うるう年補正 Clock & Calendar 回路, 時刻アラーム, インターバルタイマ, 時刻更新割り込み, 32.768 kHz 出力, ユーザーレジスタ 等の豊富な機能を備えています。主電源への逆流防止 MOS スイッチを内蔵した電源切り替え回路とインタフェース電源端子の採用により、さまざまな電源回路構成に対応することが可能です。

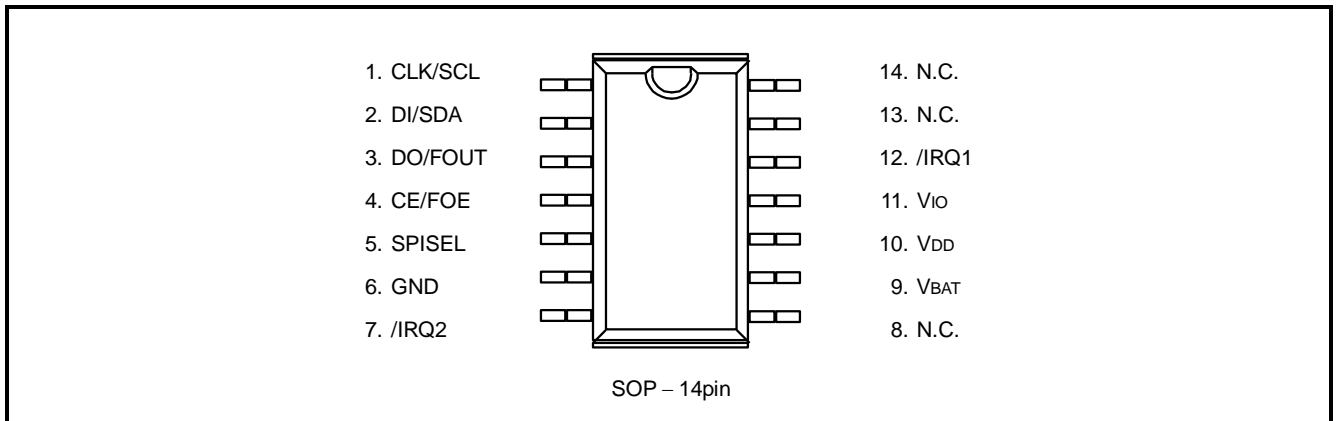
デバイスは C-MOS プロセスによる低消費電流となっておりますので、長期間におけるバッテリーバックアップが必要とされるハンディターミナル, その他の小型電子機器等の用途に最適です。

2. ブロック図



3. 端子説明 (端子配置 / 端子機能)

3.1. 端子配置



3.2. 端子機能

端子名	入出力	機能
SPISEL	入力	インタフェースの選択端子 "H"固定(Vio 電位)で SPI が選択されます。 "L"固定(GND 電位)で I ² C が選択されます。スレーブアドレス「0110010」
CE/FOE	入力	SPI: チップイネーブル入力端子、プルダウン抵抗内蔵 "H"レベル入力でアクセスが可能になります I ² C: DO/FOUT 端子からの周波数出力をコントロールします。 DO/FOUT 端子からの周波数出力を使用しない場合は、GND に接続してください。
CLK/SCL	入力	シリアルデータ転送のシフトクロック入力端子
DI/SDA	入出力	SPI: シリアルデータ転送のデータ入力端子 I ² C: シリアルデータ転送のデータ入出力端子
DO/FOUT	出力	SPI: シリアルデータ転送のデータ出力端子 I ² C: 32.768kHz, 1024Hz, 1Hz を選択して出力可能(CMOS)
/IRQ1	Open-Drain 出力	アラーム機能/タイマ機能/時刻更新の割り込み、周波数出力端子(N-ch open drain) バックアップモードでも出力可能です。 使用しない場合は OPEN にしてください。
/IRQ2	CMOS 出力	タイマ機能の割り込み出力端子および周波数出力端子(CMOS) VDD=1.6V 以下になると Hi-z になります。 使用しない場合は OPEN にしてください。
VDD	-	電源入力端子。Vio と異なる電圧を印加することができます。
Vio	-	インタフェース電源を接続して下さい。 CPU のインタフェース電源と同じ電圧を印加してください。
VBAT	-	バックアップ用電源接続端子です。 大容量キャパシタ、二次電池を接続して使用します。 バックアップ電源を使用しない場合は VDD とショートして使用してください。
GND	-	グラウンドに接続
N.C.	-	内部 IC と結線されていません。 OPEN もしくは、GND または VDD と接続してください。

注) 電源端子には 0.1 μF 以上のパスコンを必ず接続してください。

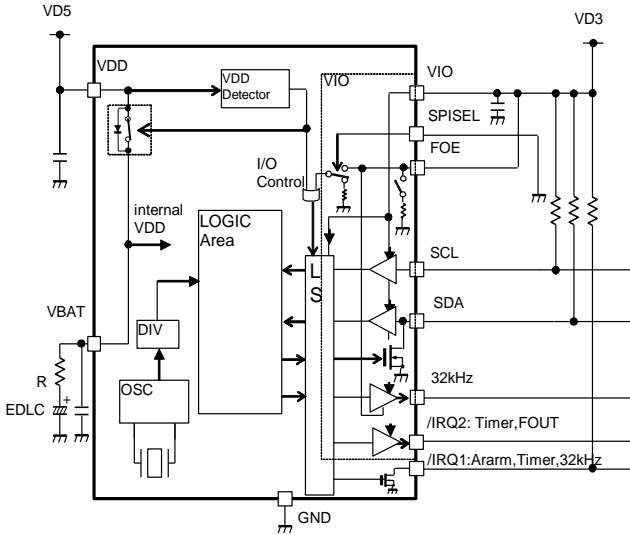
*入力端子は Vio 印加電圧に関係なく 5.5V まで入力することが可能です。

* Open-Drain 端子は Vio 印加電圧に関係なく 5.5V までプルアップ接続することが可能です。

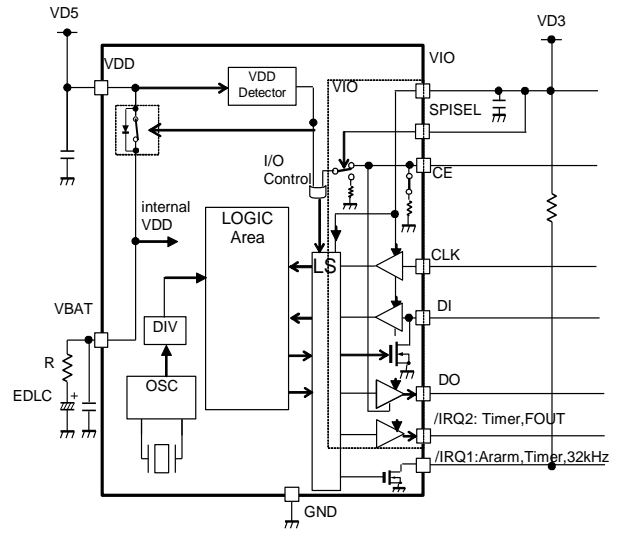
4. 接続例

4.1. インタフェース接続例

例 1. I²C-Bus 接続

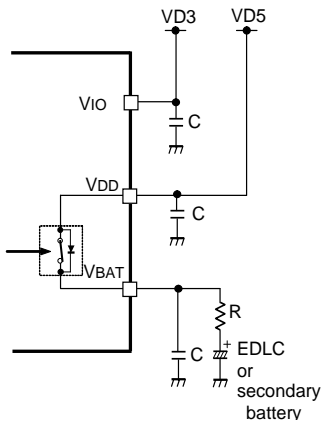


例 2. SPI-Bus 接続

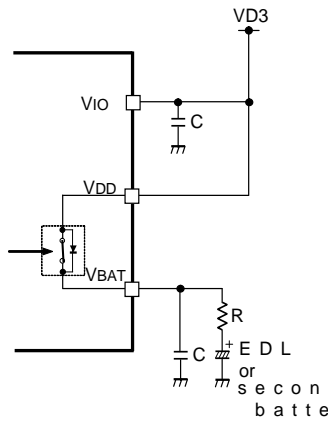


4.2. 電源接続例

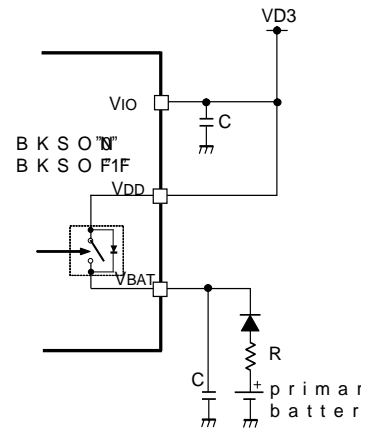
例 1. バッテリーを高電圧で充電する場合



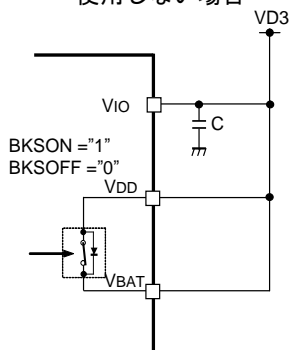
例 2. 同一のシステム電源で使用する場合



例 3. 一次電池を使用する場合

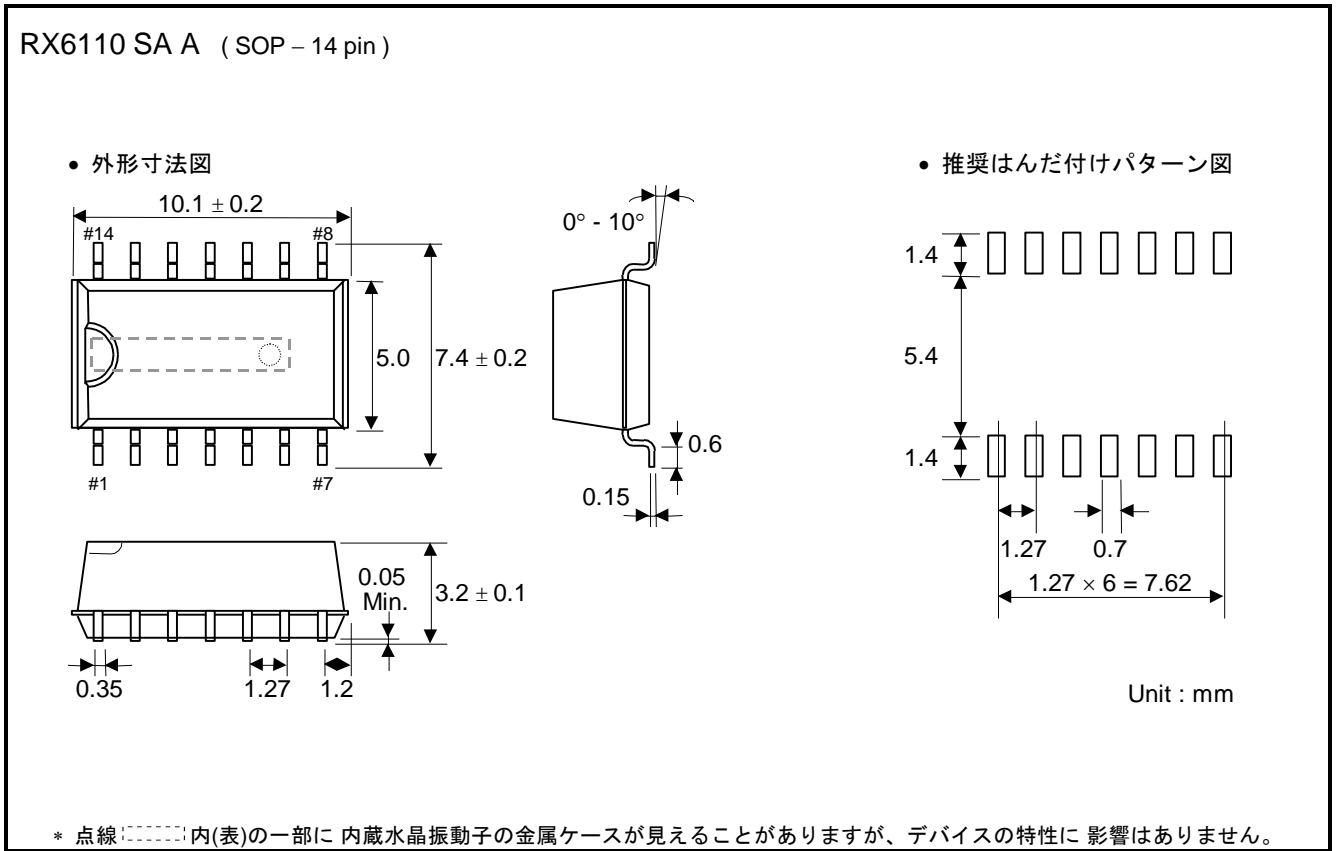


例 4. バックアップ回路を使用しない場合

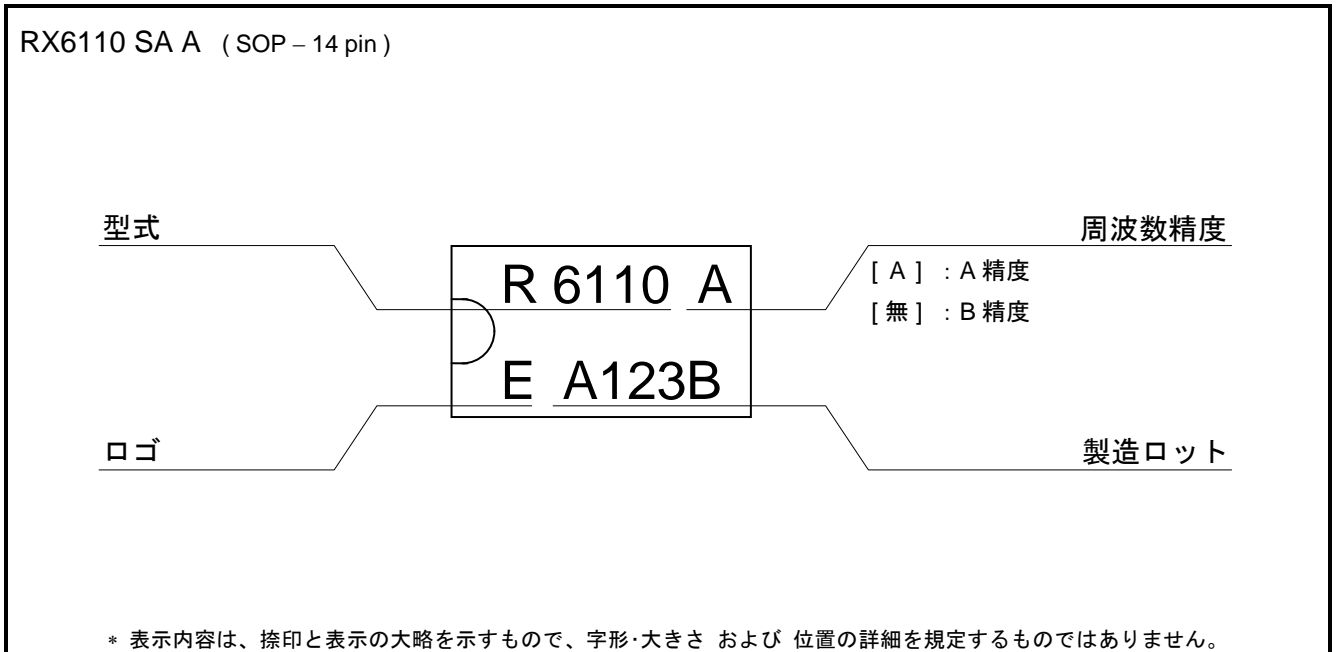


5. 外形寸法図 / マーキングレイアウト

5.1. 外形寸法図



5.2. マーキングレイアウト



6. 絶対最大定格

GND = 0 V

項目	記号	条件	定格値	単位
電源電圧 1	VDD	VDD – GND 間	-0.3 ~ +6.5	V
電源電圧 2	VIO	VIO – GND 間	-0.3 ~ +6.5	V
電源電圧 3	VBAT	VBAT – GND 間	-0.3 ~ +6.5	V
入力電圧	VIN	入力端子設定時	-0.3 ~ +6.5	V
出力電圧 1	VOUT1	DO/FOUT, /IRQ2 端子出力設定時	-0.3 ~ VIO+0.3	V
出力電圧 2	VOUT2	DI/SDA, /IRQ1 Nch オープンドレイン出力設定時	-0.3 ~ +6.5	V
保存温度	TSTG	梱包状態を除く単品での保存	-55 ~ +125	°C

7. 推奨動作条件

※特記無き場合、GND = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	VACC	VDD, VIO 端子	1.6	3.0	5.5	V
計時電源電圧	VCLK	VDD, VBAT 端子	1.1	3.0	5.5	V
メイン電源 電圧低下検出電圧	VDET+	VDD 端子, Rise	1.15	1.35	1.60	V
	VDET-	VDD 端子, Fall	1.10	1.30	1.55	V
バックアップ電源 電圧低下検出電圧	VLOW	VBAT 端子			1.10	V
オフ時印加電圧	VPUP	DI/SDA, /IRQ1 端子			5.5	V
動作温度範囲	TOPR	結露無きこと	-40	+25	+85	°C

* 計時電源電圧の Min. 値は、動作電源電圧 VACC にて初期設定した後での計時保持下限値を示す。

8. 周波数特性

※特記無き場合、GND = 0 V, Ta = +25 °C

項目	記号	条件	Min.	Typ.	Max.	単位
出力周波数	fo		32.768 ^(Typ.)			kHz
周波数偏差	$\Delta f/f$	Ta = +25 °C VDD = 3.0 V	A 精度: 5 ± 11.5 ^(*)			$\times 10^{-6}$
周波数電圧特性	f/V	Ta = +25 °C VDD = 1.1 V ~ 5.5 V	-2		+2	$\times 10^{-6}/V$
周波数温度特性	Top	Ta = -20 °C ~ +70 °C VDD = 3.0 V; +25 °C 基準	-120		+10	$\times 10^{-6}$
発振開始時間	tSTA	Ta = ±0 °C ~ +50 °C VDD = 1.6 V ~ 5.5 V		0.3	1.0	s
		Ta = -40 °C ~ +85 °C VDD = 1.6 V ~ 5.5 V			3.0	s
エージング	fa	Ta = +25 °C, VDD = 3.0 V; 初年度	-5		+5	$\times 10^{-6}$ /year

*1) 月差 30 秒相当。(オフセット値を除く)

9. 電気的特性

9.1. DC 電気的特性

9.1.1. DC 電気的特性 (1)

※特記無き場合、GND = 0 V, VBAT=VDD=VIO= 1.6 V ~ 5.5 V, Ta = -40°C ~ +85°C

項目	記号	条件		Min.	Typ.	Max.	単位		
消費電流(1)	IDD1	入力端子="L", VDD = 0 V DO/FOUT=OFF fCLK = 0 Hz, /IRQ1,2 = OFF TSEL2=1, VBAT-VDD 電源間 SW OFF リーク電流を含む VBAT 電流		VBAT = 5 V		350	nA		
消費電流(2)	IDD2	同上		VBAT = 3 V		170	320	nA	
消費電流(3)	IDD3	fCLK = 0 Hz, /IRQ1,2 = OFF, CE/FOE = VIO, DO/FOUT : 32.768 kHz ON , CL = 0 pF VDD 電流と VIO 電流の合計		VDD = 5 V VIO = 5 V		2.5	3.3	μA	
消費電流(4)	IDD4	同上		VDD = 3 V VIO = 3 V		1.5	2.1		
消費電流(5)	IDD5	fCLK = 0 Hz, /IRQ1,2 = OFF, CE/FOE = VIO, DO/FOUT : 32.768 kHz ON , CL = 15 pF VDD 電流と VIO 電流の合計		VDD = 5 V VIO = 5 V		5.5	7.0	μA	
消費電流(6)	IDD6	同上		VDD = 3 V VIO = 3 V		3.0	4.0		
"H" 入力電圧	VIH	SPISEL, CE/FOE 端子		0.7 × VIO		5.5	V		
	VIHSP1	CLK/SCL, DI/SDA 端子、 SPISEL=VIO*		0.7 × VIO		5.5	V		
	VIH2C	CLK/SCL, DI/SDA 端子、 SPISEL=GND*		0.8 × VIO		5.5	V		
"L" 入力電圧	VIL	SPISEL, CE/FOE 端子		GND - 0.3		0.3 × VIO	V		
	VILSP1	CLK/SCL, DI/SDA 端子、 SPISEL=VIO		GND - 0.3		0.3 × VIO	V		
	VIL2C	CLK/SCL, DI/SDA 端子、 SPISEL=GND		GND - 0.3		0.2 × VIO	V		
"H" 出力電圧	VOH1	DO/FOUT 端子	VIO=5 V, IOH=-1 mA	4.5		5.0	V		
	VOH2	DI/SDA 端子 /IRQ2 端子	VIO = 3 V, IOH=-0.5 mA	2.7		3.0			
"L" 出力電圧	VOL1	DO/FOUT 端子	VIO = 5 V, IOL=1 mA	GND		GND +0.5	V		
	VOL2	/IRQ2 端子	VIO = 3 V, IOL=0.5 mA	GND		GND +0.3			
	VOL4	/IRQ1 端子	VBAT=5 V, IOL=1 mA	GND		GND +0.25	V		
	VOL5		VBAT=3 V, IOL=1 mA	GND		GND +0.4			
	VOL6	DI/SDA 端子	VIO ≥ 2 V, IOL=3.0 mA	GND		GND +0.4	V		
入力 リーク電流	ILK	入力端子 (CE を除く) , VIN = VIO or GND		-0.1		0.1	μA		
	ILKPD	CE/FOE 端子, VIN = GND		-0.1		0.1			
出力 リーク電流	IOZ	出力端子, VOUT = VIO or GND		-0.1		0.1	μA		
VBAT-VDD 電源間 SW ON 抵抗	RSWON	VDD-VBAT 端子間, 内蔵 SW オン		VDD = 5V		250	500	Ω	
				VDD = 3V		400	650		
入力抵抗 (1)	RDWN1	CE/FOE 端子		VDD = 5V		75	150	300	kΩ
入力抵抗 (2)	RDWN2	VIN = VIO		VDD = 3V		150	300	600	

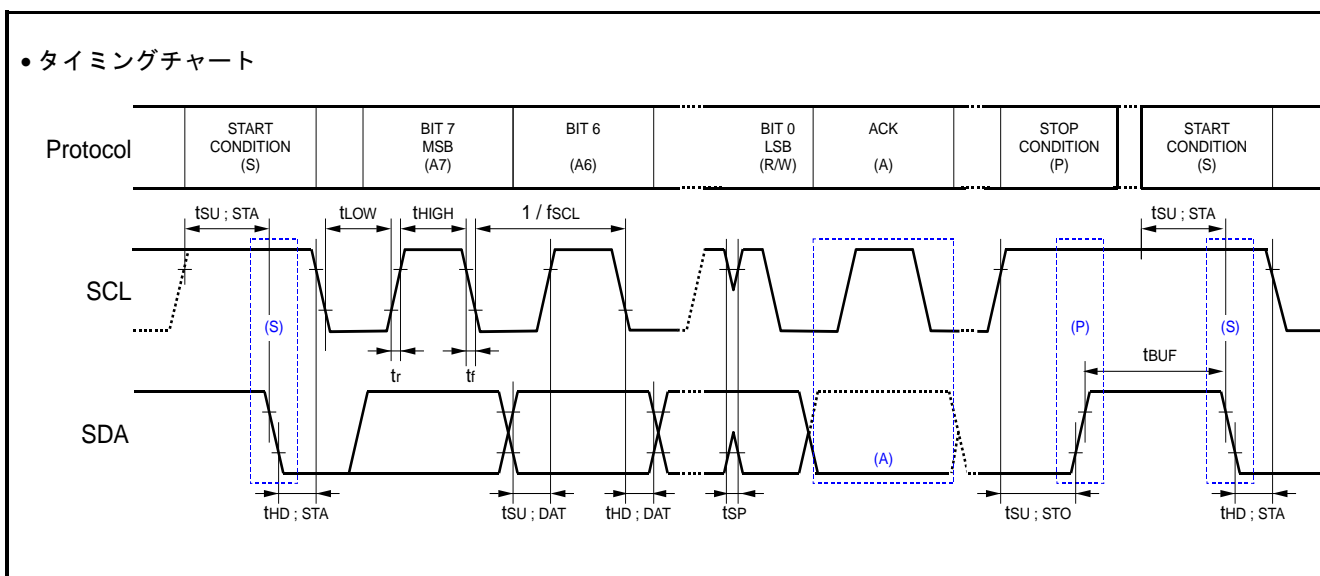
* DI/SDA 端子と DO/FOUT 端子をショートして使用する場合、DI/SDA 端子の Vin-Max は VIO です。

9.2. AC 電気的特性

9.2.1. AC 電気的特性(1) I²C-Bus 設定時 (SPISEL 端子 = L)

※特記無き場合、GND = 0 V, VIO = 1.6 V ~ 5.5 V, Ta = -40 °C ~ +85 °C

項目	記号	100 kHz アクセス (Standard-Mode)		400 kHz アクセス (Fast-Mode)		単位
		Min.	Max.	Min.	Max.	
SCL クロック周波数	f _{SCL}		100		400	kHz
開始条件 セットアップ時間	t _{SU;STA}	4.7		0.6		μs
開始条件 ホールド時間	t _{HD;STA}	4.0		0.6		μs
データ セットアップ時間	t _{SU;DAT}	250		100		ns
データ ホールド時間	t _{HD;DAT}	0		0		ns
停止条件 セットアップ時間	t _{SU;STO}	4.0		0.6		μs
開始条件と停止条件の間の バスフリー時間	t _{BUF}	4.7		1.3		μs
SCL " L " 時間	t _{LOW}	4.7		1.3		μs
SCL " H " 時間	t _{HIGH}	4.0		0.6		μs
SCL, SDA 立ち上がり時間	t _r		1.0		0.3	μs
SCL, SDA 立ち下がり時間	t _f		0.3		0.3	μs
バス上の許容スパイク時間	t _{SP}		50		50	ns



注意： 本デバイスへのアクセスは、デバイスアドレスの送信からアクセス終了後のSTOPコンディション送信までの一連の通信を0.95秒以内に終了してください。アクセスが0.95秒以上続くと、保持されていた秒桁上げ信号はキャンセルされ、時刻遅れが発生します。

誤動作防止のためデバイスアドレス送信から1秒以上の時間がかかった場合は、内部の監視タイマによりI²Cバスインタフェースは自動的に通信を終了し、スタートコンディション待ち状態になります。再度通信をする際はスタートコンディションから送信して下さい。

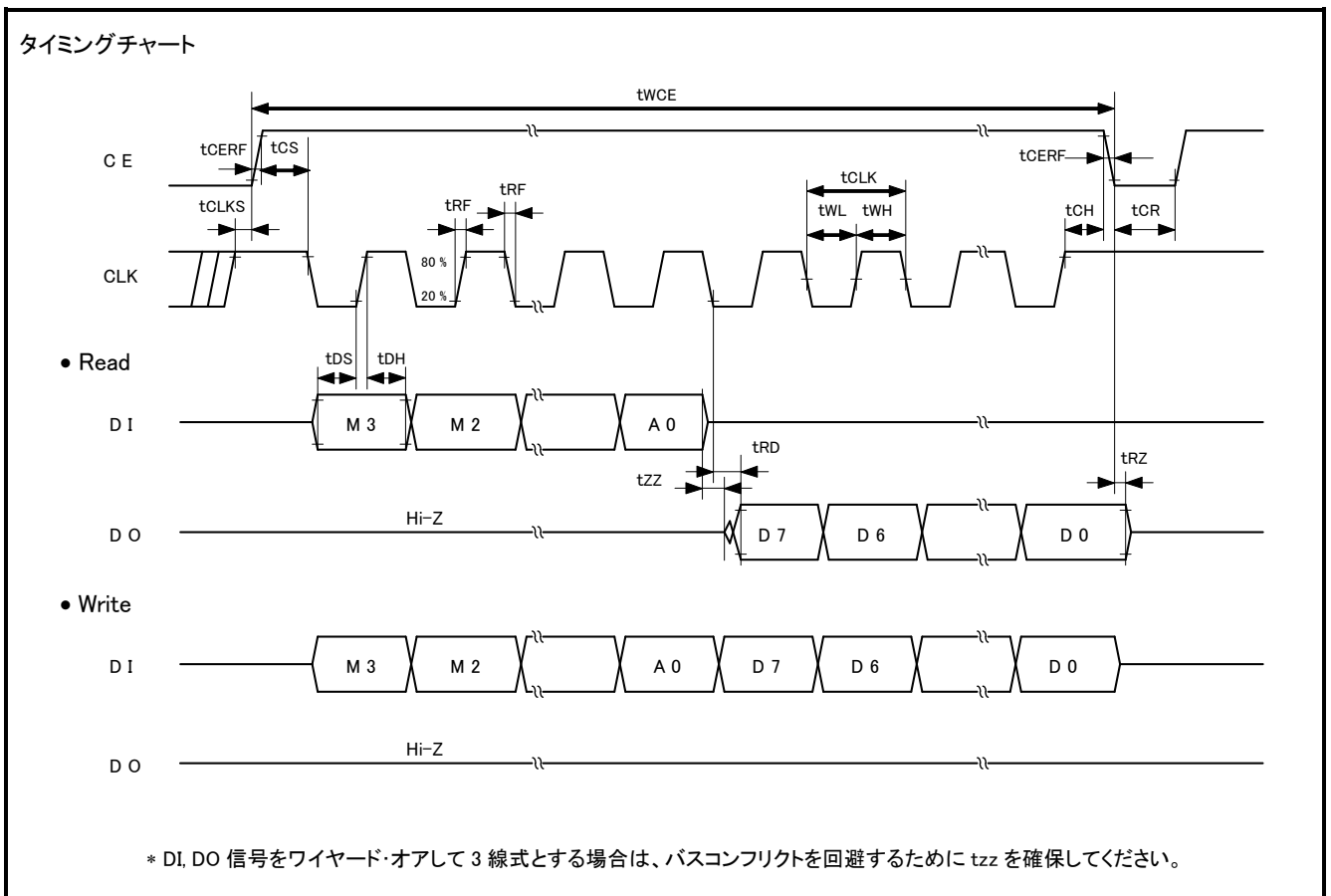
9.2.1. AC 電气的特性(2) SPI-Bus 設定時 (SPISEL 端子 = H)

※特記無き場合、GND = 0 V、V_{IO} = 1.6 V ~ 5.5 V、T_a = -40°C ~ +85°C

項目	記号	条件	VDD = 1.8V ± 0.2V		VDD = 3.0V ± 10%		VDD = 5.0V ± 10%		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
CLK クロック周期	t _{CLK}		1000	—	500	—	350	—	ns
CLK H パルス幅	t _{WH}		450	—	250	—	175	—	ns
CLK L パルス幅	t _{WL}		450	—	250	—	175	—	ns
CLK 立ち上がり・立ち下り時間	t _{RF}		—	100	—	100	—	50	ns
CLK セットアップ時間	t _{CLKS}		100	—	50	—	30	—	ns
CE セットアップ時間	t _{CS}		400	—	200	—	150	—	ns
CE 保持時間	t _{CH}		400	—	200	—	100	—	ns
CE リカバリー時間	t _{CR}		500	—	300	—	200	—	ns
CE イネーブル時間※	t _{wCE}		—	0.95	—	0.95	—	0.95	s
CE 立ち上がり・立ち下り時間	t _{CERF}				—	100	—	50	ns
書き込みデータ セットアップ時間	t _{DS}		200	—	100	—	50	—	ns
書き込みデータ 保持時間	t _{DH}		200	—	100	—	50	—	ns
読み出しデータ 遅延時間	t _{RD}	CL = 50 pF	0	400	—	200	—	150	ns
DO 出力 ディセーブル時間	t _{RZ}	CL = 50 pF RL = 10 kΩ	0	400	—	200	—	120	ns
DI/DO コンフリクト回避時間	t _{ZZ}		0	—	0	—	0	—	ns

注) 1. V_{DD} = 2.0V ~ 2.7V 未満は V_{DD} = 1.8V ± 0.2V 規格を、V_{DD} = 3.3V ~ 4.5V 未満は V_{DD} = 3.0V ± 10%規格を使用してください。

2. 本デバイスへの多バイトアクセスモードは、0.95 秒以内に終了してください。多バイトアクセスが 0.95 秒以上続くと、保持されていた秒桁上げ信号はキャンセルされ、時刻遅れが発生します。



9.2.2. AC 電氣的特性(3)

※特記無き場合、GND=0 V, V_{IO}=1.6 V ~ 5.5 V, T_a= -40 °C ~ +85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
FOUT 波形シンメトリ	SYM	50% V _{IO} レベル	40	50	60	%

10. 使用上の注意事項

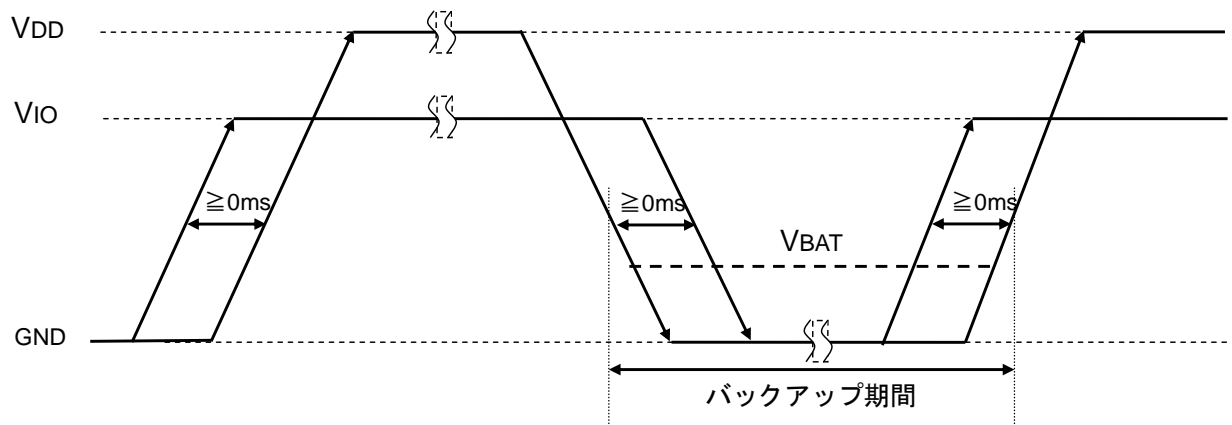
10.1. 電源投入時の注意事項

10.1.1. 電源投入について

・ 電源投入順

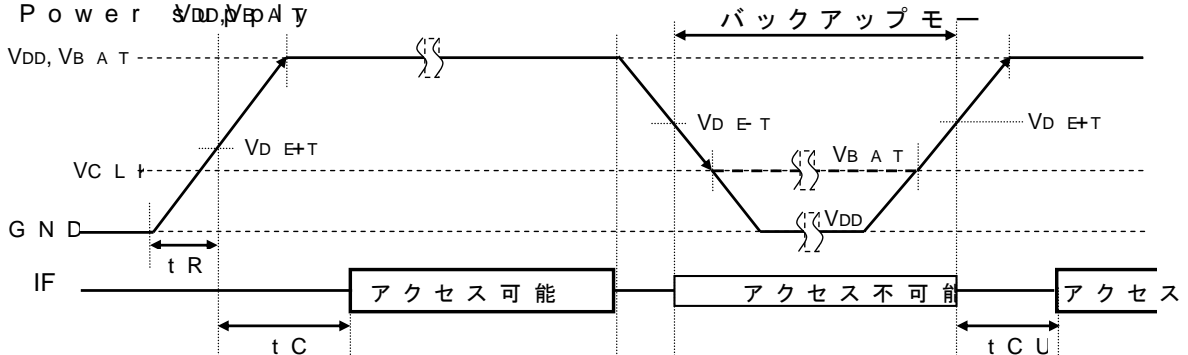
メイン電源 V_{DD} とインタフェース用電源 V_{IO} が独立しており、別々の電源を与える事が可能です。
また上記電源 (V_{DD}、V_{IO}) については、規格範囲内であれば電圧の大小関係に制約はありません。

メイン電源 V_{DD} に V_{DET}+以上の電圧を投入した状態で、インタフェース用電源 V_{IO} が GND-V_{DD} 間の中間電位で不安定となる 10 μ A 程度の貫通電流が流れますので、下記のような電源投入を推奨します。
V_{DD} に先に電源投入する場合は、V_{IO} が不安定にならないように GND から立ち上がるようにしてください。
貫通電流によって、本製品が破壊されたり誤動作することはありません。



10.1.2. 電源変動特性（電源投入時特性、バックアップへの移行および復帰）

※ tR1 はパワーオンリセットを有効とするための制限事項です。本規格を満足できない場合には、パワーオンリセットが正常に動作しない可能性があるため、必ず、ソフトウェアで初期設定を行ってください。パワーオンリセットはCR回路で構成されているため連続的な電源 ON/OFF では動作不十分となることがあります。確実にパワーオンリセットを有効とするためには、電源 OFF 後、VBAT=GND の状態を 60 秒以上確保してください。それが不可能な場合はコマンドによるソフト的な初期設定を行ってください。



項目	記号	条件	Min.	Typ.	Max.	単位
電源立上時間	tR1	GND から VDD=VDET+ 到達までの VDD 立ち上がり時間、または GND から VBAT=VCLK 到達までの VBAT 立ち上がり時間	1	-	100	μs / V
電源投入時アクセス待機時間	tCL	VDD=+VDET+ 到達後のアクセス開始までの時間	40	-	-	ms
電源復帰後アクセス待機時間	tCU	電源復帰後からアクセス開始までの時間	40	-	-	ms

I²C-Bus (SPISEL pin = "L")

- 1) Power-on
- 2) Wait:40ms 以上
- 3) ダミーリード *1
- 4) VLF bit = "1" の確認
- 5) Write 00[h] Address:Reg-31[h] *2
- 6) Write 00[h] Address:Reg-1F[h]
- 7) Write 80[h] Address:Reg-1F[h]
- 8) Write Address:Reg-60[h]
- 9) D3[h] Address:Reg-66[h]
- 10) Write 03[h] Address:Reg-6B[h]
- 11) Write 02[h] Address:Reg-6B[h]
- 12) Write 01[h] 2ms 以上 *3
- 13) Wait:
- 14) END

SPI-Bus (SPISEL pin = "H")

- 1) Power-on
- 2) Wait: 40ms 以上
- 3) VLF bit = "1" の確認
- 4) Write 00[h] Address SPI:BANK3 Reg-1[h] *2
- 5) Write 00[h] Address SPI:BANK1 Reg-F[h]
- 6) Write 80[h] Address SPI:BANK1 Reg-F[h]
- 7) Write D3[h] Address SPI:BANK6 Reg-0[h]
- 8) Write 03[h] Address SPI:BANK6 Reg-6[h]
- 9) Write 02[h] Address SPI:BANK6 Reg-B[h]
- 10) Write 01[h] Address SPI:BANK6 Reg-B[h]
- 11) Wait: 2ms 以上 *3
- 12) END

*1 ダミーリード(I²C-Bus 使用時のみ)

アドレスの指定は任意です。RX6110 から送信される ACK/NACK は必ず無視してください。

*2 このコマンドは、VLF="0" の場合でもソフトリセットを行う際に、必ず送信してください。(VLF="1" の時に送信しても影響ありません。)

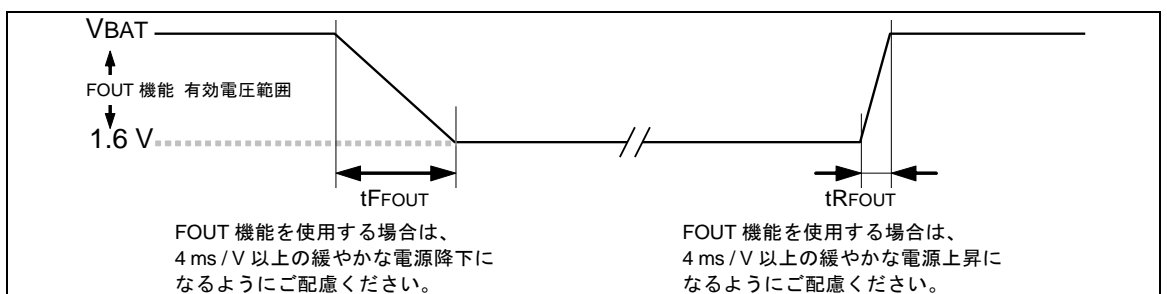
*3 ソフトウェアコマンド送信後から VLF bit を "0" クリアするコマンドを送信するまでに必要な時間。

*4 SPI-Bus の設定値(詳細は 4.12. SPI-Bus データの リード/ライトをご参照ください。)

Mode	Bank1	Bank6
Read	9h	Eh
Write	1h	6h

電源を急峻に変動させたときの FOUT 出力動作

FOUT 機能は、電源電圧が急峻に変動した直後（バックアップ移行直後・バックアップからの復帰直後、など）では、その影響により、数 ms の間、出力が停止することがありますのでご注意ください。

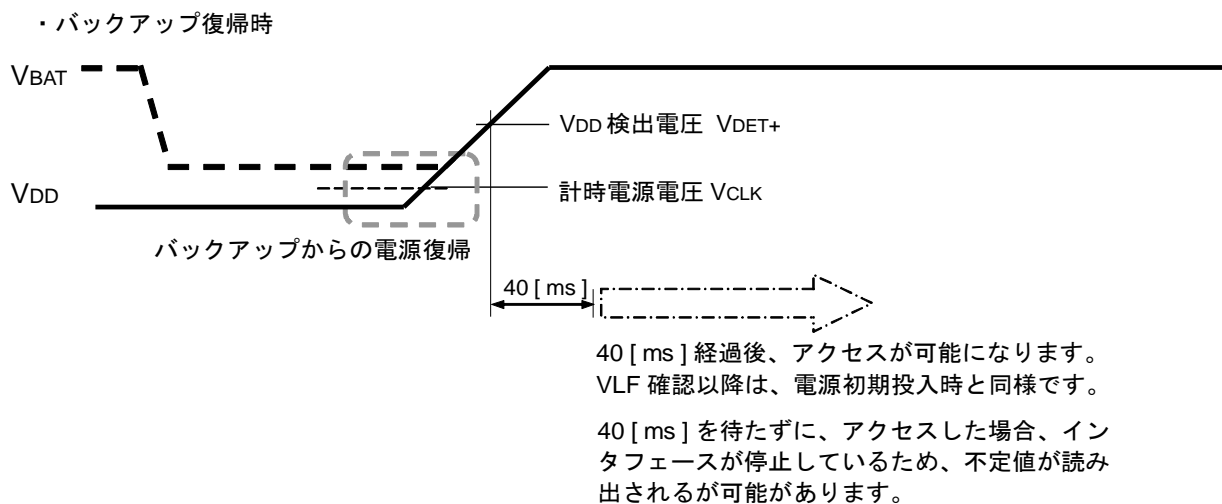
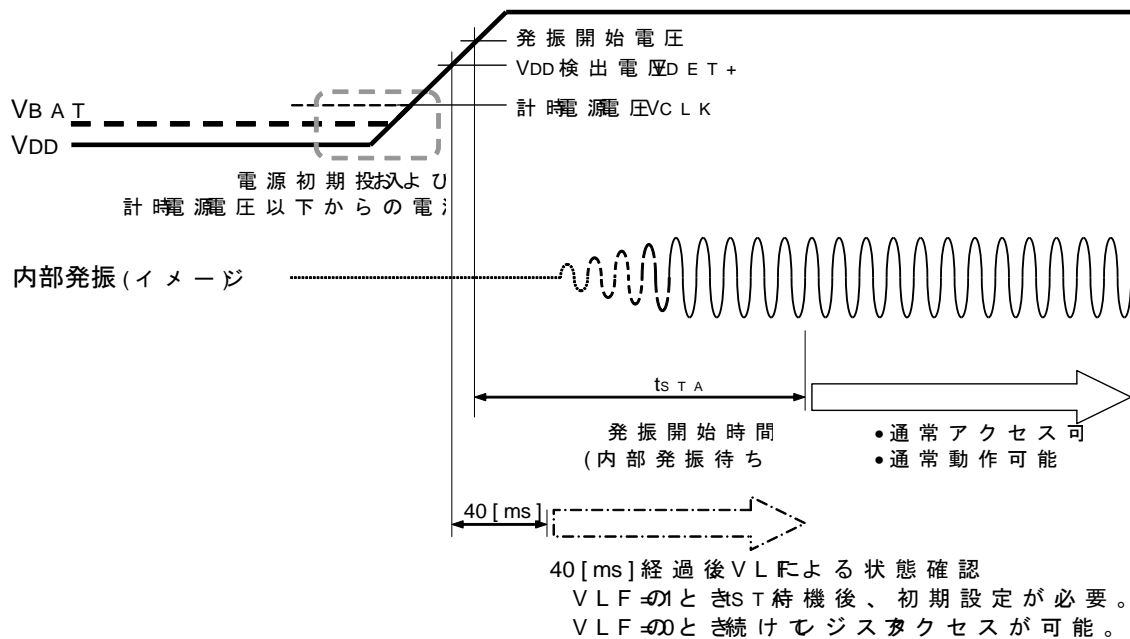


10.2. 電源初期投入時 および バックアップ復帰時における アクセス動作の制限

- RTC レジスタ の動作の多くは内蔵水晶振動子の発振クロックに連動していますので、[内部発振が無い状態 = 発振停止状態]では、正しい動作ができません。
そのため、電源初期投入時 および バックアップ復帰異常時(電圧低下などが原因で、発振が停止していた状態からの電源電圧復帰時)の初期設定は、[内部発振が開始してから → 発振開始時間 (tSTA 規定参照) 経過以降]に行うことを推奨しています。
- 電源初期投入時 および バックアップ状態からの電源電圧復帰時(以降、[動作電圧移行時]とする)の アクセス動作は、次の点に注意してください。
 - 1) 動作電圧移行時は、最初に VLF-bit (レジスタの異常状態を示すビット) を読み出してください。
 - 2) VLF-bit の読み出し結果が VLF = "1" (異常状態) のときは、初期設定が必要です。
VLF = "1" のときの初期設定は、内部発振が安定してから (= 発振開始時間 (tSTA 規定参照) 経過以降) 行うことを推奨しています。

VLF-bit を "1" として読み出したときの状態は次のとおりで、いずれの場合も初期設定が必要です。
 状態 1) 電源初期投入時
 状態 2) バックアップ中の電圧低下等により、計時内容が有効ではないとき

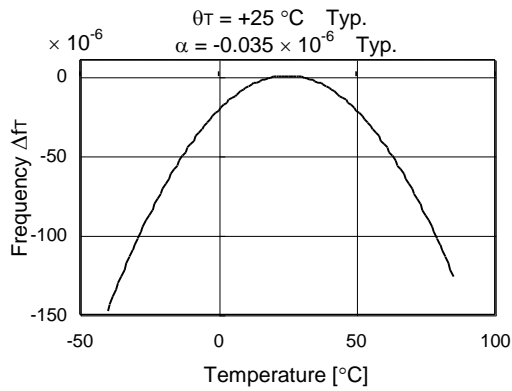
* 電源初期投入時 および 計時保持電圧以下から電源電圧復帰したときのアクセス可能タイミング



11. 参考資料

11.1. 参考データ

周波数温度特性例



[周波数安定度の求め方]

1. 周波数温度特性は、以下の式で近似できます。

$$\Delta f_r = \alpha (\theta_T - \theta_x)^2$$

- Δf_r : 任意の温度における周波数偏差
- $\alpha [1/^\circ\text{C}^2]$: 2次温度係数
(-0.035 ± 0.005) $\times 10^{-6} / ^\circ\text{C}^2$
- $\theta_T [^\circ\text{C}]$: 頂点温度 (+25 \pm 5 $^\circ\text{C}$)
- $\theta_x [^\circ\text{C}]$: 任意の温度

2. 時計精度を求めるためには、
更に周波数精度と電圧特性を加えます。

$$\Delta f/f = \Delta f/f_0 + \Delta f_r + \Delta f_v$$

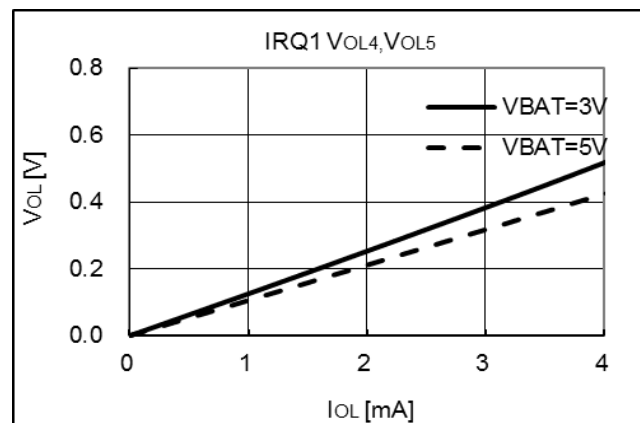
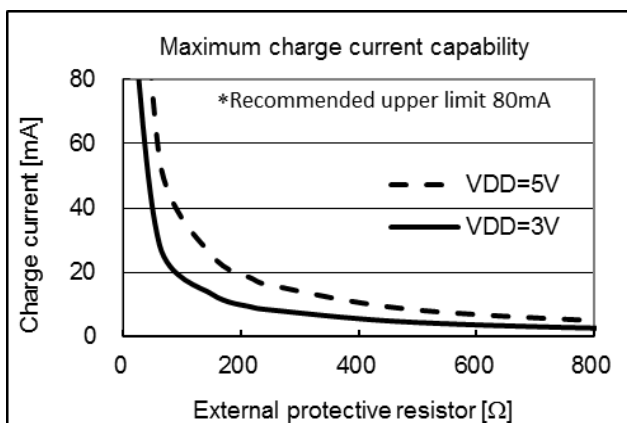
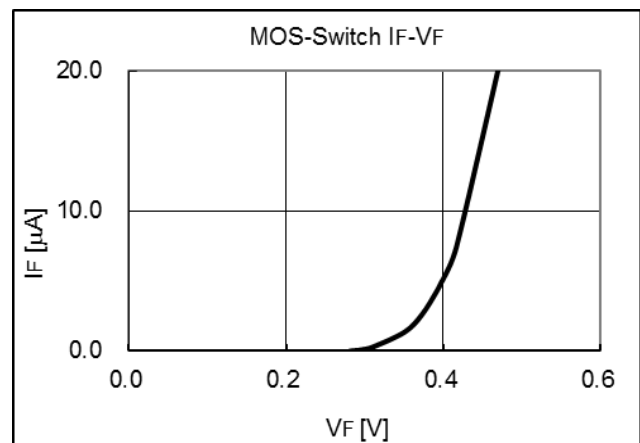
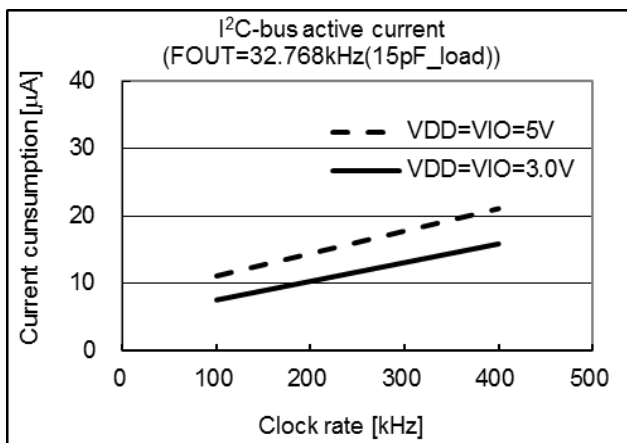
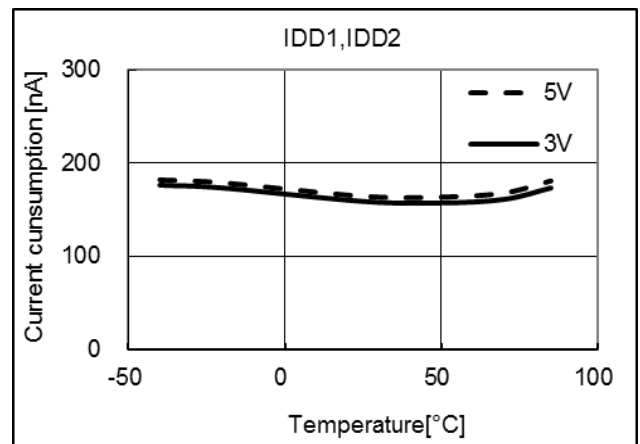
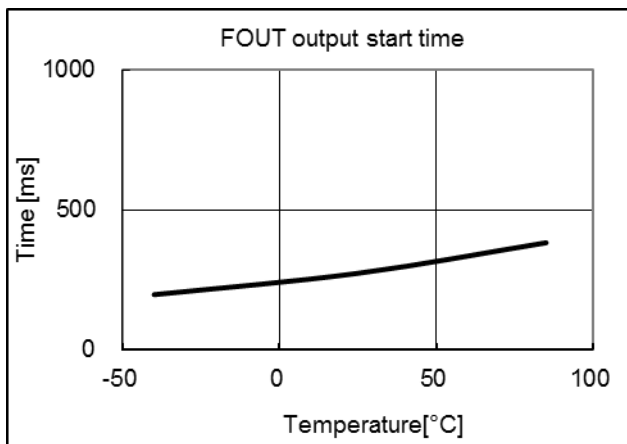
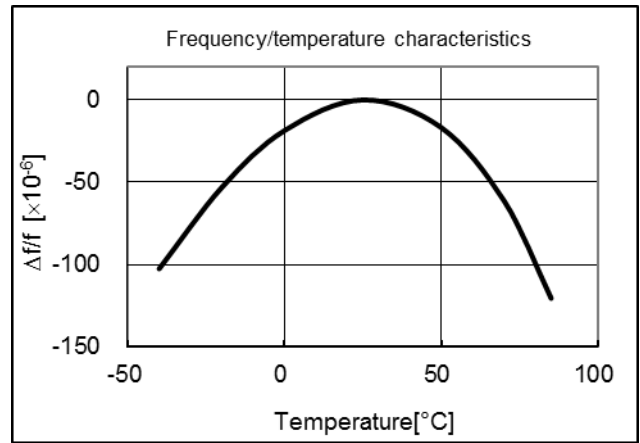
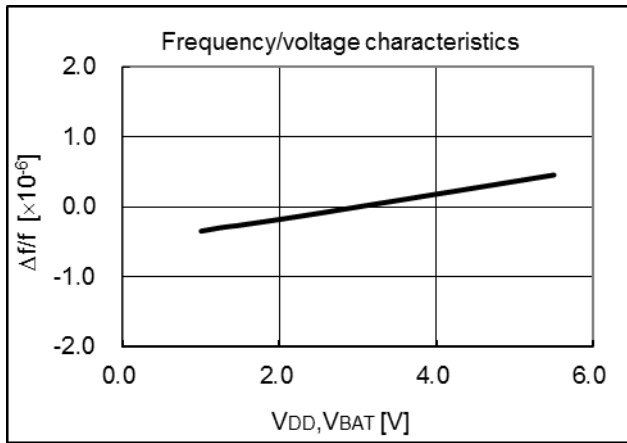
- $\Delta f/f$: 任意の温度,電圧における
時計精度 (周波数安定度)
- $\Delta f/f_0$: 周波数精度
- Δf_r : 任意の温度における周波数偏差
- Δf_v : 任意の電圧における周波数偏差

3. 日差の求め方

$$\text{日差} = \Delta f/f \times 86400[\text{秒}]$$

- * たとえば、 $\Delta f/f = 11.574 \times 10^{-6}$ で
約 1 秒/日の誤差になります。

11.2. 参考特性データ(Typ.値)



12. 取り扱い上の注意事項

1) 取り扱い上の注意事項

- 本モジュールは水晶振動子を内蔵していますので、過大な衝撃・振動を与えないようにしてください。
また、低消費電力実現のために C-MOS IC を用いておりますので、以下に注意して使用してください。

(1) 静電気

耐静電気破壊保護回路は内蔵しておりますが、過大な静電気が加わると IC が破壊されるおそれがありますので、梱包 および運搬容器には 導電性の物を使用してください。

はんだごてや測定回路などは 高電圧リークの無いものを使用し、また、実装時・作業時にも 静電気対策をお願いいたします。

(2) ノイズ

電源 および 入出力端子に過大な外来ノイズが印加されますと、誤動作やラッチアップ現象等による 破壊の原因となることがあります。

安定動作のため、本モジュールの電源端子の 極力近い場所に、0.1 μ F 以上のパスコン(セラミックを推奨)を使用してください。また、本モジュールの近くには、高ノイズを発生するデバイスを 配置しないようにしてください。

※ 図 1 の網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

(3) 入力端子の電位

入力端子が中間レベルの電位になることは、消費電力の増加、ノイズマージンの減少、素子の破壊等につながりますので、できるだけ VIO または GND の電位に近い電位に 設定してください。

(4) 未使用入力端子の処理

入力端子の入カインピーダンスは非常に高く、開放状態での使用は 不定電位やノイズによる誤動作の原因につながります。未使用の入力端子は、できるだけ VIO または GND の電位に近い電位に 設定してください。

(5) 保管条件

本製品は JEDEC J-STD-020D.1 Moisture Sensitivity Level 1 相当品です。梱包開封後は 温度+30 $^{\circ}$ C 以下、湿度 85 % 以下の環境にて保管し、また 6 ヶ月以内に実装してください。

2) 実装上の注意事項

(1) はんだ付け温度

パッケージ内部が +260 $^{\circ}$ C を越えますと、水晶振動子の特性劣化 および 破壊を招く場合がありますので、弊社はんだ耐熱性評価プロファイルを越えない領域でのご使用を推奨します。ご実装前に 必ず実装条件 (温度・時間) を ご確認ください。また、条件変更時も同様の確認をしていただいた後に ご使用ください。

※ 図 2 に、弊社 はんだ耐熱性評価プロファイルを 参考掲載します。

(2) 実装機

汎用実装機の使用が可能ですが、使用機器、条件等によっては 実装時の衝撃力により内蔵の水晶振動子の破壊を招く場合がありますので、ご使用前には 必ず貴社にてご確認ください。条件変更時も同様の確認をしていただいた後に ご使用ください。実装時・作業時には、静電気対策をお願いいたします。

(3) 超音波洗浄

超音波洗浄は、使用条件によっては 内蔵の水晶振動子が共振破壊される場合があります。貴社での使用条件 (洗浄機の種類、パワー、時間、槽内の状態等) を弊社にて特定できませんので、超音波洗浄の保証はいたしかねます。

(4) 実装方向

逆向きに実装しますと破壊の原因となります。方向を確認した上で実装を行なってください。

(5) 端子間リーク

製品が汚れていたり結露している状態などで電源投入しますと 端子間リークを招く場合がありますので、洗浄し さらに 乾燥させた後に電源投入を行なってください。

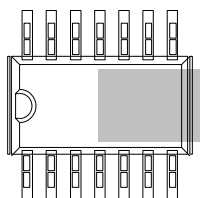
(6) バックアップ電池実装

充電済みのバックアップ電池を半田実装する際は、誤動作を防止するために電池を接続する端子を GND 電位に固定した状態でバックアップ電池を実装してください。また実装時・作業時には、静電気対策をお願いいたします。

図 1 : GND パターン例

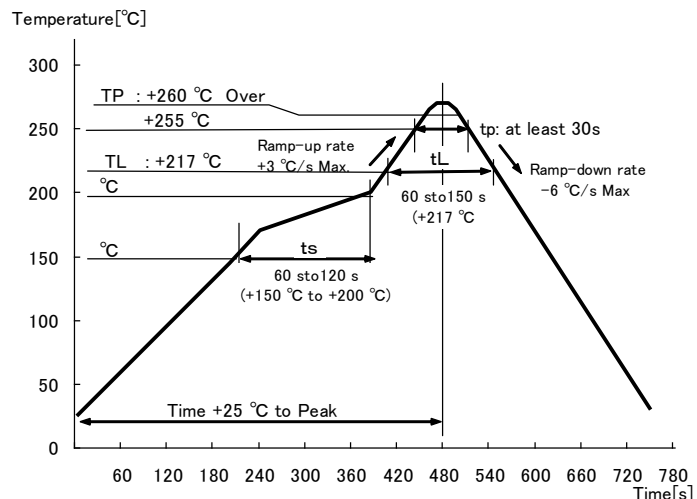
RX6110 SA

(SOP - 14pin)



※網掛部分()には信号線を接近させず、可能であれば GND パターンで埋めてください。

図 2 : 弊社 はんだ耐熱性評価プロファイル (参考)



13. 機能概要 および レジスタテーブル

注意事項

使用しない機能や Reserved ビットにおいても、必ず初期化を行ってください。初期化を行わないと周波数ズレや所望の動作ができない場合があります。

13.1. 機能概要

1) 時計機能

西暦の下二桁の年・月・日、曜、時・分・秒までのデータの設定 / 計時 / 読み出しが可能です。
西暦の下二桁が 4 の倍数のときは自動的にうるう年と認識し、2099 年までを自動判別します。
通信開始時に、時刻データは固定され(桁上げホールド)、通信終了時に自動で時刻補正されます。

2) 定周期タイマ割り込み機能

244.14 μ s ~ 65535 h までの任意の周期にて定期的な割り込みイベントを発生させる機能です。
割り込みイベント発生時には TF ビット = "1" かつ /IRQ1 または /IRQ2 端子 = "L" になるなど、イベントの発生を知ることができます。

3) 長時間タイマ機能

定周期タイマ割り込み機能を、積算タイマとしても利用することができます。メイン電源での稼働稼働 / バックアップ電源での稼働時間を選択して、自動で積算させることも可能です。

4) アラーム割り込み機能

[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。
割り込みイベント発生時には AF ビット = "1" かつ /IRQ1 端子 = "L" になるなど、イベントの発生を知ることができます。

5) 時刻更新割り込み機能

1 秒毎または 1 分毎に内部計時に連動したタイミングで割り込みイベントを発生させる機能です。
割り込みイベント発生時には UF ビット = "1" かつ /IRQ1 端子 = "L" になるなど、イベントの発生を知ることができます。

6) 発振停止検出機能

電源電圧の低下を検出する機能です。
初期電源投入時、電源電圧の低下などによって計時内容が有効かを判定することができます。

7) FOUT 機能 (クロック出力機能)

DO/FOUT 出力端子、/IRQ1 または /IRQ2 端子から、32.768 kHz などのクロック出力を得ることができます。

8) ユーザーRAM

任意データの Read/Writ が可能な RAM レジスタを内蔵しております。

9) デジタル歩度調整機能

時刻の進み・遅れを高精度に調整することができます。

13.2. レジスタテーブル

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 1	I ² C									
0	10	SEC	○	40	20	10	8	4	2	1
1	11	MIN	○	40	20	10	8	4	2	1
2	12	HOUR	○	○	20	10	8	4	2	1
3	13	WEEK	○	6	5	4	3	2	1	0
4	14	DAY	○	○	20	10	8	4	2	1
5	15	MONTH	○	○	○	10	8	4	2	1
6	16	YEAR	80	40	20	10	8	4	2	1
7	17	Reserved	-	-	-	-	-	-	-	-
		A 精度設定値	1	1	0	1	1	0	1	1
8	18	MIN Alarm	AE	40	20	10	8	4	2	1
9	19	HOUR Alarm	AE	•	20	10	8	4	2	1
A	1A	WEEK Alarm	AE	6	5	4	3	2	1	0
		DAY Alarm		•	20	10	8	4	2	1
B	1B	Timer Counter 0	128	64	32	16	8	4	2	1
C	1C	Timer Counter 1	32768	16384	8192	4096	2048	1024	512	256
D	1D	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	TSEL2	TSEL1	TSEL0
E	1E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	1F	Control Register	TEST	STOP	UIE	TIE	AIE	TSTP	TBKON	TBKE

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 2	I ² C									
0 F	20 2F	RAM	User Register 128 bit (16 word x 8 bit)							

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 3	I ² C									
0	30	Digital Tuning	DTE	L7	L6	L5	L4	L3	L2	L1
1	31	Reserved	○	○	○	IOCUT EN	BK SON	BK SOFF	BK SMP1	BK SMP0
		設定値	0	0	0	IOCUT EN	BK SON	BK SOFF	BK SMP1	BK SMP0
2	32	IRQ Control	○	-	-	TMREC	○	TMPIN	FOPIN1	FOPIN0
		設定値	0	0	0	TMREC	0	TMPIN	FOPIN1	FOPIN0

注) 0Vからの初期電源投入時、および VLF ビット読み出し時の結果が VLF="1"のときは、必ずレジスタの初期化を行ってから使用してください。

その際、日付・時間として正しくないデータの設定はしないでください。その場合の計時動作は保証できません。

- *1. **TEST** ビットは弊社テスト用ビットです。初期化の際に必ず"0"に設定し、以降、必ず"0"にて使用してください。
- *2. '○' マークは、"1"を書き込むことはできません。読み出し時は常時"0"が読み出せます。
- *3. '•' マークは、任意データを Write / Read することができる RAM bit です。
- *4. '-' マークは、初期化の際に必ず弊社指定の**設定値**を書き込んでください。(A 精度品用の設定)
- *5. 0Vからの初期電源投入時 VDD 電圧が動作電圧範囲に到達後 40ms 以降 Read / Write が可能になります。
- *6. User Register は、任意データを Write / Read することができます。

13.3. レジスタ概要

13.3.1. 計時・カレンダーレジスタ (SPI:BANK1 Reg - 0[h] ~ 6[h] / I²C Reg - 10[h] ~ 16[h])

秒~年までを計時するカウンタレジスタです。

* 詳細は [項 14.1. 時計カレンダー説明] を参照してください。

13.3.2. RAM レジスタ (SPI:BANK2 Reg - 0[h] ~ F[h] / I²C Reg - 20[h] ~ 2F[h])

00h ~ FFh までの任意データを Write / Read することができる RAM レジスタです。

0V からの初期電源投入時 VDD 電圧が動作電圧範囲に到達後 40ms 以降 R/W が可能です。

13.3.3. アラームレジスタ (SPI:BANK1 Reg - 8[h] ~ A[h] / I²C Reg - 18[h] ~ 1A[h])

アラーム割り込み機能を使用して [日], [曜], [時], [分] などに対する割り込みイベントを得たいときに、AIE, AF ビット および WADA ビットと共に設定し使用します。

当機能を使用しない場合は、AIE = "0" とすることでデータの内容は任意です。

* 詳細は [項 14.3. アラーム割り込み機能] を参照してください。

13.3.4. 定周期タイマ用ダウンカウンタ (SPI:BANK1 Reg - B[h] ~ C[h] / I²C Reg - 1B[h] ~ 1C[h])

定周期タイマ割り込み機能の、カウントダウン初期値 (プリセット値) を設定するレジスタです。

当機能を使用するには、TE, TF, TIE, TSEL2, TSEL1, TSEL0, TBKON, TBKE, TMPIN ビットと共に使用します。

当機能を使用しない場合は、TIE = TE = "0" とすることでデータの内容は任意です。

* 詳細は [項 14.2. 定周期タイマ割り込み機能] を参照してください。

13.3.5. 機能関連レジスタ 1 (SPI:BANK1 Reg - D[h] ~ F[h] / I²C Reg - 0D[h] ~ 0F[h])

1) FSEL1, FSEL0 ビット

FOUT 機能を使用するとき、FOUT 出力端子の出力周波数、ON/OFF を設定するビットです。

FOUT 機能を使用しない場合の設定例 (CE/FOE 端子を"L"固定, FSEL1, FSEL0 は"0")

* 詳細は [項 14.7. FOUT 機能 (クロック出力機能)] を参照してください。

2) USEL, UF, UIE ビット

時刻更新割り込み機能の動作を制御するビットです。

当機能を使用しない場合の設定例 (USEL, UIE は"0", UF は不問)

* 詳細は [項 14.4. 時刻更新割り込み機能] を参照してください。

3) TE, TF, TIE, TSEL2, TSEL1, TSEL0, TSTP, TBKON, TBKE ビット

定周期タイマ割り込み機能の動作を制御するビットです。

当機能を使用しない場合の設定例 (TE, TIE, TSTP, TSEL1, TSEL0 は"0", TSEL2 は"1", TF は不問)

4) WADA, AF, AIE ビット

アラーム割り込み機能の動作を制御するビットです。

当機能を使用しない場合の設定例 (WADA, AIE は"0", AF は不問)

5) TEST ビット

弊社テスト用のビットです。初期化の際に必ず"0"に設定し、以降、"0"にて使用してください。

6) VLF ビット

本製品の状態を検出して、結果を保持するフラグビットです。

初期電源投入時、電源電圧の低下などによって計時内容が有効でないとき、"0" → "1" に変化します。

* 詳細は [項 14.5. 発振停止検出機能] を参照してください。

7) STOP ビット

計時動作を停止させるためのビットです。STOP ビットが"1"の場合は機能動作が以下ようになります。

* 停止 1) 年, 月, 日, 曜, 時, 分, 秒 の更新が停止

• 計時, カレンダー動作の更新が全て停止します。

それに伴い、アラーム割り込み, 時刻更新割り込みイベントが発生しなくなります。

* 停止 2) 定周期タイマ割り込み機能の一部が停止

• 定周期タイマのソースクロック設定が 64 Hz, 1 Hz, 1min, 1h のときは、

カウントが停止します。(ソースクロック設定が 4096 Hz 時のみ、動作可能)

* 停止 3) FOUT は、選択周波数によっては出力が停止します。

• 32.768kHz, 1024Hz を選択出力しているときは、継続出力します。

• 1Hz を選択出力しているときは、FOUT 出力が停止します。

* 停止 4) VDD 電圧低下検出が停止し、STOP="1"のときメイン電源が停止した場合、

電源切替動作することができません。

13.3.6. 機能関連レジスタ 2 (SPI: BANK3 Reg - 1[h] ~ 2[h] / I²C Reg - 31[h] ~ 32[h])

1) BKSON, BKSOFF ビット

ビットの組み合わせによって、メイン電源—バックアップ電源間の逆流防止 MOS スイッチとメイン電源の低電圧監視回路の動作モードを設定します。

* 詳細は [項 14.8. バックアップ電源切替機能] を参照してください。

2) FOPIN1, FOPIN0 ビット

FOUT を /IRQ1,2 のいずれから出力するか、選択します。

3) TMPIN ビット

定周期タイマの割り込み出力を /IRQ1,2 のいずれから出力するか、選択します。

4) TMREC ビット

/IRQ 1 端子より、Hi-Z 期間=31.25msec、一周期=1sec の定周期信号を出力します。

5) IOCUTEN ビット

バックアップ中のインターフェースおよび FOUT、/IRQ 出力を停止するかを選択します。

13.3.7. デジタル歩度調整レジスタ (SPI: BANK3 Reg - 0[h] / I²C Reg - 30[h])

1) DTE ビット

デジタル歩度調整機能の ON/OFF を制御するビットです。

デジタル歩度調整機能を使用しない場合は、DTE="0"(L7~L1 は任意)に設定してください。

* 詳細は [項 14.9. デジタル歩度調整機能] を参照してください。

2) L7 ~ L1 ビット

調整量を設定するビットです。

13.3.8. Reserved ビット

'-' マークは、初期化の際に必ず弊社指定の固定値を書き込む必要があります。

書き込み内容は下記の通りです。*A 精度品用の設定

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI	I ² C									
BANK 1										
7	17	Reserved	-	-	-	-	-	-	-	-
		A 精度設定値	1	1	0	1	1	0	1	1

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI	I ² C									
BANK 3										
1	31	Reserved	○	○	○	IOCUT EN	BK SON	BK SOFF	BK SMP1	BK SMP0
		設定値	0	0	0	IOCUT EN	BK SON	BK SOFF	BK SMP1	BK SMP0
2	32	IRQ Control	○	-	-	TMREC	○	TMPIN	FOPIN1	FOPIN0
		設定値	0	0	0	TMREC	0	TMPIN	FOPIN1	FOPIN0

14. 使用方法

14.1. 時計カレンダー説明

通信開始時に、時刻データは固定され(桁上げホールド)、通信終了時に自動で時刻補正されますので、時計カレンダーにアクセスする場合は、オートインクリメント機能を利用した連続アクセスを行うことを推奨します。現在時刻を読み出す時は、STOP ビットは使用しない(STOP="0")でください。

設定/表示例：88年2月29日(日曜日)17時39分45秒(うるう年)

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 1	I ² C									
0	10	SEC	0	1	0	0	0	1	0	1
1	11	MIN	0	0	1	1	1	0	0	1
2	12	HOUR	0	0	0	1	0	1	1	1
3	13	WEEK	0	0	0	0	0	0	0	1
4	14	DAY	0	0	1	0	1	0	0	1
5	15	MONTH	0	0	0	0	0	0	1	0
6	16	YEAR	1	0	0	0	1	0	0	0

* 存在しない時刻データが書き込まれた場合は、正常な動作ができない原因になります。

* 時刻設定時に STOP ビットを併用すると任意のタイミングで計時スタートできます。

14.1.1. 時計カウンタ

1) [SEC][MIN]レジスタ

00~59までの60進BCDカウンタです。下位レジスタからの桁上げタイミングでインクリメントされ、59→00のタイミングで上位レジスタに桁上げが発生します。

* [SEC]レジスタに書き込みを行うと、1秒未満の内部カウンタ(512Hz~1Hz)が0リセットされます。

2) [HOUR]レジスタ

24進BCDカウンタ(24時間制)です。下位レジスタからの桁上げでインクリメントされます。

14.1.2. 曜日カウンタ

- [曜(曜日)]をbit 0~bit 6までの7ビットにて示します。

01h 曜 → 02h 曜 → 04h 曜 → 08h 曜 → 10h 曜 → 20h 曜 → 40h 曜 (→ 01h 曜 → 02h 曜) の順に更新します。

このレジスタは上位のレジスタへ桁上げ動作はしません。また、年・月・日と連動していませんので、これらのレジスタを変更した場合は、対応した曜データをセットする必要があります。

曜日カウンタを使用しない場合は、初期化時に01h~40hまでの任意のデータを書き込んで、以降は無視してください。

- 曜日の値の設定例

曜日	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	Data [h]
日	0	0	0	0	0	0	0	1	01 h
月	0	0	0	0	0	0	1	0	02 h
火	0	0	0	0	0	1	0	0	04 h
水	0	0	0	0	1	0	0	0	08 h
木	0	0	0	1	0	0	0	0	10 h
金	0	0	1	0	0	0	0	0	20 h
土	0	1	0	0	0	0	0	0	40 h

* 複数の曜日を"1"に設定するなど上記以外の設定はしないでください。

14.1.3. カレンダーカウンタ

1) [DAY],[MONTH]レジスタ

[DAY]レジスタは、月・うるう年に連動した可変型の[日]を表す28~31進BCDカウンタで、[MONTH]レジスタは、12進の[月]を表すBCDカウンタです。下位レジスタからの桁上げでインクリメントされます。

		1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月
日	通常年	31	28	31	30	31	30	31	31	30	31	30	31
	うるう年		29										

2) [YEAR]レジスタ

- 00~99年までのBCDカウンタです。下位レジスタからの桁上げでインクリメントされます。
- 2001年~2099年までを自動でうるう年判定し[DAY]レジスタに反映させます。

14.2. 定周期タイマ割り込み機能

244.14 μs ~ 65535 h までの任意の周期で定期的な割り込みイベントを発生させる機能です。
一時停止することが可能で積算タイマとしても利用できます。

* 割り込みイベント発生時の /IRQ2 または /IRQ1 からの "L" 出力は、7.813 ms で自動解除 されます。

14.2.2. 定周期タイマ割り込み機能 関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 1	i ² C									
B	1B	Timer Counter 0	128	64	32	16	8	4	2	1
C	1C	Timer Counter 1	32768	16384	8192	4096	2048	1024	512	256
D	1D	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	TSEL2	TSEL1	TSEL0
E	1E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	1F	Control Register	<u>TEST</u>	STOP	UIE	TIE	AIE	TSTP	TBKON	TBKE

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 3	i ² C									
2	32	IRQ Control	○	-	-	TMREC	○	TMPIN	FOPIN1	FOPIN0

- * 動作設定は、TE ビットを "0" クリアしてから始めてください。
- * 機能を使用しないときは、Timer Counter レジスタを RAM レジスタとして使用できます。 その場合は TE, TIE = "0" に設定して機能を停止させてください。

1) 定周期タイマ用ダウンカウンタ

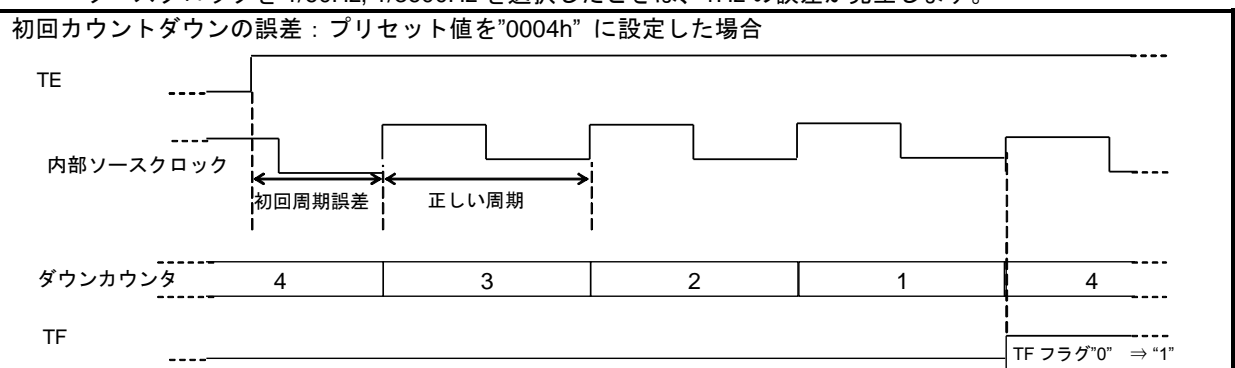
- ・ プリセッタブル・ダウンカウンタの初期値 (プリセット値) を設定するレジスタで、カウント値は 1 ~ 65535 までの任意の値を設定できます。
* プリセット値の書き込みは、必ず TE ビットが "0" の状態で行ってください。
- ・ 本レジスタを読み出すとき、
TE ビットが "0" のときは カウントダウン初期値(プリセット値)が読み出せます。
TE ビットが "1" のときは カウントダウン中のカウント値が読み出せます。
(但し、読み出されるデータはホールドされていませんので (データ変化中の場合がありますので)、正しいデータを得るためには 2 度読み比較などをしてください。)

2) TSEL2, TSEL1, TSEL0 ビット

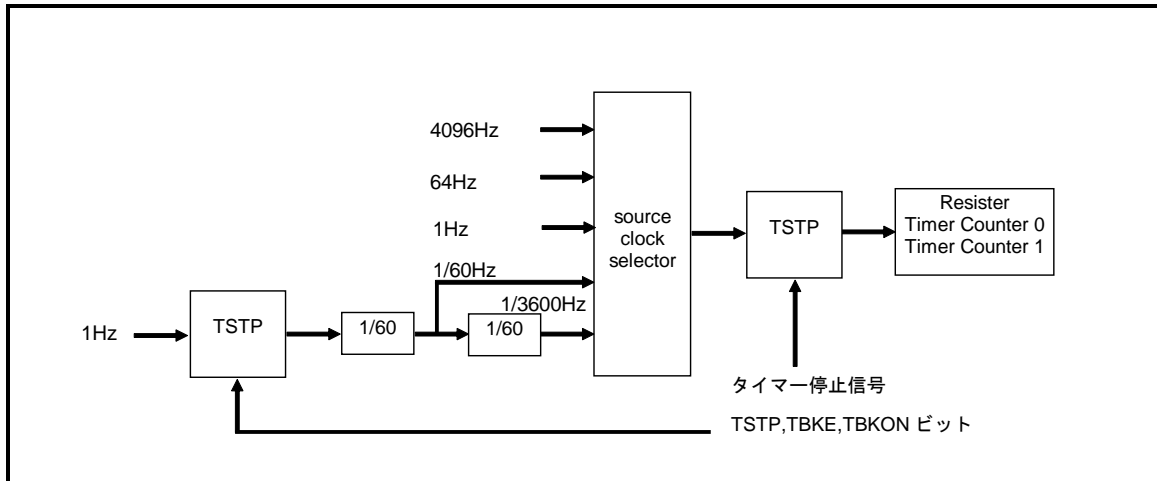
カウントダウン周期 (ソースクロック) を選択するビットです。
* ソースクロックの設定は、必ず TE ビットを一旦 "0" にしてから行ってください。

TSEL2 (bit 2)	TSEL1 (bit 1)	TSEL0 (bit 0)	ソース クロック	自動復帰時間 (tRTN)
0	0	0	4096 Hz / 244.14 μs 周期	122 μs
0	0	1	64 Hz / 15.625 ms 周期	7.813 ms
0	1	0	1 Hz / 1 秒周期	7.813 ms
0	1	1	1/60 Hz / 1 分周期	7.813 ms
1	0	0	1/3600 Hz / 1 時間周期	7.813 ms

- *1) /IRQ 端子の自動復帰時間 tRTN は、ソースクロックによって上記の様に異なります。
- *2) 初回のカウントダウンまたは、カウント再開した初回は、選択したソースクロックより短い時間になります。
ソースクロックを 4096Hz, 64Hz, 1Hz を選択したときは、1 周期分の誤差が発生します。
ソースクロックを 1/60Hz, 1/3600Hz を選択したときは、1Hz の誤差が発生します。



内部カウンタブロック図



*選択したソースクロックより下位のカウント値を読み出すことはできません。

3) TE ビット (Timer Enable)

定周期タイマ割り込み機能の動作を開始させるためのビットです。

TE	データ	内容
Write	0	定周期タイマ割り込み機能を停止 * /IRQ 出力は、直ちに解除されます(Hi-z になります)。
	1	定周期タイマ割り込み機能が動作を開始 * カウントダウンのスタート値は、常にプリセット値より開始します。

4) TF ビット (Timer Flag)

定周期タイマ割り込みイベントを検出して、結果を保持するフラグビットです。

TF	データ	内容
Write	0	/IRQ が "L" 出力中の場合は解除されます。(Hi-z になります)
	1	"1" は書き込めません。
Read	0	-
	1	定周期タイマ割り込みイベント発生を検出あり * 結果は、0 クリアするまで保持されます。

5) TIE ビット (Timer Interrupt Enable)

定周期タイマ割り込みイベント発生時 (TF, "0" → "1") の、/IRQ 割り込み信号の動作を設定します。

TIE	データ	内容
Write	0	1) 割り込み信号は出力しない (/IRQ = Hi-z 継続) 2) 割り込み信号を解除 (/IRQ, "L" → Hi-z) する。
	1	割り込み信号を出力する。 (/IRQ = Hi-z → "L")

6) TBKON, TBKE ビット

TBKE="1"の時に、通常動作/バックアップ動作のどちらでカウント動作を行うか選択します。するためのビットです。カウントは積算されます。

動作	TBKE	TBKON	内容
Write	0	X	通常動作/バックアップ動作関係なくカウント動作
	1	0	通常動作時(VDD=1.6V 以上)のときカウント動作
		1	バックアップ動作時(VBAT 動作時)のときカウント動作

7) TSTP ビット (Timer Stop)

ダウンカウンタを一時停止させるためのビットです。

動作	STOP	TBKE	TSTP	内容
Write	0	0	0	カウントを開始 (停止を解除) します。 * カウントダウンの再開は、停止値から開始します。
			1	カウントを停止します。
	1	1	X	TSTP の設定は無効になり TSTP="1" に設定してもカウントは停止しません。
		X	X	64Hz, 1Hz, 1/60Hz, 1/3600Hz 設定時は停止します。

8) TMPIN ビット

タイマ割り込み出力信号を「/IRQ1 端子」と「/IRQ2 端子」のどちらから出力するか選択します。

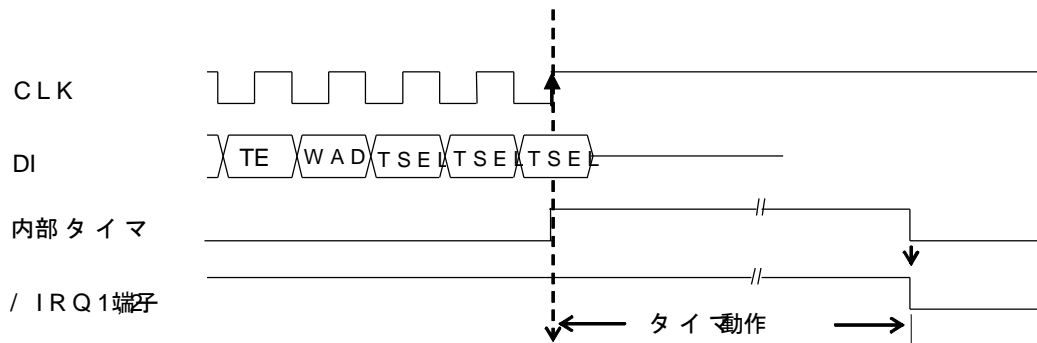
TMPIN	データ	内容
Write	0	/IRQ2 端子
	1	/IRQ1 端子

14.2.3. タイマスタートタイミング

・SPI 設定時

定周期タイマ割り込み機能のタイマカウントダウンは、TE = "0" → "1" への書き込み終了時の CLK の立ち上がりエッジ (ビット 0 送信終了時) から開始します。

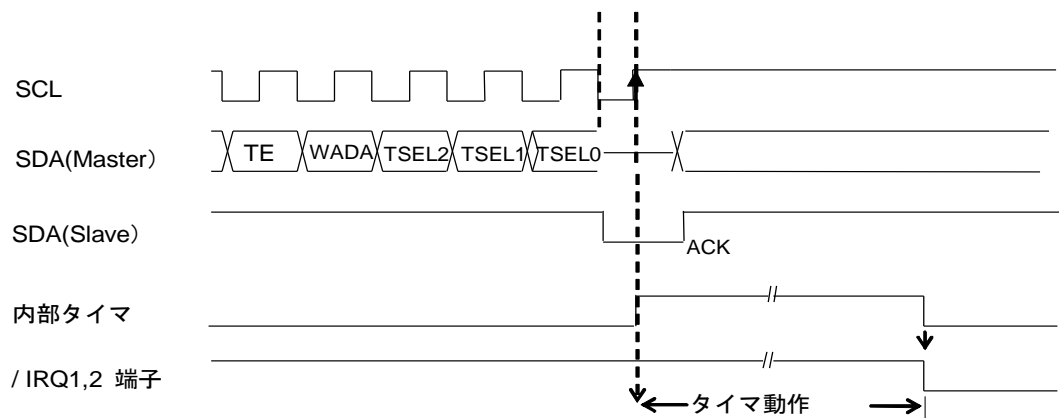
*タイマソースクロック選択ビット (TSEL2、TSEL1、TSEL0) も CLK の立ち上がりエッジで取り込みます。



・I²C 設定時

定周期タイマ割り込み機能のタイマカウントダウンは、TE = "0" → "1" への書き込み終了時の ACK 送信時の立ち上がりエッジ (ACK 送信終了時) から開始します。

*タイマソースクロック選択ビット (TSEL2、TSEL1、TSEL0) も CLK の立ち上がりエッジで取り込みます。

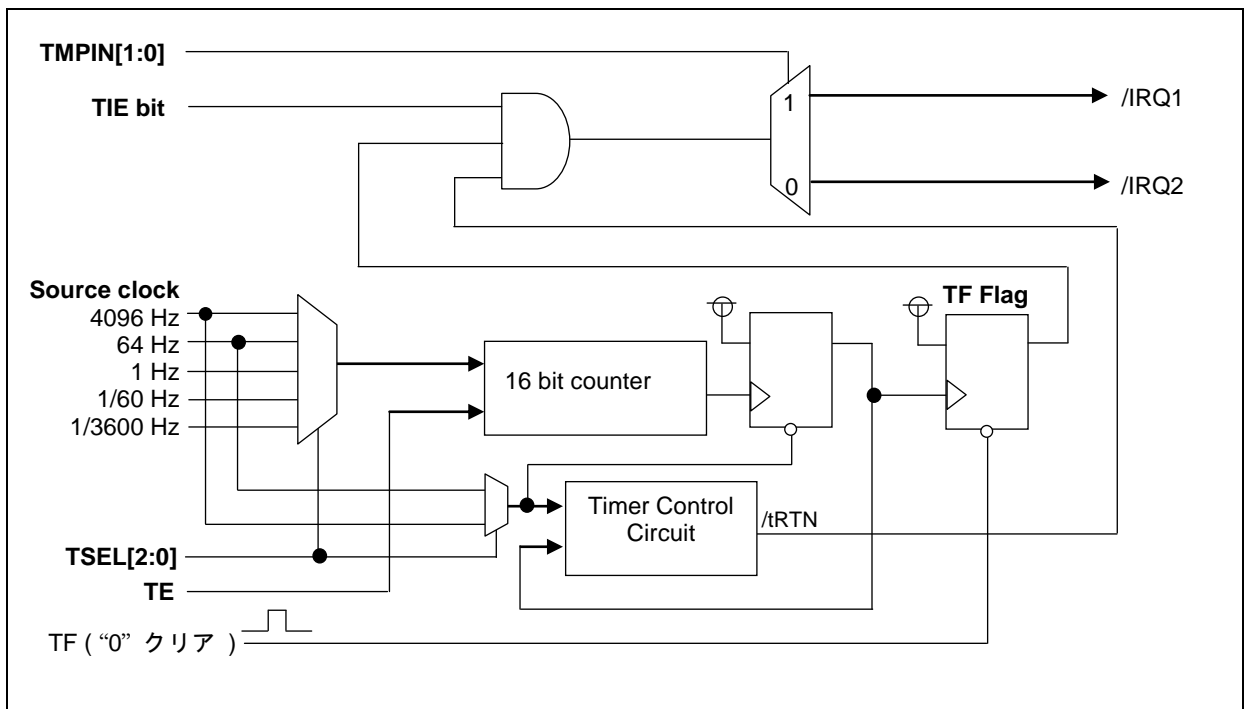


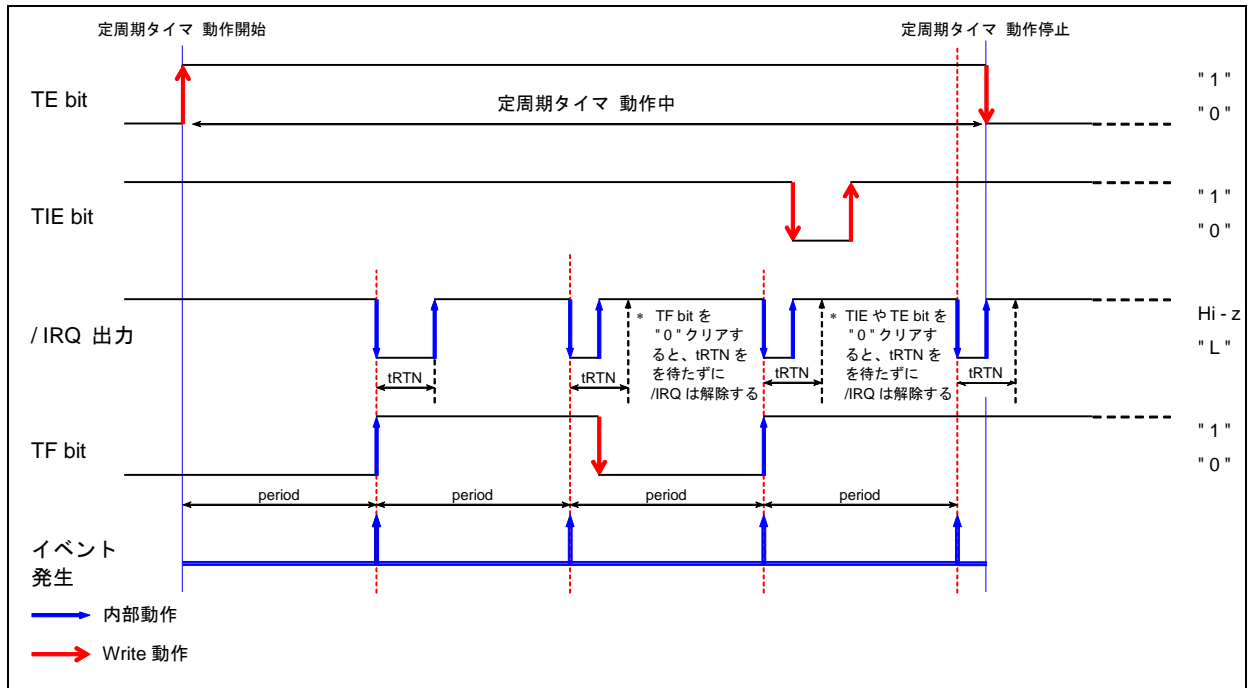
14.2.4. 定周期タイマ割り込み周期

ソースクロック設定 と ダウンカウンタ設定 の組み合わせによる割り込み周期の例を示します。

Timer Counter 設定値 1 ~ 65535	ソースクロック				
	4096 Hz TSEL2 = 0 TSEL1, 0 = 0, 0	64 Hz TSEL2 = 0 TSEL1, 0 = 0, 1	1 Hz (1 秒桁 更新時) TSEL2 = 0 TSEL1, 0 = 1, 0	1 / 60 Hz (1 分桁 更新時) TSEL2 = 0 TSEL1, 0 = 1, 1	1 / 3600 Hz (1 時間桁 更新時) TSEL2 = 1 TSEL1, 0 = 0, 0
0	—	—	—	—	—
1	244.14 μs	15.625 ms	1 s	1 min	1 h
:	:	:	:	:	:
410	100.10 ms	6.406 s	410 s	410 min	410 h
:	:	:	:	:	:
3840	0.9375 s	60.000 s	3840 s	3840 min	3840 h
:	:	:	:	:	:
4096	1.0000 s	64.000 s	4096 s	4096 min	4096 h
:	:	:	:	:	:
65535	15.9998 s	1023.984 s	65535 s	65535 min	65535 h

14.2.5. 定周期タイマ割り込み機能図





* ダウンカウンタが 0001h → 0000h になり、割り込みイベントが発生した後は、プリセット値を自動的に再ロードし、再びプリセット値よりカウントダウンを開始します。(繰り返し動作)

* TE, "0" → "1" により、定周期タイマ割り込み機能が動作を開始します。
 カウントダウンは、TE, "0" → "1" に限り必ずカウンタプリセット値から開始します。

14.3. アラーム割り込み機能

[日], [曜], [時], [分]などに対する割り込みイベントを発生させる機能です。

割り込みイベント発生時には AF ビット = "1" かつ /IRQ1 端子 = "L" になるなど、イベントの発生を知ることができます。

* 割り込みイベント発生時の /IRQ1 "L" 出力は、意図的な解除を行わない限り自動解除されず、/IRQ1 "L" が保持されます。

14.3.1. アラーム割り込み機能 関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 1	I ² C									
8	18	MIN Alarm	AE	40	20	10	8	4	2	1
9	19	HOUR Alarm	AE	•	20	10	8	4	2	1
A	1A	WEEK Alarm	AE	6	5	4	3	2	1	0
		DAY Alarm		•	20	10	8	4	2	1
D	1D	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	TSEL2	TSEL1	TSEL0
E	1E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	1F	Control Register	<u>TEST</u>	STOP	UIE	TIE	AIE	TSTP	TBKON	TBKE

* 動作設定は、設定時の不用意なハードウェア割り込みを避けるために、最初に AIE ビットを "0" にすることを推奨します。

* STOP ビットが "1" のときは、アラーム割り込みイベントは発生しません。

* アラーム割り込み機能を使用しないときは、アラームレジスタを RAM レジスタとして使用できます。その場合は、AIE ビットを必ず "0" にしてください。

1) アラームレジスタ

WEEK/DAY は、WADA ビットで選択した状況に応じて [週]データ もしくは [日]データを設定できます。[週]を選択したときは、曜日設定を(例えば)月・水・金・土のような複数曜日の同時設定が可能です。

*1) アラーム発生の対象としない項目については、対象としない項目のレジスタの AE ビットを "1" にしてください。AE = "1" のとき、その項目については データ不問でアラーム比較対象外となります。

例) WEEK Alarm / DAY Alarm レジスタに 80h (AE = "1") を書き込む

→ [時],[分]のみがアラーム比較対象となる。[週/日]はアラーム比較対象外。

*2) 3つの AE ビットの全てを "1" にしたときは、例外的に [1 分毎にアラーム割り込みイベントが発生] します。(この結果も、AF ビットに反映されます)

*3) 現時刻と同じ状況を設定してもアラームは発生しません。 次回の時刻一致時に発生します。

2) WADA ビット (Week Alarm / Day Alarm Select)

アラーム割り込み機能の対象を選択指定するビットです。

WADA	データ	内容
Write	0	WEEK Alarm(週)で動作します。
	1	DAY Alarm(日)で動作します。

3) AF ビット (Alarm Flag)

アラーム割り込みイベントを検出して、結果を保持するフラグビットです。

AF	データ	内容
Write	0	/IRQ1 が"L"出力中の場合は解除されます。(Hi-z になります)
	1	"1" の書き込みは無効です。
Read	0	-
	1	アラーム割り込みイベント発生有り * 結果は、0 クリアするまで保持されます。

4) AIE ビット (Alarm Interrupt Enable)

アラーム割り込みイベント発生時の、/IRQ1 割り込み信号の動作を設定します。

AIE	データ	内容
Write	0	1) 割り込み信号は出力しない (/IRQ1 = Hi-z 継続) 2) 割り込み信号を解除 (/IRQ1、" L " → Hi-z) する。
	1	割り込み信号を出力する (/IRQ1 = Hi-z → " L ")

* AIE ビットは /IRQ1 端子の出力制御のみです。アラームを解除するには AF フラグを"0"クリアする必要があります。

14.3.2. アラーム設定例

1) [曜] 指定時の アラーム設定例 / WADA ビット = " 0 "

[曜] 指定時 WADA ビット " 0 "	bit 7 AE	bit 6 土	bit 5 金	bit 4 木	bit 3 水	bit 2 火	bit 1 月	bit 0 日	HOUR Alarm	MIN Alarm
毎週 月 ~ 金, 午前 7 時 * [分]不問	0	0	1	1	1	1	1	0	07 h	AE bit " 1 "
毎週 日, 土, 毎時 30 分 * [時]不問	0	1	0	0	0	0	0	1	AE bit " 1 "	30 h
毎日, 午後 6 時 59 分	0 1	1 X	1 X	1 X	1 X	1 X	1 X	1 X	18 h	59 h

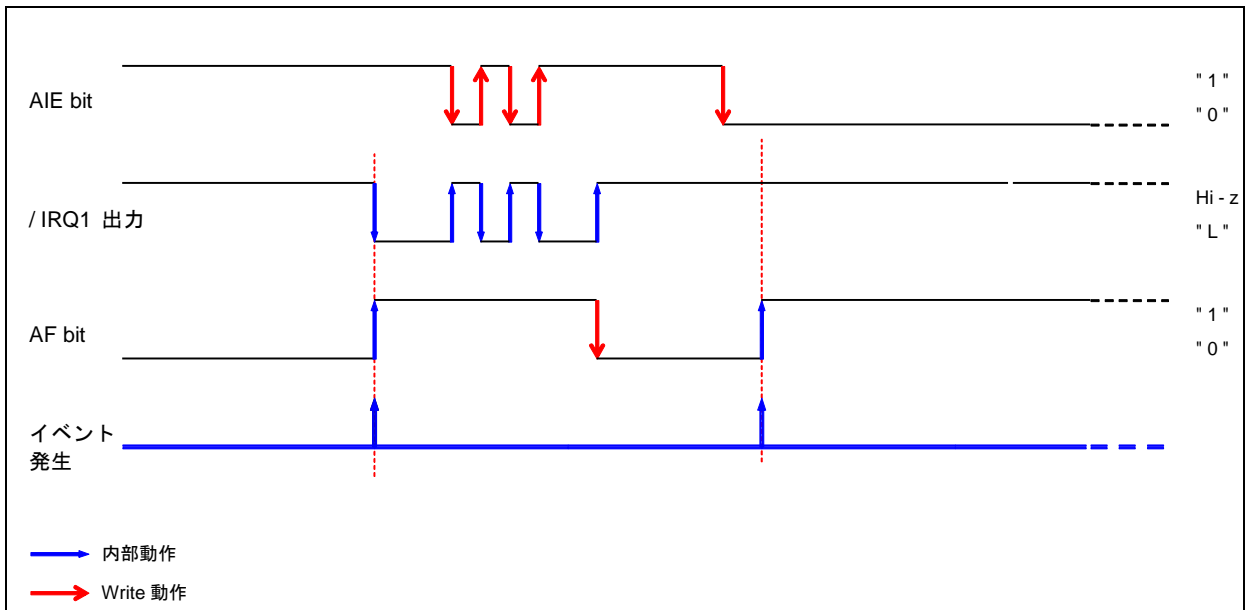
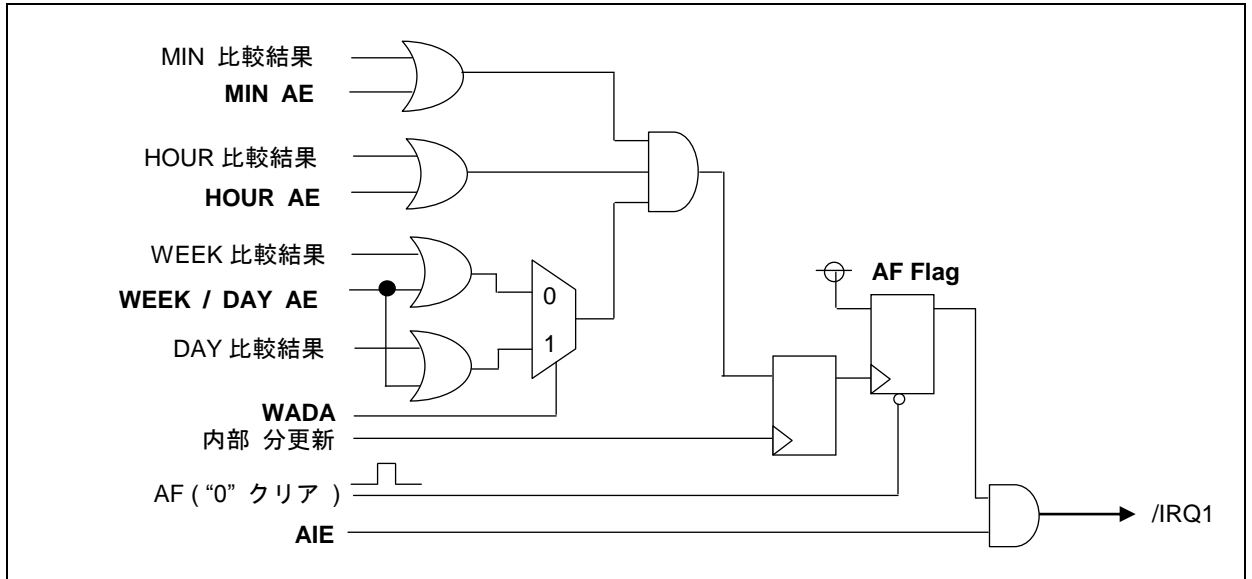
X : don't care

2) [日] 指定時の アラーム設定例 / WADA ビット = " 1 "

[日] 指定時 WADA ビット " 1 "	bit 7 AE	bit 6 ●	bit 5 20	bit 4 10	bit 3 08	bit 2 04	bit 1 02	bit 0 01	HOUR Alarm	MIN Alarm
毎月 01 日, 午前 7 時 * [分]不問	0	0	0	0	0	0	0	1	07 h	AE bit " 1 "
毎月 15 日, 毎時 30 分 * [時]不問	0	0	0	1	0	1	0	1	AE bit " 1 "	30 h
毎日, 午後 6 時 59 分	1	X	X	X	X	X	X	X	18 h	59 h

X : don't care

14.3.3. アラーム割り込み機能図



14.4. 時刻更新割り込み機能

時刻更新割り込み機能は、1秒更新または1分更新にて内部計時に連動したタイミングで割り込みイベントを発生させる機能です。割り込み発生後 7.813 ms（固定値）で自動解除（/IRQ1 = "L" → Hi-z）します。

14.4.1. 時刻更新割り込み機能 関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 1	I ² C									
D	1D	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	TSEL2	TSEL1	TSEL0
E	1E	Flag Register	○	○	UF	TF	AF	○	VLF	○
F	1F	Control Register	TEST	STOP	UIE	TIE	AIE	TSTP	TBKON	TBKE

- * 動作設定を行うときは、設定中の不用意なハードウェア割り込みを避けるために、最初に UIE ビットを "0" にすることを推奨します。
- * STOP ビットが "1" のときは、時刻更新割り込みは発生しません。
- * 時刻更新割り込み機能は停止できません。時刻更新割り込み機能による /IRQ1 出力を禁止することは可能です。

1) USEL ビット (Update Interrupt Select)

時刻更新割り込みイベントの発生タイミングを[秒]更新か[分]更新に設定するビットです。

USEL	データ	内容
Write / Read	0	[秒]更新時(1秒毎に繰り返す)にする。
	1	[分]更新時(1分毎に繰り返す)にする。

2) UF ビット (Update Flag)

時刻更新割り込みイベントを検出して、結果を保持するフラグビットです。

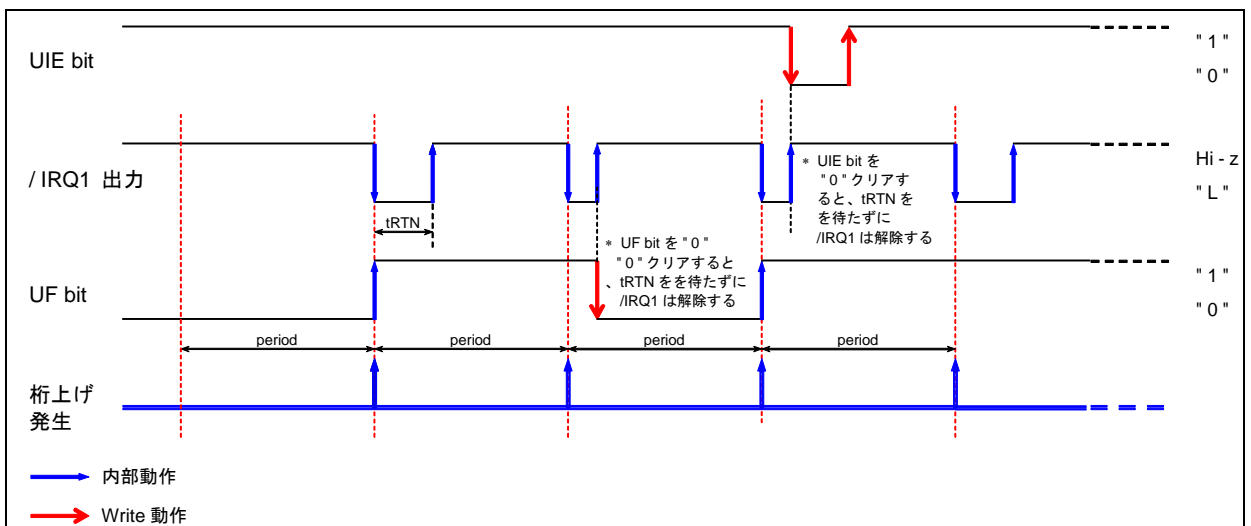
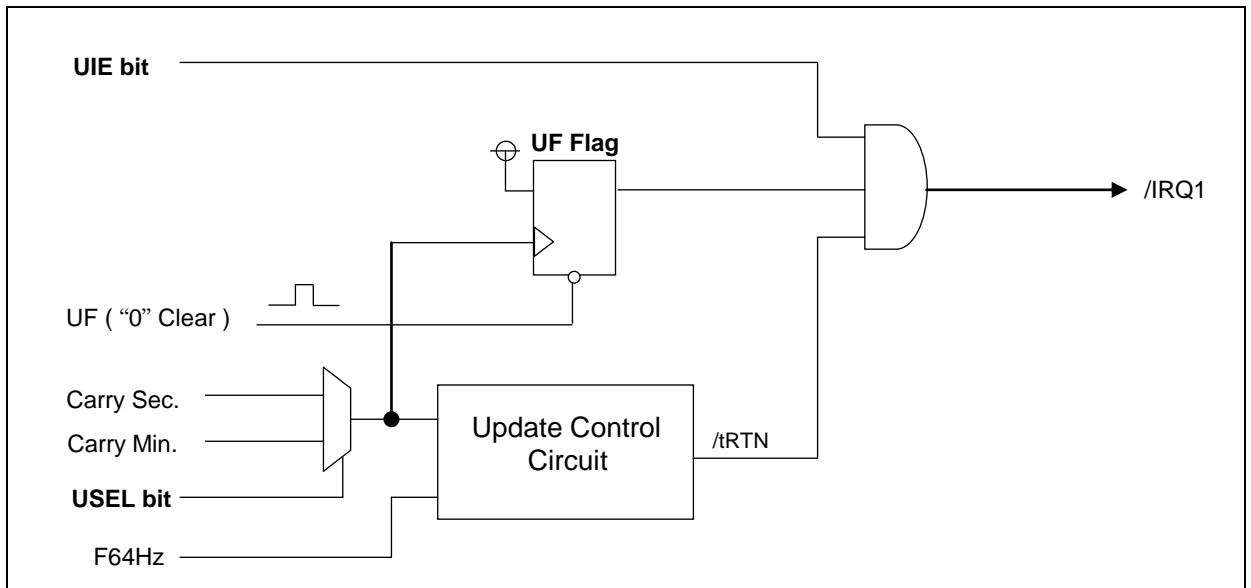
UF	データ	内容
Write	0	/IRQ1 が"L"出力中の場合は解除されます。(Hi-z になります)
	1	"1" の書き込みは無効です。
Read	0	-
	1	時刻更新割り込みイベント発生有り (結果は、0 クリアするまでホールドします)

3) UIE ビット (Update Interrupt Enable)

時刻更新割り込みイベント発生時の、/IRQ1 端子への割り込み信号の動作を設定します。

UIE	データ	内容
Write / Read	0	1) 割り込み信号をディセーブルにする。(/IRQ1 = Hi-z 継続) 2) 割り込み信号を解除する。(/IRQ1、"L" → Hi-z)する。
	1	割り込み信号をイネーブルにする。(/IRQ1 = Hi-z → "L") * 割り込み出力は 7.813 ms で自動解除(/IRQ1 = "L" → Hi-z)します。

14.4.2. 時刻更新割り込み機能図



14.5. 発振停止検出機能

本製品の状態を検出して、結果を保持するフラグビットです。
 初期電源投入時、電源電圧の低下(VLow)などによって計時内容が有効でないとき、「0」→「1」に変化します。
 読み出し時「1」のときの本製品の内容は無効ですので、その場合は、必ず全てのレジスタを初期設定してから使用してください。本機能は瞬間的な電圧低下を検出することはできません。

VLF	データ	内容
Write	0	VLF ビットを 0 クリアし、また、次回検出に備える。
	1	"1" の書き込みは無効です。
Read	0	動作異常の検出なし。
	1	動作異常の検出あり。本製品の内容は無効。 * 結果は、0 クリアするまで保持されます。

14.6. 1Hz 出力機能

1 秒周期のパルスを出力する機能で、IRQ1 から出力できます。1 秒のうち 31.25ms が Hi-z 期間です。

14.6.1. 1Hz 出力機能の関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 3	I ² C									
2	32	IRQ Control	○	-	-	TMREC	○	TMPIN	FOPIN1	FOPIN0

1) TMREC bit

TMREC	データ	内容
Write	0	出力停止
	1	1Hz を出力します。

14.7. FOUT 機能 (クロック出力機能)

DO/FOUT, /IRQ1, /IRQ2 端子から、32.768 kHz などのクロック出力を得ることができます。
DO/FOUT, /IRQ2 端子出力を停止させたときは、端子はハイインピーダンスになります。

14.7.1. FOUT 機能 (クロック出力機能) 関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 1	I ² C									
D	1D	Extension Register	FSEL1	FSEL0	USEL	TE	WADA	TSEL2	TSEL1	TSEL0

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 3	I ² C									
2	32	IRQ Control	○	-	-	TMREC	○	TMPIN	FOPIN1	FOPIN0

FSEL1 ビット, FSEL0 ビットと CE/FOE 入力端子の組み合わせにより、32.768 kHz, 1024 Hz, 1 Hz を選択出力するまたは 出力を停止させることができます。

14.7.2. FOUT 機能 機能動作表

1) FOUT 出力端子割付け

SPISEL 端子	FOPIN1	FOPIN0	出力端子	バックアップ時の出力
L	0	0	/IRQ2	停止(Hi-z)
	0	1	/IRQ1	出力可能
	1	X	DO/FOUT	停止(Hi-z)
H	0	0	/IRQ2	停止(Hi-z)
	0	1	/IRQ1	出力可能
	1	X	出力しません	-

2) FSEL1, FSEL0 ビット

CE/FOE pin I ² C 選択時	FSEL1	FSEL0	output
" L "	0	0	OFF
	0	1	1 Hz Output
	1	0	1024 Hz Output
	1	1	32768 Hz Output /IRQ2 には設定しないでください。
" H "	X	X	32768 Hz Output (DO/FOUT 端子)

X: don't care

- * 初期電源投入時(0V から電源投入時)は、パワーオンリセットにより FSEL1, FSEL0 共に "0" が設定されます。
- * SPISEL="L" かつ CE/FOE = "H" のときは、FSEL1, 0 ビットの設定に関わらず DO/FOUT 端子から 32.768kHz を出力します。このとき FOPIN0, FOPIN1 での /IRQ1, /IRQ2 の FOUT 出力設定は無効になります。

注 3) STOP ビットが "1" のときの FOUT 出力動作

STOP "1" のときの FOUT は、選択周波数によっては 出力が停止します。

- (1) 32.768kHz, 1024Hz を選択出力させているときは、継続出力します。
- (2) 1Hz では、FOUT 出力が停止します。

14.8.バックアップ電源切替機能

14.8.1. バックアップ電源切替機能の概要

メイン電源 VDD の電圧低下を検出する電源検出回路 VDET と、メイン電源端子 VDD とバックアップ電源端子 VBAT 間に配置された内蔵 MOS スイッチから構成されます。

VDET の電源電圧検出結果に応じて MOS スイッチを OFF することで、VDD オフ→VBAT に駆動電源が切替わった際（通常動作からバックアップ動作に移行）に、電流の逆流（VBAT→VDD）を防止することが可能となります。バックアップ動作時は、DO/FOUT、/IRQ2 端子は Hi-z となり、シリアルデータ入力端子は内部への信号が伝播せず、端子のフローティング状態が許可になります。本機能を使用しない場合は、VDD=VBAT としてください。

14.8.2. バックアップ電源切替機能の関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 3	I ² C									
1	31	Reserved	○	○	○	IO CUT EN	BK SON	BK SOFF	BK SMP1	BK SMP0

1) BKSON, BKSOFF bit

MOS スイッチをコントロールするビットです。

動作	BKSON	BKSOFF	内容
Write	0	0	バックアップ回路を使用する場合の設定です。Default
	0	1	バックアップ電源に一次電池を使用する場合の設定です。
	1	0	バックアップ回路を使用しない場合の設定です。このとき VDD=VBAT としてください。 *この設定は VDD の電圧低下検出を行いませんので、VDD が 1.6V 以下になっても、インタフェースや FOOUT 出力を自動で OFF しません。
	1	1	バックアップ回路を使用する場合の設定です。BKSON=0, BKSOFF=0 の設定より通常動作時の消費電流を抑えることができます。

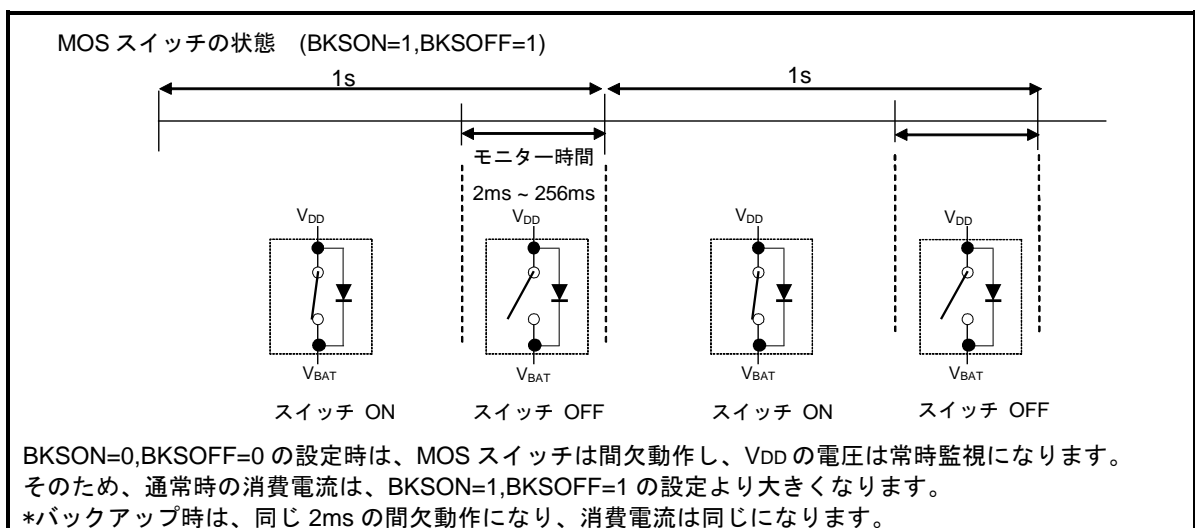
初期電源投入時のパワーオンリセット(10.2. 電源投入時の注意事項)により、初期状態は MOS スイッチ ON、BKSON=BKSOFF=0 に設定されます。バックアップバッテリーを先に実装する場合など、VDD に電圧が印可されない状態で VBAT に電圧印加される時でも、VDD の電圧監視が動作しているので、VDD の電圧が VDET 以下を検出すると自動的に MOS スイッチは OFF し VBAT から VDD 側への逆流を防止します。

2) BKSMP1, BKSMP0 bit

VDD 電圧のモニタ時間を設定するビットです。VDD の電圧をモニタする間は MOS スイッチは OFF になります。

BKSMP1	BKSMP0	モニタ時間	備考
0	0	2 ms	Default
0	1	16 ms	
1	0	128 ms	
1	1	256 ms	

1 秒に一回動作します。

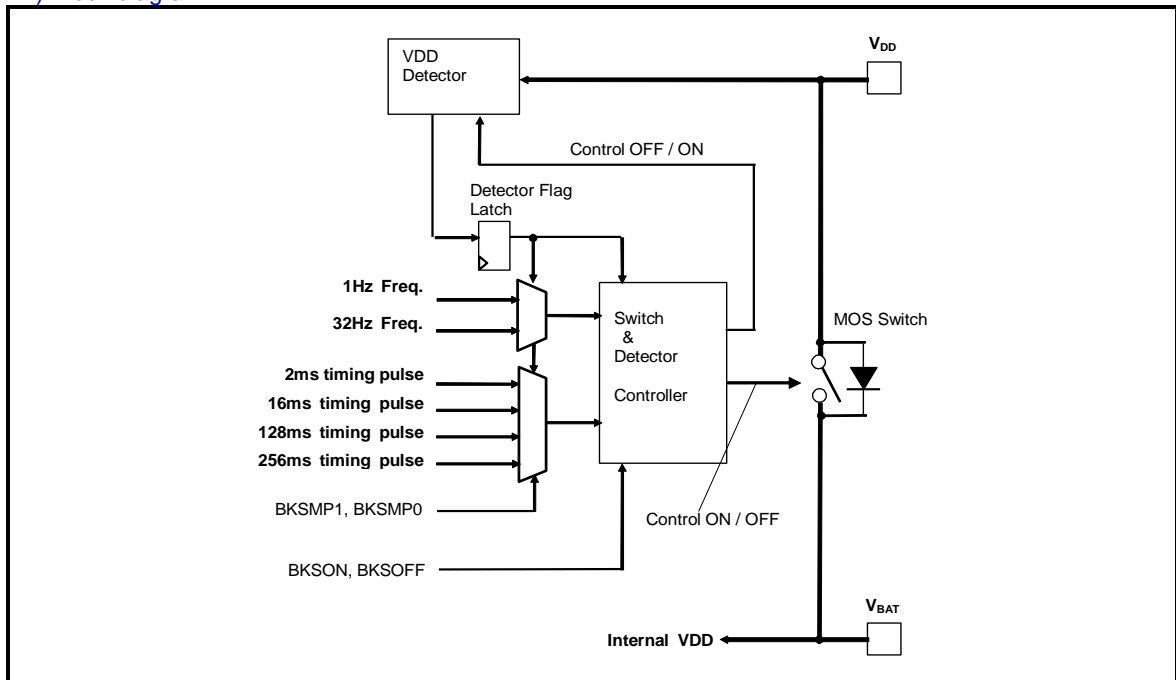


3) 動作一覧

BKSON	BKSOFF	BKSMP1	BKSMP0	VDD モニタ時間		MOS スイッチ ON/OFF
				通常動作	バックアップ動作	
0	0	0	0	常時 ON	間欠 ON 2ms	間欠 OFF 2ms
		0	1	常時 ON		間欠 OFF 16ms
		1	0	常時 ON		間欠 OFF 128ms
		1	1	常時 ON		間欠 OFF 256ms
1	1	0	0	間欠 ON 2ms	間欠 ON 2ms	間欠 OFF 2ms
		0	1	間欠 ON 16ms		間欠 OFF 16ms
		1	0	間欠 ON 128ms		間欠 OFF 128ms
		1	1	間欠 ON 256ms		間欠 OFF 256ms
0	1	0	0	間欠 ON 2ms	間欠 ON 2ms	常時 OFF
		0	1	間欠 ON 16ms		常時 OFF
		1	0	間欠 ON 128ms		常時 OFF
		1	1	間欠 ON 256ms		常時 OFF
1	0	1	1	常時 OFF	常時 OFF	常時 ON

- バックアップ時の MOS スイッチは常時 OFF です。
- 間欠動作: 通常時は 1 秒に一回 / バックアップ時は 31.25ms に一回

4) Block diagram



5) IOCUTEN

バックアップ中の I/O(インタフェース、DO/FOUT、/IRQ2)を停止するかを選択します。
 VDD 電圧の低下を検出(VDET-)しバックアップへ移行すると、I/O を自動で停止し、各 I/O 端子 (インタフェース、DO/FOUT、/IRQ2)は、出力端子は Hi-Z 状態に、入力端子は Hi-Z 状態許可になります。

IOCUTEN	データ	内容
Write	0	I/O の制御はしません。Default
	1	バックアップ時に I/O を停止します。

内部水晶発振が停止すると自動的に"0"クリアされます。そのため電源投入直後の発振開始していない状態では "1"をセットすることはできません。

14.9.デジタル歩度調整機能

時刻の進み・遅れを高精度に調整することができ、最小分解能は 3.05×10^{-6} で $-195.3 \times 10^{-6} \sim +192.3 \times 10^{-6}$ の範囲で補正が可能です。周波数精度または時計のズレ量から補正値を算出する際は、必ずレジスタの初期化を行った後の周波数精度または時計のズレ量を参照してください。

14.9.1.デジタル歩度調整機能 関連レジスタ

Address [h]		Function	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
SPI BANK 3	I ² C									
0	30	Digital Tuning	DTE	L7	L6	L5	L4	L3	L2	L1

- DTE="1"とするとデジタル歩度調整機能が有効になります。
歩度調整が有効になると、デジタル補正レジスタに設定した値により、10秒に一回計時時間をデジタル的に補正します。内蔵水晶振動子の発振周波数は変化しませんので、32.768kHzの周波数は変わりません。
- デジタル歩度調整を無効にするときは DTE="0"とします。その時 L7~L1 の設定値は任意です。
- L7~L1 ビットとデジタル補正値との関係
L7 ビット="0"でプラス補正、L7 ビット="1"でマイナス補正になります。

デジタル補正ビット							補正値 ($\times 10^{-6}$)
L7	L6	L5	L4	L3	L2	L1	
0	1	1	1	1	1	1	+192.26
0	1	1	1	1	1	0	+189.21
⋮							⋮
0	0	0	0	0	1	0	+6.10
0	0	0	0	0	0	1	+3.05
0	0	0	0	0	0	0	±0.00
1	1	1	1	1	1	1	-3.05
1	1	1	1	1	1	0	-6.10
⋮							⋮
1	0	0	0	0	0	1	-192.26
1	0	0	0	0	0	0	-195.31

補正値は周波数で規定しています。

- 補正値の計算方法

1) 補正値がプラスの時

$$L[7 \sim 1] = \lceil \text{補正値} / 3.05 \rceil \text{ ただし、小数点以下 四捨五入}$$

計算例) 補正値が $+192 \times 10^{-6}$ 時

$$L[7 \sim 1] = 192.26 / 3.05 = 63 \text{ (10 進)} \\ = 0111111 \text{ (2 進) をセットします。}$$

2) 補正値がマイナスの時

$$L[7 \sim 1] = 128 - \lceil \text{補正値} / 3.05 \rceil \text{ ただし、小数点以下 四捨五入}$$

計算例) 補正値が -158×10^{-6} 時

$$DT[6 \sim 0] = 128 - (158 / 3.05) = 76 \text{ (10 進)} \\ = 1001100 \text{ (2 進) をセットします。}$$

3) 時計のズレ量から計算する時

30日間で30秒を補正する場合

$$\text{計算例) } 30 \text{ 秒} / 2592000 \text{ 秒 (30 日)} = 11.57 \times 10^{-6}$$

進ませたい場合

$$L[7 \sim 1] = 11.57 / 3.05 = 4 \text{ (10 進)} \cdots \text{ 小数点以下 四捨五入} \\ = 0000100 \text{ (2 進) をセットします。}$$

遅らせたい場合

$$L[7 \sim 1] = 128 - (11.57 / 3.05) = 124 \text{ (10 進)} \cdots \text{ 小数点以下 四捨五入} \\ = 1111100 \text{ (2 進) をセットします。}$$

14.9.1. デジタル歩度調整機能を使用した場合の他機能への影響について

この機能は内部の分周クロックを調整するため、定周期タイマ機能、FOUT 機能に影響します。

1) FOUT 機能

- ・ 1Hz を選択した場合…10 秒に一回、1Hz 周期が変動します。
- ・ 1024Hz を選択した場合…10 秒に一回、1024Hz 周期が変動します。
※ [L7 ~ L1] の設定によって変動しない場合があります。
- ・ 32.768kHz は影響しません。

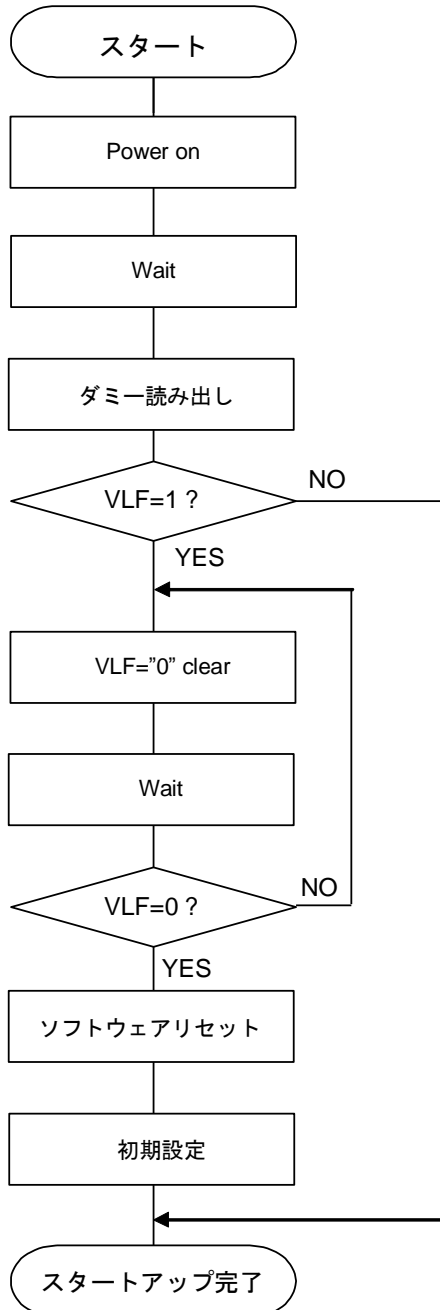
2) 定周期タイマ機能

- ・ ソースクロック 64Hz, 1Hz を選択した場合 …10 秒に一回、1 周期が変動します。
ダウンカウンタの設定値が大きいほど、相対的に
影響が小さく見えます。
- ・ ソースクロック 4kHz を選択した場合は影響受けません。

14.10. Flow-chart

- 以下のフローチャートは 一例です。
- * わかりやすさを優先した記載にしていますので、実際の処理の際には 非効率な部分があります。
- * より効率的な処理を行いたいときは、いくつかの処理を同時にしたり、操作手順を入れ替えても問題無い部分などを確認調整ください。(記載内容の中には、使用状況によっては 必要のない処理もあります)
- * 期待通りの動作を行うためには、必ず 使用条件 (使用環境) に合わせた調整をお願いいたします。

1) 電源投入時の処理例



- 40ms 以上の待ち時間が必要です。

- パワーオンリセットが有効となる電源条件を満足できない場合はダミー読み出しを実行してください。(I²C-BUS のみ必要)

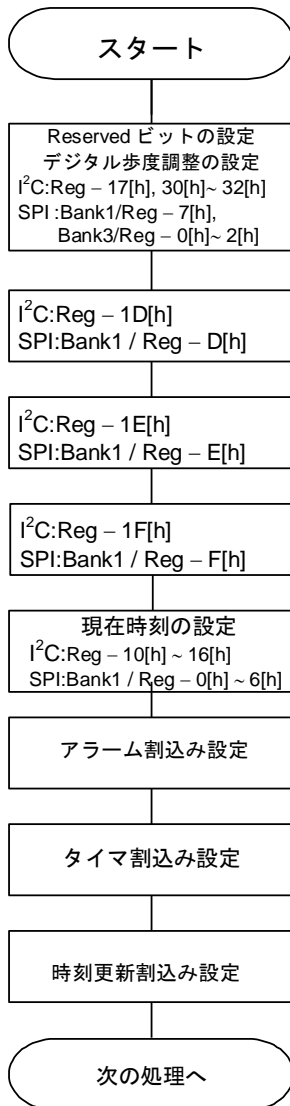
- バックアップからの復帰かどうかを確認します。

- 内部発振が開始するまで、VLF は "0" クリアすることができません。

- 任意の待ち時間を設定してください。

- パワーオンリセットが有効となる電源条件を満足できない場合はソフトウェアリセットを実行してください。左記の[ソフトウェアリセット]は、P.10 ソフトウェアコマンドによるパワーオンリセット手順の「VLF bit="1"の確認」以降の処理を行ってください。ソフトウェアリセット後 VLF bit は再度"1"がセットされますので、初期設定で再度"0"クリアを行ってください。

2) 初期化 例 1.



- Reserved bit は、必ず仕様通りの固定値を書き込んでください。
- デジタル歩度調整機能を使用しない場合は、DTE ビットに"0"を設定するように、アドレス 30[h]にはデータ 00[h]などを書き込んでください。

- TE bit に "0"を設定。
- FSEL1, 0 bit を任意の設定にします。

- VLF bit を"0" クリアする。
※発振が開始するまで"0"クリアしても"1"の状態を保持しますので、発振開始を待たずに初期化する場合は、VLF bit は、発振開始後に"0"クリアしてください。また IOCUTEN bit も同様に発振開始後に初期化してください。

- TEST bit は必ず "0"にしてください。
- AIE, TIE, UIE bit を "0" 不要な割り込み出力を事前防止します。

- 現在時刻を設定します。
* 現在時刻の設定については、[時計・カレンダーの書き込み]の項を参照ください。

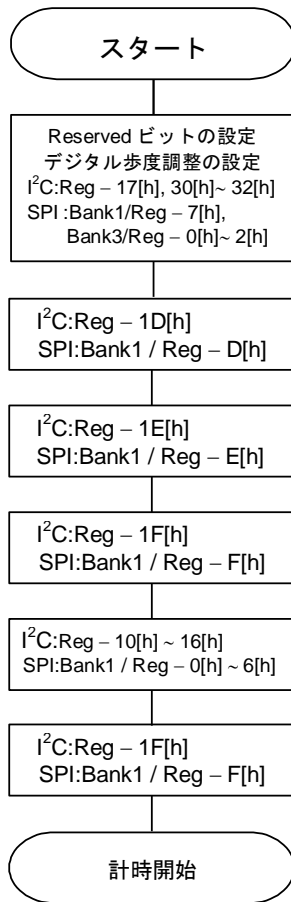
- アラーム割り込み機能を設定します。
(アラーム割り込み機能を使用しないときは、Alarm レジスタを RAM として使用できます。その場合は AIE ビットを必ず "0" にしてください。)

- タイマ割り込み機能を設定します。
(タイマ割り込み機能を使用しないときは、Timer Counter レジスタを RAM として使用できます。その場合は TE, TIE ビットを必ず "0" にしてください。)

- 時刻更新割り込み機能の設定をします。

* 初期化終了時には必ず STOP ビットが "0 (= 計時スタート)" になるようにしてください。

例 2. 時計機能のみ使用する場合の初期化例



- Reserved bit は、必ず仕様通りの固定値を書き込んでください。
- デジタル歩度調整機能を使用しない場合は、DTE ビットに"0"を設定するように、アドレス 30[h]にはデータ 00[h]などを書き込んでください。

- 書込み値 04[h]

- 書込み値 00[h]
※発振が開始するまで"0"クリアしても"1"の状態を保持しますので、発振開始を待たずに初期化する場合は、VLF bit は、発振開始後に"0"クリアしてください。また IOCUTEN bit も同様に発振開始後に初期化してください。

- 書込み値 40[h]
STOP ビットを "1" にし、時刻設定するまで計時を停止させます。

- 現在時刻の設定

- Write 00[h]
STOP ビットを "0" にすることで時刻更新がスタートします。

* 初期化終了時には 必ず STOP ビットが "0 (=計時スタート)" になるようにしてください。

3) 時計・カレンダーの書き込み例



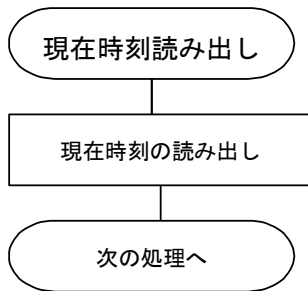
- STOP ビットを "1" にし、時刻設定中の計時更新を事前防止します。

- [年 / 月 / 日 [曜] 時:分:秒]のうち、設定 (または 再設定) が必要な情報を書き込みます。
* 初期化のときは、全てのデータを初期設定してください。

- STOP ビットを "0" に解除し、計時動作を開始 (再開) します。
* STOP ビットを "0" にした時点から、計時が開始します。

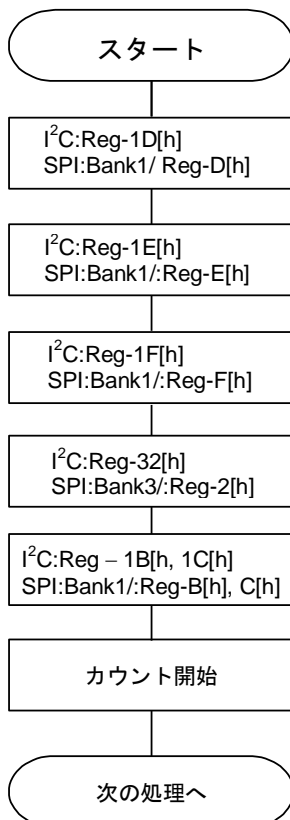
* STOP ビットを併用しなくても、時刻設定可能です。
STOP ビットを使用しない場合は、[[秒] を書き込んだ時点から、計時が開始する] 点に ご注意ください。
[秒] ~ [年] まで一括書き込みをした場合においても、[秒] に続くアクリッジによって、秒以下のカウンタがリセットされ、その時点から計時がスタートします。

4) 時計・カレンダーの読み出し例



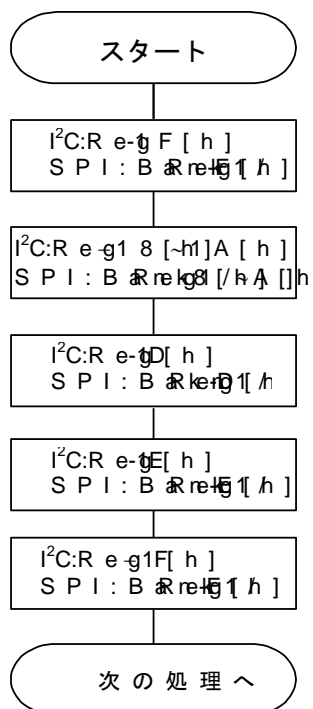
- 0.95 秒以内に[年 / 月 / 日 [曜] 時:分:秒] より、必要な情報を読み出します。読み出し時は、STOPビットが "0" のままで読み出しをしてください。(STOPビットを "1" にして読み出すと、時刻遅れの原因になります)
- 読み出されるデータは、通信開始時の時刻情報です。通信開始時に、時刻データは固定され(桁上げホールド)、通信終了時に、自動で時刻補正されます。
- 現在時刻の読み出しにおいては、アドレスオートインクリメント機能を使用して連続読み出しすることを推奨しています。

5) タイマ割り込み機能の設定例



- TE ビットを "0" クリアして、タイマ割り込み機能を停止させます。
- TSEL2, TSEL1, TSEL0 ビットの組み合わせでタイマのカウントダウン周期 (= ソースクロック) を設定します。
- TF ビットを "0" クリアして、前回のタイマ割り込み出力 (/IRQ 出力) を解除します。
- TIE ビット設定の設定でイベント発生時の /IRQ 出力を選択設定します。
- 通常動作/バックアップ動作のどちらでカウント動作を行うか、またはどちらの状態のときもカウント動作するよう設定します。
- 出力端子を設定します。(/IRQ1 または /IRQ2)
- ダウンカウンタの初期値を設定します。
- TE ビットを "1" にして、タイマ割り込み機能をスタートさせます。
注) タイマ割り込み機能をスタートさせるときは、必ず事前に、ダウンカウンタの初期値を設定してください。
- *1 カウンタを一時停止させるときは、TSOP ビットを "1" にしてください。TSOP ビットを "0" で再スタートします。
- *2 プリセット値から再開したい場合は、TE ビットを "0" クリアして再度 TE ビットを "1" にしてください。

6) アラーム割込み機能の設定



• AIEbiを“0”にしてアラーム割込み機能を停止します。

• アラーム時刻を設定します

• weeまたはdayをW A D Aで選択します。

• AFbiを“0”クリアします。

• AIEbiを“1”にして、/ I R 出力を有効にします。

14.11. I²C-Bus データの リード/ライト

14.11.1. I²C-BUS の特性

I²C -BUS は 2 線式の双方向通信です。信号線は、SDA（データライン）と SCL（クロックライン）とで構成されており、両ラインとも、プルアップ抵抗を介して V_{IO} ラインに接続します。

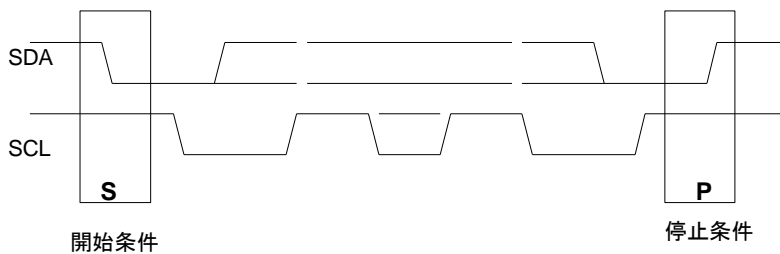
複数のデバイスの AND 接続を実行するために、I²C-BUS につながる全てのポートは オープンドレイン あるいはオープンコレクタでなければなりません。

14.11.2. ビット転送

SCL ラインの 1 クロックパルス毎に 1 ビットのデータ転送を行います。送信時、SDA ライン上のデータ変更は SCL ラインが LOW の区間で行います。受信側では、SCL ラインが HIGH の区間でデータを取り込みます。

14.11.3. 開始条件と停止条件

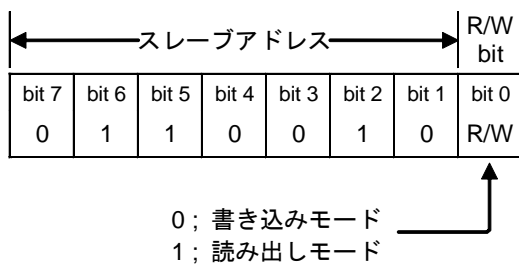
I²C-BUS が非通信状態の時、2 本のラインは HIGH を保っています。この時、SDA が HIGH から LOW に変化した状態を、通信の"開始条件"と定義します。この後、実際のデータ転送を行います。さらに、SCL が HIGH の時、SDA が LOW から HIGH に変化した状態を、通信の"停止条件"と定義します。



14.11.4. スレーブアドレス

I²C-BUS デバイスは、通常のロジックデバイスが有するチップセレクト端子を持ちません。全ての I²C-BUS デバイスは、機種ごとにユニークなデバイスナンバーが内部にあらかじめ固定記憶されています。I²C -BUS デバイスのチップセレクトは、通信開始時にこのデバイスナンバーを I²C-BUS によりスレーブアドレスとして送信することによって行います。受信デバイスは、スレーブアドレスが一致した場合のみ、その後の通信に反応します。

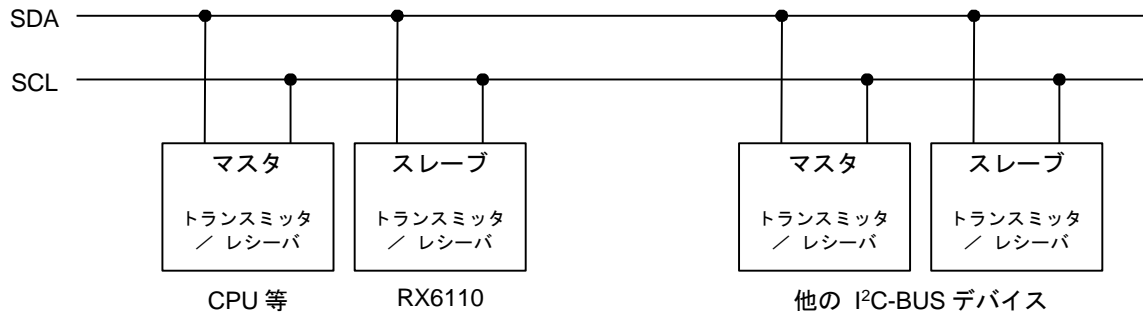
実際の通信時には、スレーブアドレスと共に、R/W（リードライト）ビットを付加した 8 ビットデータを送信します。



14.11.5. システム構成

メッセージの送受信を制御するデバイスを"マスタ"、マスタによって制御されるデバイスを"スレーブ"と定義します。また、メッセージを送信するデバイスを、"トランスミッタ"、メッセージを受信するデバイスを"レシーバ"と定義します。

RX6110 の場合、CPU 等のコントローラがマスタ、RX6110 がスレーブとなります。トランスミッタ、レシーバには双方とも成り得ます。



14.11.6. アクノリッジ

開始条件と停止条件との間で転送するデータのバイト数に制限はありません。

この時、1 バイトの転送毎に、レシーバ(受信側)は、トランスミッタ(送信側)に対し、アクノリッジビットというデータの受信確認のビットを生成します。アクノリッジビットは LOW アクティブですから、トランスミッタは SDA ラインを HIGH にし、アクノリッジビット用のクロックを送出します。

レシーバは、それまでにトランスミッタから送られた 8 ビットのデータを正しく受け取っていれば、最終ビット用のクロックが終了した時点で SDA ラインを LOW にします。I²C -BUS ラインはプルアップされているので、トランスミッタ側の SDA ラインも LOW になります。ここで、トランスミッタはアクノリッジが返って来たことを確認し、次のデータを送信します。レシーバは、アクノリッジビット用のクロックが終了した時点で、SDA ラインを HIGH (開放) にして次のデータ受信に備えます。

マスタがトランスミッタの時は、レシーバからのアクノリッジ確認後、次のデータ送受信をせずに停止条件を生成すれば、通信を正常終了することができます。マスタがレシーバの時は、アクノリッジビットを"1"として送出した後、停止条件を生成すれば通信を正常終了することができます。

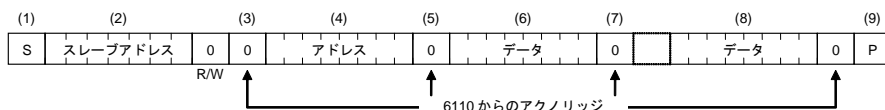
14.11.7. I²C-BUS プロトコル

以下に、マスタを CPU、スレーブを RX6110 と想定して通信手順を記します。

① アドレス指定の書き込み手順

RX6110 はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、6110 の受け取りアドレスは 1 バイト毎に加算されます。オートインクリメントは、Address 1F[h]まで来ると 00[h]に循環します。

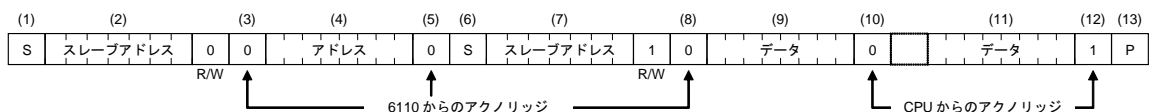
- (1) CPU が開始条件を送信
- (2) CPU が 6110 のスレーブアドレス、及び R/W ビットを書き込みモードで送出
- (3) 6110 からのアクノリッジ確認
- (4) CPU が 6110 へ書き込むアドレスを送出
- (5) 6110 からのアクノリッジ確認
- (6) CPU が(4)で指定したアドレスへ書き込むデータを送出
- (7) 6110 からのアクノリッジ確認
- (8) 必要に応じ(6)(7)のくり返し。アドレスは 6110 内部でオートインクリメント。
- (9) CPU が停止条件を送出



② アドレス指定の読みだし手順

書き込みモードによって、リードするアドレスをライトした後、読みだしモードを設定して、実際のデータをリードします。

- (1) CPU が開始条件を送出
- (2) CPU が 6110 のスレーブアドレス、及び R/W ビットを書き込みモードで送出
- (3) 6110 からのアクノリッジ確認
- (4) CPU が 6110 から読みだすアドレスを送出
- (5) 6110 からのアクノリッジ確認
- (6) CPU が開始条件を送信 (停止条件は送信しない)
- (7) CPU が 6110 のスレーブアドレス、及び R/W ビットを読み出しモードで送出
- (8) 6110 からのアクノリッジ確認 (ここから、CPU がレシーバ、6110 がトランスミッタとなる)
- (9) 6110 から(4)で指定したアドレスのデータが出る
- (10) CPU が 6110 へアクノリッジ送出
- (11) 必要に応じ、(9)(10)のくり返し。読みだしアドレスは 6110 内部でオートインクリメント。
- (12) CPU が"1"のアクノリッジを出す
- (13) CPU が停止条件を送出。



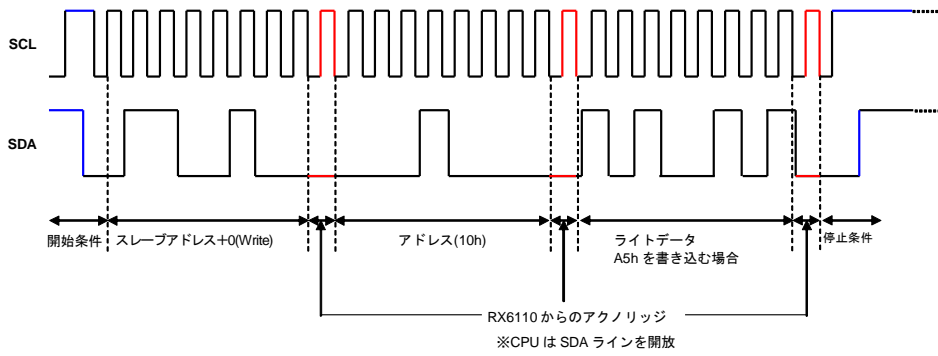
③ アドレス指定しない読み出し手順

最初に読みだしモードを設定することで、その後すぐにデータをリードできます。この場合のアドレスは、前回のアクセスで終了したアドレス+1 となります。

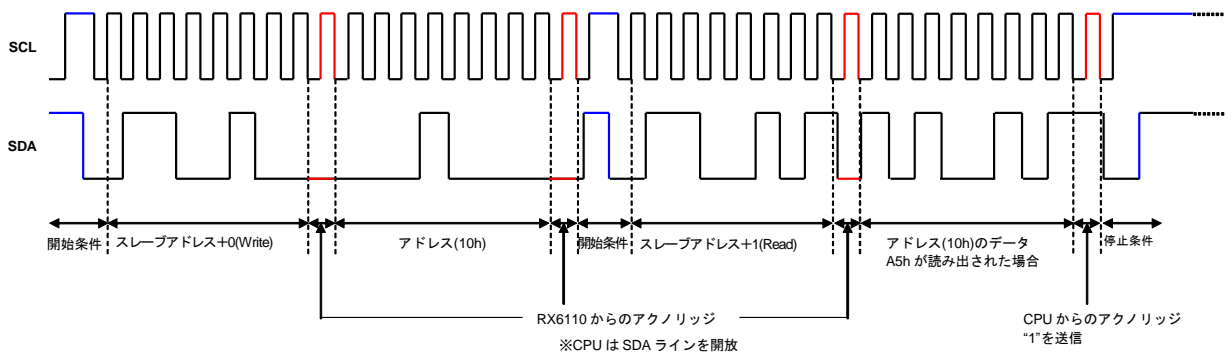
- (1) CPU が開始条件を送出
- (2) CPU が 6110 のスレーブアドレス、及び R/W ビットを読み出しモードで送出
- (3) 6110 からのアクノリッジ確認 (以降、CPU がレシーバ、6110 がトランスミッタとなる)
- (4) 6110 から、前回のアクセスにおける最終アドレス+1 のデータが出る
- (5) CPU が 6110 へアクノリッジ送出
- (6) 必要に応じ、(4)(5)のくり返し。読みだしアドレスは 6110 内部でオートインクリメント。
- (7) CPU が"1"のアクノリッジを出す
- (8) CPU が停止条件を送出。

14.11.8. I²C-BUS 通信波形例

① アドレス指定の書き込み波形例
アドレス 10h に A5h を書き込む場合



② アドレス指定の読みだし波形
アドレス 10h から A5h を読み出す場合



14.12. SPI-Bus データの リード/ライト

書き込み/読み出し共に、CE="H" の チップ選択状態にした後、4ビットのモード設定、
 続いて4ビットのアドレス指定を行い、その後は8ビット単位でのデータ R/W をおこないます。
 書き込み/読み出し共に、MSB-ファーストです。連続動作では、対象アドレスがオートインクリメントされます。
 アドレスのオートインクリメントは循環で、アドレス"F"の次はアドレス"0"となります。
 アクセスする Bank を変更する場合は都度、モード設定を行ってください。

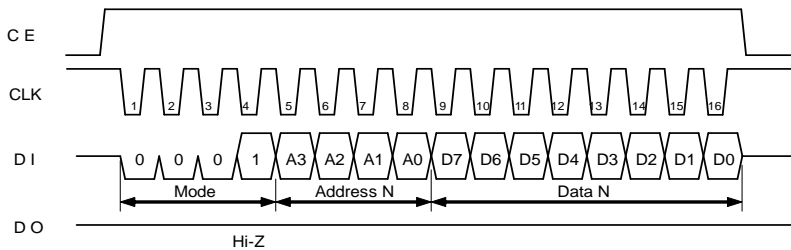
14.12.1 データの書き込み

Read/Write の選択は、通信の最初の 4 ビットのモード設定コードにて 対象レジスタをバンク指定し、
 アクセスします。

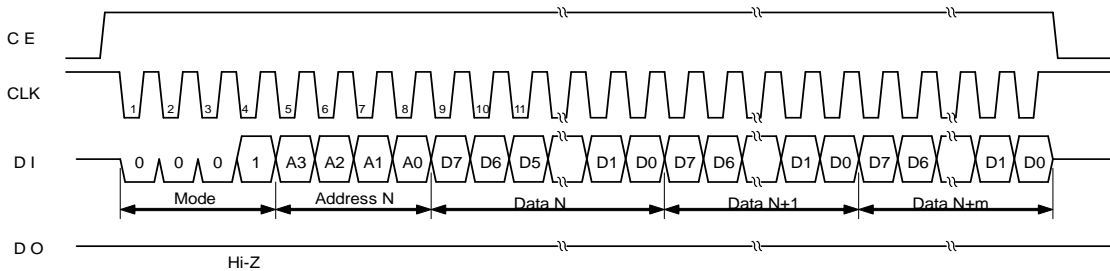
Mode	Bank1	Bank2	Bank3	Bank6
Read	9 h	A h	B h	Eh
Write	1 h	2 h	3 h	6h

14.12.2 データの書き込み

1) 単発 書き込み



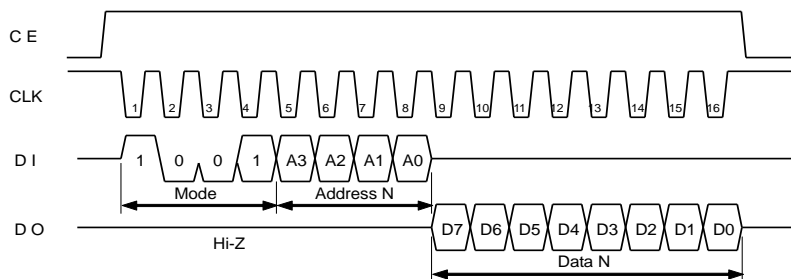
2) 連続 書き込み



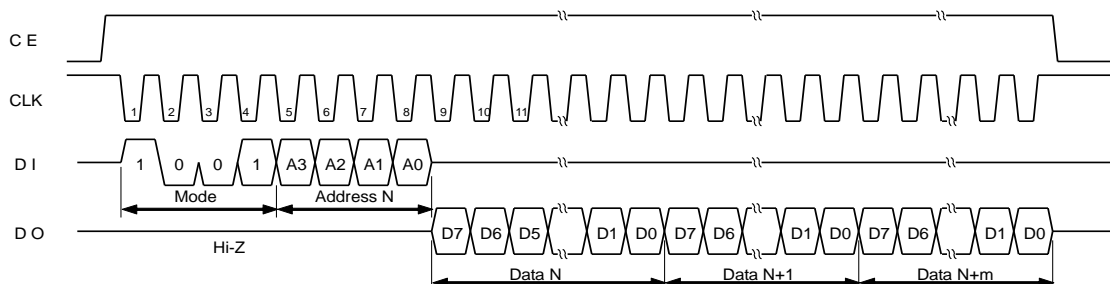
※ データライト時は8ビット単位でのデータを入力する必要があります。
 8ビット単位でのデータ入力が未完の状態でも CE 入力を立ち下げた場合、CE 入力が立ち下がった時点の
 8ビットデータは正常な書き込みができません。

14.12.3 データの読み出し

1) 単発 読み出し



2) 連続 読み出し



Application Manual

セイコーエプソン株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒541-0059 大阪市中央区博労町 3-5-1 御堂筋グランタワー 15F
TEL (06) 6120-6510 (直通) FAX(06) 6120-6782

〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

インターネットによる情報配信

<http://www5.epsondevice.com/ja/>

代理店 _____