

アプリケーションマニュアル

RF Transmitter Module

SR3225SAA

● 本マニュアルのご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に記載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数値線上の大小関係で表します。
5. 輸出管理について
 - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
 - (2) 大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
6. 製品は一般電子機器に使用されることを意図し設計されたものです。特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得て下さい。承諾無き場合は如何なる責任も負いかねることがあります。
 - 1 宇宙機器(人工衛星・ロケット等) 2 輸送車両並びにその制御機器(航空機・列車・船舶等)
 - 3 生命維持を目的とした医療機器 4 海底中継機器 5 発電所制御機器 6 防災・防犯装置 7 交通用機器
 - 8 その他; 1 ～7 と同等の信頼性を必要とする用途

本資料に掲載されている会社名、商品名は、各社の商標もしくは登録商標です。

目次

1. 概要.....	1
2. 品目名称体系	2
3. ブロック図.....	3
4. 端子配置	4
4.1. ピン割り当て.....	4
4.2. 端子説明	4
5. 電気的特性.....	5
5.1. 絶対最大定格	5
5.2. DC 特性	6
5.3. AC 特性	8
6. 機能説明	12
6.1. 概要.....	12
6.2. SPI インターフェース.....	12
6.2.1. インターフェースモードの切り替え.....	13
6.2.2. SFR アクセスコマンド.....	14
6.2.3. SPI チェックサム	16
6.2.4. トランスミットコマンド	17
6.3. 動作制御方法.....	21
6.3.1. 状態遷移	21
6.3.2. 制御タイミング.....	22
6.4. 出力周波数設定	23
6.4.1. 周波数設定値の算出	23
6.5. FSK 制御	25
6.5.1. 変調幅設定.....	25
6.5.2. Soft-FSK 制御	26
6.6. 出力電力設定	26
6.6.1. ASK 制御.....	26
6.6.2. Soft-ASK 制御.....	28
6.6.3. アンテナチューニングについて	28
6.7. フェイルセーフ機能.....	29
6.7.1. PLL ロックエラー検出	29
6.7.2. VCO 自動校正エラー検出	29
6.7.3. 低電源電圧検知.....	29
6.8. CKOUT 機能.....	31
6.8.1. 分周器構成.....	31
6.8.2. 分周設定	32
6.8.3. 出力 CMOS ドライバ	33
6.9. 状態確認機能.....	33
6.9.1. 送信回数カウンタ機能.....	33
6.9.2. 水晶発振器の発振状態確認機能.....	33
7. SFR (Special Function Register)	34
7.1. SFR 一覧	34
7.2. PLL 分数分周設定 Frequency channel 1	35
7.3. PLL 分数分周設定 Frequency channel 2	35
7.4. PLL 整数分周設定 Frequency channel 1,2	35

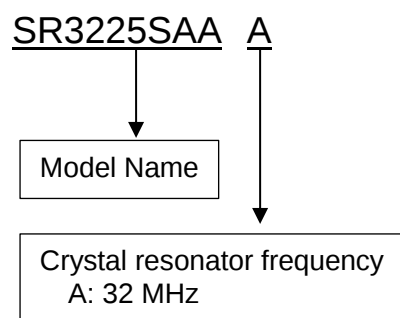
7.5. PLL 分数分周設定 Frequency channel 3	36
7.6. PLL 分数分周設定 Frequency channel 4	36
7.7. PLL 整数分周設定 Frequency channel 3,4	36
7.8. FSK 変調幅設定、出力分周設定、CKOUT ドライバ能力設定	37
7.9. FSK 変調幅設定	37
7.10. ASK 変調設定 0	38
7.11. ASK 変調設定 1	38
7.12. ASK 変調設定 2	39
7.13. Soft-ASK 変調設定	39
7.14. Soft-FSK 変調設定	40
7.15. CKOUT / Bitrate Signal 分周器設定 1	40
7.16. CKOUT / Bitrate Signal 分周器設定 2	41
7.17. 低電源電圧検知 / アンテナチューニング設定	42
7.18. エラー検知結果	43
7.19. トランスミッタコントロール	44
7.20. SPI チェックサム	45
8. 外形寸法	46
9. マーキング	47
10. はんだ付けパターン例	48
11. 使用上の注意事項	49

1. 概要

RF Transmitter Module: SR3225SAA は UHF 帯対応の無線送信機です。3.2 mm x 2.5 mm セラミックパッケージ内に、水晶振動子、発振回路、PLL、PowerAmpを内蔵しています。ICと水晶振動子を組合せて弊社が周波数調整して出荷いたします。外部制御機器との組み合わせで無線送信機能が構成できるため、小型無線装置に最適です。

- 出力周波数範囲 300 MHz ~ 465 MHz (0.25 kHz Step)、600 MHz ~ 930 MHz (0.49 kHz Step)
- Δ - Σ フラクショナル-N PLL 搭載
- 出力電力 -15 dBm ~ 11 dBm、128 段階プログラマブル
- 変調方式 ASK、OOK、FSK 送信帯域制限のための Soft-ASK、Soft-FSK 機能搭載
- 任意設定可能な 4 ch のマルチチャンネル、チャンネルホッピング対応
- 3 線または 4 線 SPI インターフェースによる動作制御
- SFR (Special Function Register) 搭載
- フェイルセーフ機能搭載 (PLL ロックエラー検知、VCO 校正エラー検知、低電源電圧検知)
- 32 MHz の水晶振動子、水晶発振回路を内蔵
- 内蔵水晶発振器信号に同期する同期送信モード搭載
- 内蔵水晶発振器信号を CKOUT 端子より出力可能、分周設定はプログラマブル
- 低電圧検知機能搭載、検知電圧は 1.8 V ~ 2.4 V で 4 段階プログラマブル
- 10-pin セラミック 3.2 mm x 2.5 mm パッケージ
- 電源電圧 1.8 V ~ 3.6 V
- 動作温度 -40 °C ~ +85 °C
- Pb-free/RoHS-compliant

2. 品目名称体系



3. ブロック図

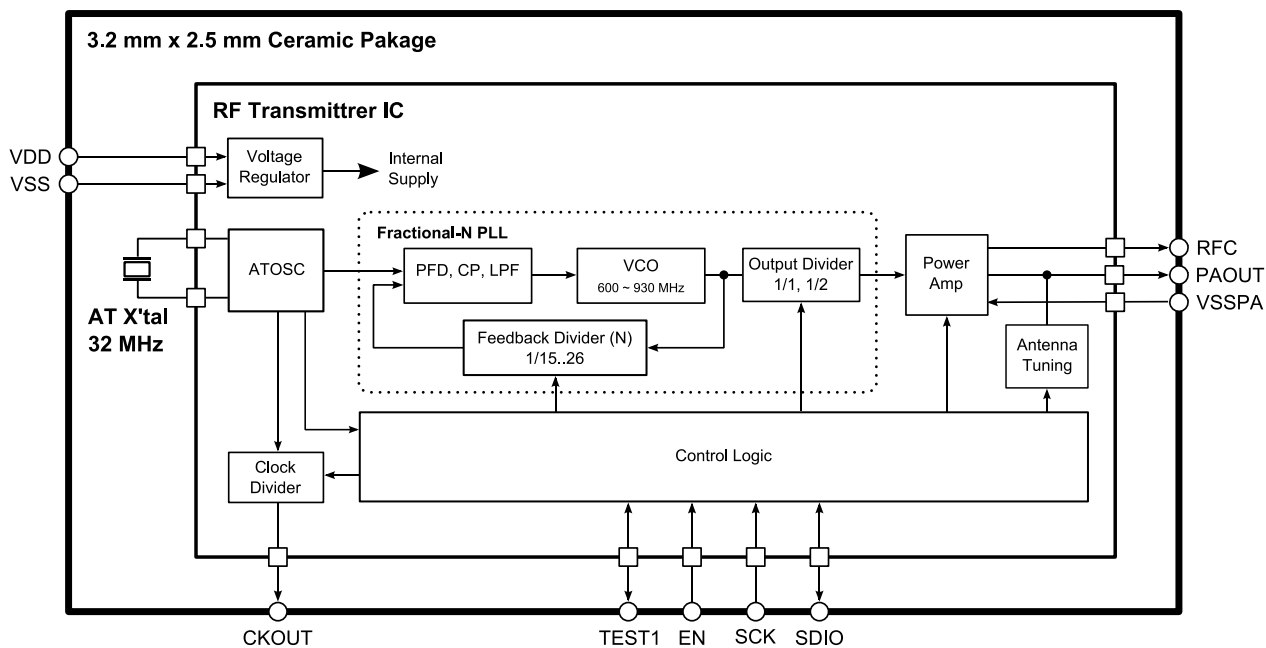
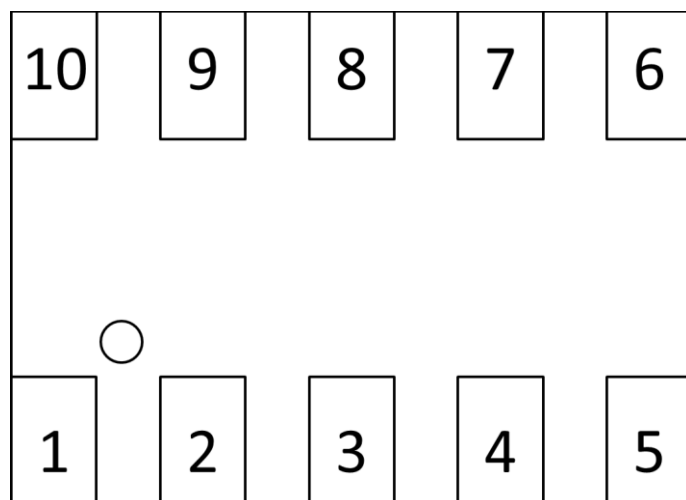


図 3.1 SR3225SAA ブロック図

4. 端子配置

4.1. ピン割り当て



(Top View)

4.2. 端子説明

表 4.1 端子説明

番号	端子名	種別		機能
1	TEST1	Input/Output	Pull-down	テスト端子 / TxDATA 入力機能 / SPI 通信端子 未使用時は N.C.
2	EN	Input	Pull-down	イネーブル入力、SPI 通信用端子
3	SCK	Input	Pull-down	SPI 通信用端子 クロック入力端子
4	SDIO	Input/Output	Pull-down	SPI 通信用端子 データ入出力端子
5	CKOUT	Output	-	クロック出力端子
6	VSSPA	Power	-	Power Amp 用グラウンド端子
7	PAOUT	Output	-	Power Amp 出力端子
8	RFC	Output	-	RF チョークコイル接続端子
9	VDD	Power	-	+電源端子
10	VSS	Power	-	グラウンド端子

5. 電気的特性

5.1. 絶対最大定格

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
電源電圧	VDD	VSS = 0 V	-0.3	-	4.0	V
入力電圧	V _{in}	VSS = 0 V	VSS - 0.3	-	VDD + 0.3	V
保存温度	Tstg	単品での保存	-40	-	+125	°C

5.2. DC 特性

表 5.1 電源・動作温度

VSS = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
電源電圧	VDD	-	1.8	3.0	3.6	V
電源電流 Powerdown 状態	I _{DDPD}	VDD = 3.0 V, Ta = 25 °C	-	20	100	nA
		VDD = 3.6 V, Ta = 85 °C ^{*1}	-	-	900	
電源電流 ATOSC-Active 状態	I _{DDAT}	-	-	860	1100	μA
電源電流 PLL-Standby 状態	I _{DDPLL}	F _{TX} = 315 MHz, F _{PLL} = 630 MHz	-	2.2	2.5	mA
		F _{TX} = 915 MHz, F _{PLL} = 915 MHz ^{*1}	-	2.5	2.8	mA
電源電流 Transmitter-Active 状態	I _{DDTMA}	F _{TX} = 315 MHz, HPWR = 1, PADUTY = 10b				
		Pout = 5 dBm, AM* = 0x1A ^{*1}	-	10.0	11.0	mA
		Pout = 8 dBm, AM* = 0x29 ^{*1}	-	12.7	13.7	
		Pout = 10 dBm, AM* = 0x36	-	15.0	16.0	
		F _{TX} = 433MHz, HPWR = 1, PADUTY = 10b				
		Pout = 5 dBm, AM* = 0x16 ^{*1}	-	10.0	11.0	mA
		Pout = 8 dBm, AM* = 0x24 ^{*1}	-	12.5	13.5	
		Pout = 10 dBm, AM* = 0x30 ^{*1}	-	14.5	15.5	
		F _{TX} = 868 MHz, HPWR = 1, PADUTY = 01b				
		Pout = 5 dBm, AM* = 0x19 ^{*1}	-	11.7	12.7	mA
		Pout = 8 dBm, AM* = 0x28 ^{*1}	-	14.4	15.4	
		Pout = 10 dBm, AM* = 0x35 ^{*1}	-	16.5	17.5	
		F _{TX} = 915 MHz, HPWR = 1, PADUTY = 01b				
		Pout = 5 dBm, AM* = 0x19 ^{*1}	-	11.8	12.8	mA
		Pout = 8 dBm, AM* = 0x27 ^{*1}	-	14.4	15.4	
		Pout = 10 dBm, AM* = 0x34 ^{*1}	-	16.5	17.5	
電源電流 CKOUT 機能有効時	I _{DDCK}	CKOUT 有効時の電流増加分 負荷容量 15 pF				
		SR = 11b, F _{CKOUT} = 32 MHz ^{*1}	-	-	3.0	mA
		SR = 00b, F _{CKOUT} = 2 MHz ^{*1}	-	-	0.3	
動作温度 ^{*1}	Ta	-	-40	-	+85	°C
Note 1: 設計、評価結果、シミュレーションなどから保証する項目であり、出荷検査されません。						

Note 1: 設計、評価結果、シミュレーションなどから保証する項目であり、出荷検査されません。

表 5.2 Logic I/O

VDD = 1.8 V ~ 3.6 V, VSS = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
H レベル入力電圧	V _{IH}	EN, SCK, SDIO, TEST1	VDD x 0.8	-	VDD + 0.3	V
L レベル入力電圧	V _{IL}	EN, SCK, SDIO, TEST1	-0.3	-	VDD x 0.2	V
H レベル出力電圧	V _{OH1}	SDIO, TEST1, I _O = -0.4 mA	VDD x 0.9	-	-	V
	V _{OH2}	CKOUT, SR = 11b 設定時, I _O = -1 mA SR = 10b 設定時, I _O = -0.7 mA SR = 01b 設定時, I _O = -0.5 mA SR = 00b 設定時, I _O = -0.2 mA	VDD x 0.9	-	-	V
L レベル出力電圧	V _{OL1}	SDIO, TEST1(4 線 SPI モード), I _O = 0.4 mA	-	-	VDD x 0.1	V
	V _{OL2}	CKOUT, SR = 11b 設定時, I _O = 1 mA SR = 10b 設定時, I _O = 0.7 mA SR = 01b 設定時, I _O = 0.5 mA SR = 00b 設定時, I _O = 0.2 mA	-	-	VDD x 0.1	V
内蔵プルダウン抵抗 ^{*1}	R _{DOWN}	EN, SCK, SDIO, TEST1	-	250	-	kΩ
入力容量 ^{*1}	C _{IN}	EN, SCK, SDIO, TEST1	-	5	-	pF

Note 1: 設計、評価結果、シミュレーションなどから保証する項目であり、出荷検査されません。

表 5.3 低電源電圧検出特性

VSS = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件		規格			単位
				Min.	Typ.	Max.	
検出電圧	V _{DECT}	VDD Falling	VDET = 00b	1.75	1.80	1.85	V
			VDET = 01b	1.95	2.00	2.05	V
			VDET = 10b	2.15	2.20	2.25	V
			VDET = 11b	2.35	2.40	2.45	V
解除電圧	V _{RELE}	VDD Rising	VDET = 00b	1.95	2.00	2.05	V
			VDET = 01b	2.15	2.20	2.25	V
			VDET = 10b	2.35	2.40	2.45	V
			VDET = 11b	2.55	2.60	2.65	V

5.3. AC 特性

表 5.4 トランスミッタ特性

VDD = 1.8 V ~ 3.6 V, VSS = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
搬送波周波数範囲	F _{TX}	-	300	-	465	MHz
			600	-	930	
変調方式	-	-	ASK / OOK / FSK			
ASK 伝送速度 ^{*1}	R _{ASK}	NRZ	-	-	100	kbps
FSK 伝送速度 ^{*1}	R _{FSK}	NRZ	-	-	50	kbps
搬送波周波数分解能	F _{STEP}	搬送波周波数 = 300 MHz ~ 465 MHz	-	-	244	Hz
		搬送波周波数 = 600 MHz ~ 930 MHz	-	-	488	Hz
FSK 偏移周波数	F _{DEV}		±0.49	-	±996.1	kHz
ASK 変調度 ^{*1}	A _{DEV}	OOK 設定時 ON 時と OFF 時の振幅比率	90	-	-	%
水晶発振器周波数	F _{OSC}		-	32	-	MHz
水晶発振器周波数初期偏差 ^{*2}	F _{TOL}	Ta = +25 °C	-2	-	2	ppm
水晶発振器周波数温度特性 ^{*1}	F _{TC}	-40 °C ~ +85 °C	-20	-	20	ppm
水晶発振器起動時間	t _{XTAL}	図 6.15 参照	-	-	500	μs
CKOUT 出力周波数	F _{CKOUT}	図 6.20 参照	0.00049	-	32	MHz
CKOUT 立ち上がり / 立下り時間 ^{*1}	tr / tf	負荷容量 15 pF, 20 ~ 80% VDD				
		SR = 11b	-	-	5	ns
		SR = 10b	-	-	7	ns
		SR = 01b	-	-	10	ns
		SR = 00b	-	-	20	ns
CKOUT 波形シンメトリ ^{*1}	SYM	SR = 11b, 負荷容量 15 pF F _{CKOUT} = 32MHz	45	-	55	%
PLL セトリング時間 ^{*1}	t _{FSTE}	図 6.9、図 6.10 参照	-	-	100	μs
SSB 位相雑音 ^{*1}	F _{CN}	F _{TX} = 315 MHz				
		100 Hz offset	-	-96	-	dBc/Hz
		1 kHz offset	-	-106	-	
		10 kHz offset	-	-110	-	
		100 kHz offset	-	-106	-	
		1 MHz offset	-	-96	-	
		10 MHz offset	-	-104	-	
		F _{TX} = 915 MHz				
		100 Hz offset	-	-87	-	dBc/Hz
		1 kHz offset	-	-97	-	
		10 kHz offset	-	-103	-	
		100 kHz offset	-	-96	-	
		1 MHz offset	-	-88	-	
		10 MHz offset	-	-99	-	

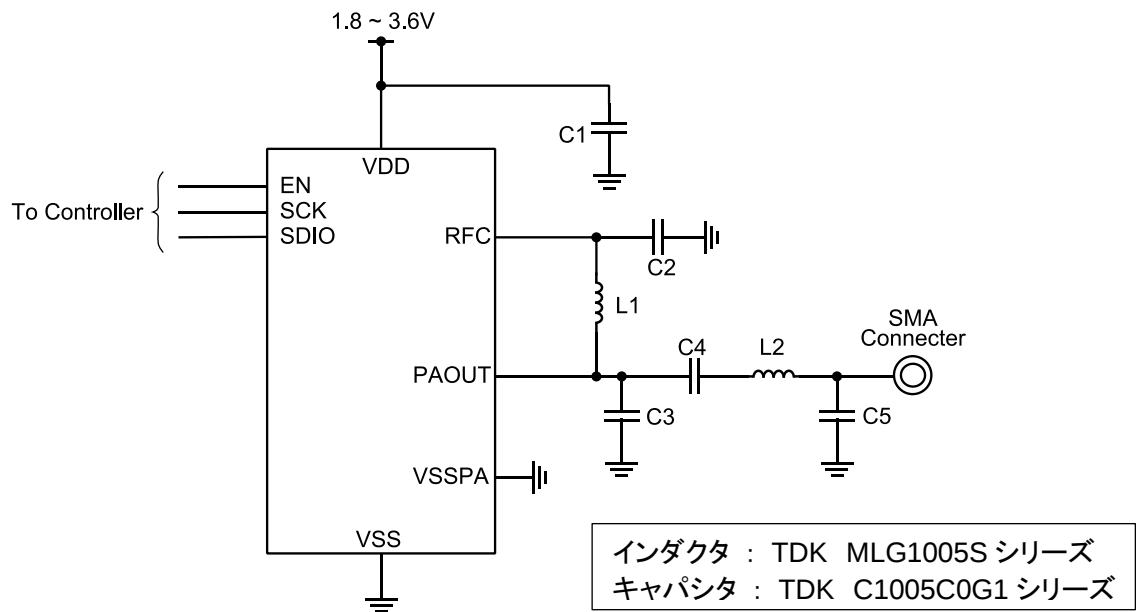
Note 1: 設計、評価結果、シミュレーションなどから保証する項目であり、出荷検査されません。

Note 2: エージングによる変動分は含みません。

表 5.5 パワーアンプ特性

VSS = 0 V

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
定格出力電力 ^{*1*2*3}	P _{OUT}	Ta = 25 °C, VDD = 3.0 V, F _{TX} = 315 MHz, HPWR = 1, PADUTY = 10b				
		AM* = 0x3F	10.0	11.0	12.0	dBm
		AM* = 0x01	-6.5	-5.5	-4.5	
		Ta = 25 °C, VDD = 3.0 V, F _{TX} = 433 MHz, HPWR = 1, PADUTY = 10b				
		AM* = 0x3F	10.5	11.5	12.5	dBm
		AM* = 0x01	-6.0	-5.0	-4.0	
		Ta = 25 °C, VDD = 3.0 V, F _{TX} = 868MHz, HPWR = 1, PADUTY = 01b				
		AM* = 0x3F	9.5	11.0	12.5	dBm
		AM* = 0x01	-7.0	-5.5	-4.0	
		Ta = 25 °C, VDD = 3.0 V, F _{TX} = 915MHz, HPWR = 1, PADUTY = 01b				
		AM* = 0x3F	9.5	11.0	12.5	dBm
		AM* = 0x01	-7.0	-5.5	-4.0	
		Ta = 25 °C, VDD = 3.0 V, F _{TX} = 315 MHz, HPWR = 0, PADUTY = 10b				
		AM* = 0x3F	1.0	2.0	3.0	dBm
		AM* = 0x01	-16.0	-15.0	-14.0	
出力電力 温度特性 ^{*1*2}	P _{TMP}	Ta = -40 °C ~ + 85 °C, VDD = 3.0 V	-1	-	1	dB
出力電力 電源電圧特性 ^{*1*2}	P _{VDD}	Ta = 25 °C, VDD = 1.8 V ~ 3.6 V, VDD=3.0V 時を基準として				
		AM* > 0x20	-4	-	1	dB
		AM* ≤ 0x20	-1	-	1	dB
高調波抑圧度 ^{*1*2}	P _{dBc}	Ta = 25 °C, VDD = 3.0 V, AM* = 0x1F, HPWR = 1, 2 次高調波比				
		F _{TX} = 315 / 433 MHz, PADUTY = 10b	-	-34	-	dBc
		F _{TX} = 868 / 915 MHz PADUTY = 01b	-	-40	-	dBc
Note 1: 設計、評価結果、シミュレーションなどから保証する項目であり、出荷検査されません。						
Note 2: 図 5.1 に示す PAOUT AC Test Circuit での評価結果になります。						
Note 3: エージングによる変動分は含みません。						



F _{TX}	C1	C2	C3	C4	C5	L1	L2
315 MHz	0.1 μ F	560 pF	7 pF	82 pF	10 pF	100 nH	39 nH
433 MHz	0.1 μ F	560 pF	7 pF	22 pF	10 pF	82 nH	27 nH
868 MHz	0.1 μ F	100 pF	3 pF	33 pF	5 pF	22 nH	10 nH
915 MHz	0.1 μ F	100 pF	3 pF	22 pF	5pF	22 nH	10 nH

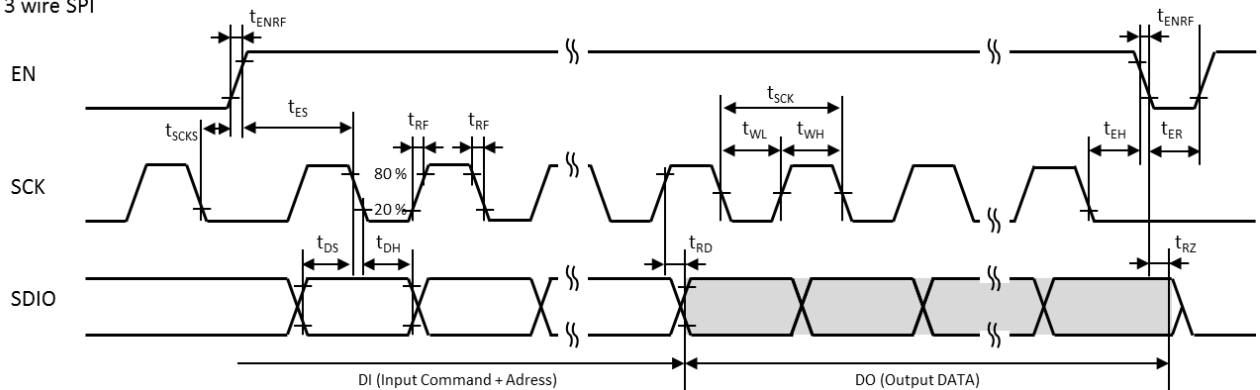
図 5.1 PAOUT AC Test Circuit

表 5.6 SPI インターフェース特性

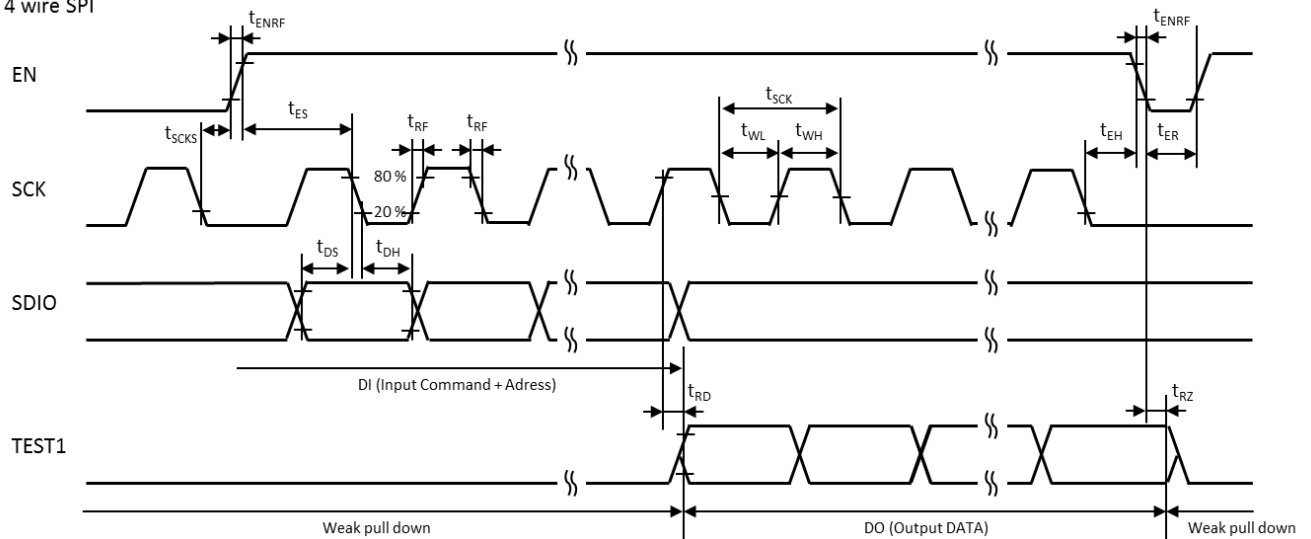
VDD = 1.8 V ~ 3.6 V, VSS = 0 V, Ta = -40 °C ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
SCK クロック周期	t_{SCK}	-	330	-	-	ns
SCK H パルス幅	t_{WH}	-	150	-	-	ns
SCK L パルス幅	t_{WL}	-	150	-	-	ns
SCK 立ち上がり・立下り時間	t_{RF}	-	-	-	20	ns
SCK セットアップ時間	t_{SCKS}	-	100	-	-	ns
EN セットアップ時間	t_{ES}	-	150	-	-	ns
EN ホールド時間	t_{EH}	-	100	-	-	ns
EN リカバリー時間	t_{ER}	-	100	-	-	ns
EN 立ち上がり・立下り時間	t_{ENRF}	-	-	-	30	ns
書き込みデータセットアップ時間	t_{DS}	-	20	-	-	ns
書き込みデータホールド時間	t_{DH}	-	20	-	-	ns
読み出しデータ遅延時間	t_{RD}	CL = 50 pF	0	-	100	ns
SDIO 出力ディゼーブル時間	t_{RZ}	CL = 50 pF	0	-	100	ns

3 wire SPI



4 wire SPI



6. 機能説明

6.1. 概要

RF Transmitter Module: SR3225SAA は UHF 帯対応の無線送信機です。3.2 mm x 2.5 mm セラミックパッケージ内に、水晶振動子、発振回路、PLL、Power Amp を内蔵しています。IC と水晶振動子を組合せて弊社が周波数調整して出荷いたします。外部制御機器と組み合わせるだけで無線送信機能が構成でき、小型無線装置に最適です。

SPI インターフェースにより無線送信機の設定や状態を制御可能であり、300 MHz ~ 465 MHz、600 MHz ~ 930 MHz の搬送波周波数に対応します。変調方式は ASK/OOK/FSK を選択可能です。変調信号をランプ波形に整形することが可能であり、送信信号の占有帯域抑圧機能を搭載しております。(Soft-ASK、Soft-FSK)

フェイルセーフ機能を搭載しており、フェイルを検知した場合 Power Amp の電源を停止することができます。

内部水晶発振器の信号を CKOUT 端子から出力可能であり、MCU 用のクロック信号や割り込み信号として使用することが可能です。

6.2. SPI インターフェース

SR3225SAA は 3 線、もしくは 4 線の SPI インターフェースを備えています。動作設定や制御に用いる SFR へのアクセスや、トランスミットコマンドを用いての変調信号送信を行います。

EN

EN 端子は SPI 通信のイネーブル入力、状態制御、及び送信データのラッチタイミング入力の兼用端子です。

EN 端子を立ち上げると SPI 通信が開始されると共に、Powerdown 状態から ATOSC-Active 状態に遷移し、 t_{XTAL} 経過後 (Max: 500 μ s) に CKOUT 端子から 32 MHz の 16 分周である 2 MHz を出力します。その後、EN 端子を立ち下げると SPI インターフェースが初期化されます。さらに 8.2 ms (2^{18} 水晶発振クロック) L レベルを維持すると Powerdown 状態に遷移します。

トランスミットコマンド送信後 (Bit “B” = 1 の場合) には、EN 端子は送信データのラッチタイミングの入力になり、EN 信号の立下りで SDIO 信号を送信データとしてラッチします。

SCK

SCK 端子は SPI 通信時のクロック入力端子です。SCK の立下り信号に同期して、SDIO のデータを取り込みます。

SDIO

SDIO 端子は 3 線 SPI 通信モードでは双方向データ通信用端子となり、4 線 SPI 通信モードではデータ入力用端子です。

無線信号送信中は送信信号入力端子となります。ただし TEST1 端子からの送信信号入力を選択した場合には、無線信号送信中、SDIO 信号は送信動作に影響を与えません。詳細は 6.2.4 節をご覧ください。

TEST1

4 線 SPI 通信モード選択時には SPI 通信のデータ出力端子です。

また TEST1 端子からの送信信号入力モードを選択した場合には、送信信号入力端子となります。詳細は 6.2.4 節をご覧ください。

6.2.1. インターフェースモードの切り替え

SFR のアドレス 0x15 に割り当てられている IFSEL[1:0]を設定することで、SPI の通信と送信信号入力のインターフェースモードを切り替えることができます(表 6.1、図 6.1)。

4 線 SPI モードでの MCU との接続の場合、データの書き込みは IFSEL[1:0]の設定に依らず可能ですが、データの読み出しは、IFSEL[1:0]の設定後のみ可能です。

表 6.1 インターフェースモード設定

IFSEL[1:0]	SPI 通信設定	送信信号入力端子
00b	3 線 SPI 通信モード (既定値)	SDIO
01b	4 線 SPI 通信モード	SDIO
10b	3 線 SPI 通信モード	TEST1
11b	使用禁止	

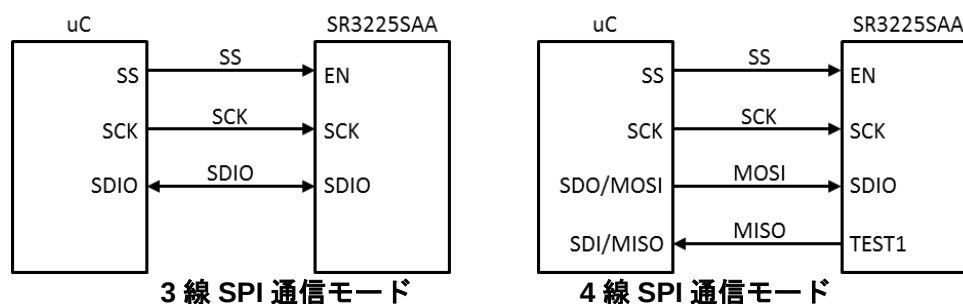


図 6.1 MCU との接続について

6.2.2. SFR アクセスコマンド

3 線および 4 線 SPI 通信によって、SFR にアクセスします。

SFR の 3 線および 4 線 SPI 通信の書き込み制御のタイミングを図 6.2 に、3 線 SPI 通信の読み出しタイミングを図 6.3、4 線 SPI 通信の読み出しタイミングを図 6.4 に示します。

WRITE SFR (3 & 4 wire SPI)

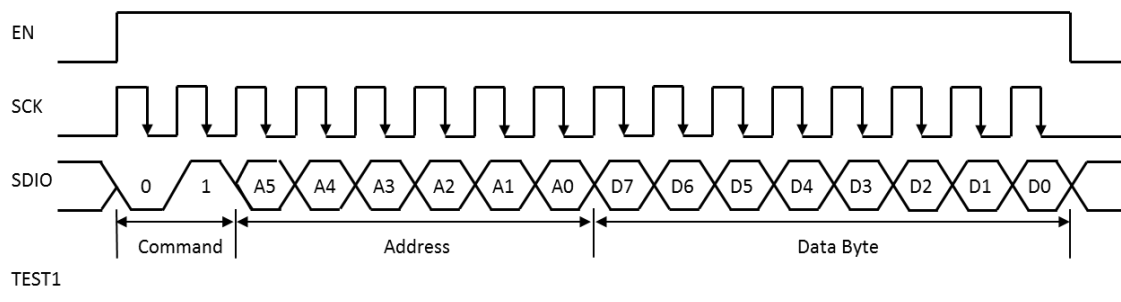


図 6.2 SFR 書き込み

READ SFR (3 wire SPI)

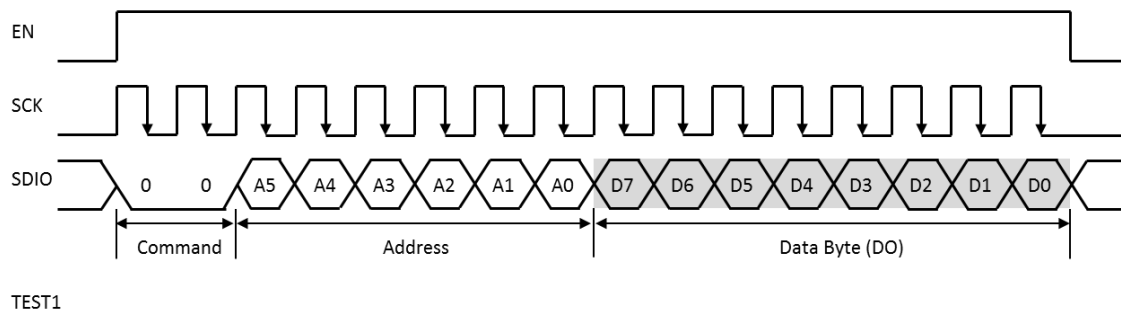


図 6.3 3 線 SPI 通信 SFR 読み出し

READ SFR (4 wire SPI)

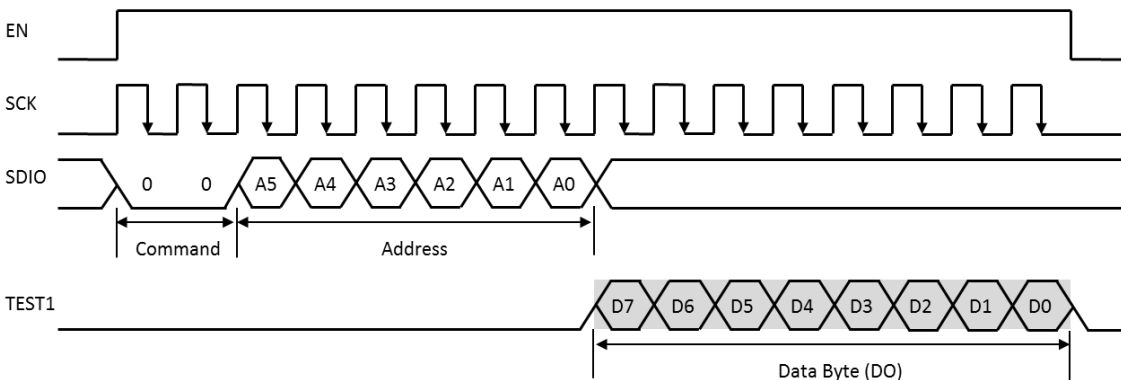


図 6.4 4 線 SPI 通信 SFR 読み出し

データ取り込みは SCK の立ち下がりに同期し、データ出力は SCK の立ち上がりで出力データ更新を行います。EN 立ち上げ後、表 6.2 に示すコマンドビットを 2 bit 送信します。その後、アクセスする SFR のアドレス 6 bit を送信します。続けて、書き込みであれば書き込みデータを 8 bit 送信します。読み出しであれば、指定したアドレスのデータが出力されます。

表 6.2 コマンドビット割り当て

コマンドビット	機能
00b	SFR 読み出し
01b	SFR 書き込み
10b	使用禁止
11b	トランスミットコマンド

SR3225SAA は連続書き込み、連続読み出しに対応しています。3 線および 4 線 SPI 通信の連続書き込みを図 6.5、3 線 SPI 通信での連続読み出しを図 6.6、4 線 SPI 通信での連続読み出しを図 6.7 に示します。連続書き込み、読み出し時には、SFR のアドレスが自動的にインクリメントされます。

SFR の通信の終了時には、EN を L にして、SFR 通信をリセットする制御を推奨します。

SFR の通信の終了時に EN を L にしなかった場合、外来ノイズ等により、予期しない SFR の書き込み動作が発生する可能性があります。

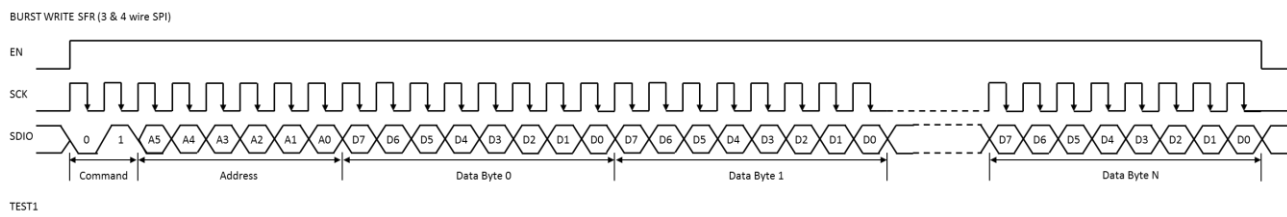


図 6.5 SFR 連続書き込み

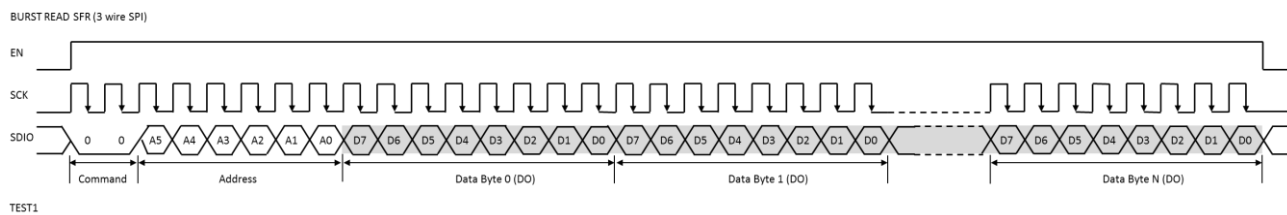


図 6.6 3 線 SPI 通信 SFR 連続読み出し

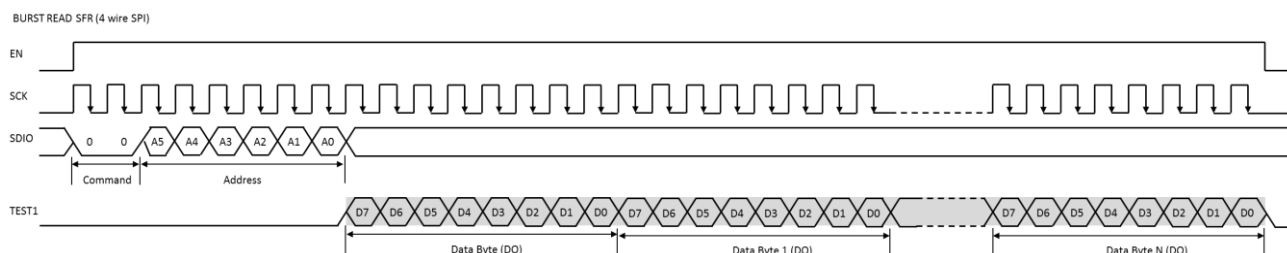


図 6.7 4 線 SPI 通信 SFR 連続読み出し

6.2.3. SPI チェックサム

SPI の通信データを XOR する、SPI チェックサム生成機能があります(図 6.8)。

SFR 書き込み時のコマンドとアドレス、送信データを演算し、その結果が SFR のアドレス 0x16 に格納されます。演算結果は Powerdown モードに遷移するか、チェックサムレジスタ(アドレス 0x16)への任意データの書き込みによってリセットされます。

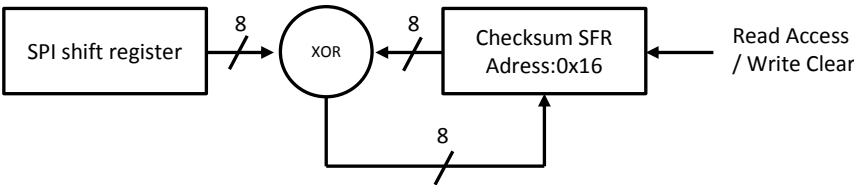


図 6.8 SPI チェックサム生成機能 ブロック図

表 6.3 に SPI チェックサムの計算例を示します。アドレス 0x04 にデータ 0x02、続いてアドレス 0x05 にデータ 0x01 を書き込んだ場合、SPI 通信後には、チェックサムレジスタに 0x02 が格納されます。

表 6.3 SPI チェックサムの計算例

SPI 通信で送信したバイト	チェックサム計算結果
0100 0100 (Write + Address)	0100 0100
0000 0010 (Data)	0100 0110
0100 0101 (Write + Address)	0000 0011
0000 0001 (Data)	0000 0010

6.2.4. トランスミットコマンド

SPI 通信のコマンドビットを 11b にすると、トランスミットコマンドとなります。コマンドビットに続く 6 bit (A ~ F) で、トランスミッタの機能を指定します(表 6.4)。トランスミットコマンドは、6.3.1 節に示す PLL-Standby 状態でのみ、送信可能です。

表 6.4 トランスミッタ機能設定

Bit	Function	Value, description
A	Data Sync	0: 非同期通信 1: 同期通信
B	Power Amp mode	0: EN 端子の立下りで PA が停止 1: EN 端子の立下りで SDIO のデータをラッチ PA の送信は継続
C	Encoding	0: NRZ 1: マンチェスター符号 (Bit A = 1 であること)
D	ASK Modulation Control Setting Selection	0: ASKMC0 1: ASKMC1
E,F	Frequency Channel selection	00: Frequency channel 1 01: Frequency channel 2 10: Frequency channel 3 11: Frequency channel 4

トランスミッタ機能設定を送信後、PLL 安定時間 (t_{FSTE}) 経過後に SCK を立ち上げると、Power Amp が有効になり、無線送信が開始します。 t_{FSTE} 経過前に SCK を立ち上げた場合、所望の周波数と異なる信号が電波として放射される可能性があります。

無線送信には非同期通信と同期通信の 2 つのモードがあり、トランスミッタ機能設定の bit "A"で選択します。

非同期通信モード

図 6.9 に非同期通信のタイミング詳細を示します。非同期通信モードでは SDIO の信号がそのまま送信信号となり、送信信号によって搬送波が ASK/OOK/FSK 変調されます。

TRANSMIT data
Asynchronous Transmission

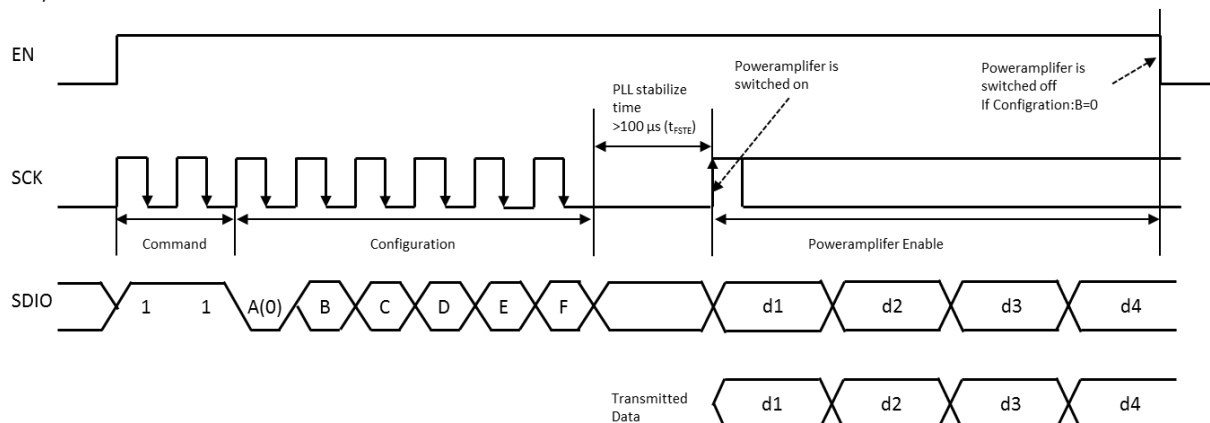


図 6.9 非同期通信タイミング

同期通信モード

図 6.10 に同期通信のタイミング詳細を示します。同期通信モードでは、Bitrate Signal で SDIO の信号がラッチされ、そのラッチされた信号が送信信号となります。ラッチを行う Bitrate Signal は内蔵水晶発振器を分周して生成しているため、内蔵水晶発振器に同期します。

Bitrate Signal に同期する Divide clock は CKOUT 端子から出力可能です。

Divide clock は Power Amp の起動とともに初期化され、クロックパルス幅が減少することがあるので、MCU に Divide clock をクロック信号として供給する場合は注意が必要です。Bitrate Signal の初期化には Prescaler の 1 クロック分の遅延が発生する可能性があります。詳細は 6.8 節をご覧ください。

TRANSMIT data
Synchronous Transmission

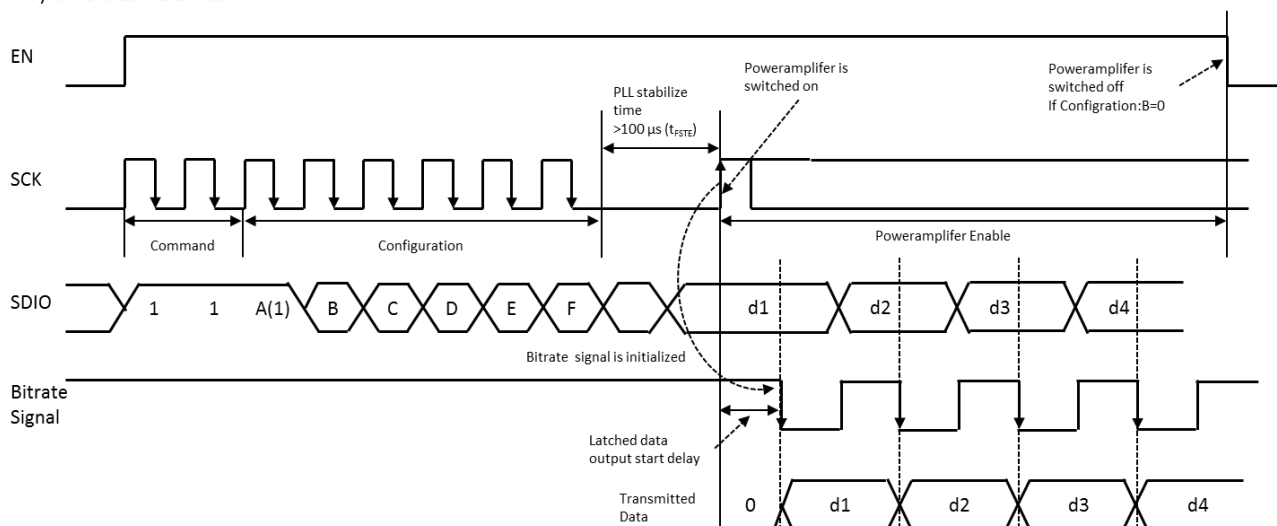


図 6.10 同期通信タイミング

図 6.11 にマンチェスター符号での同期通信の例を示します。この例では同期通信 (bit "A"=1)、EN の立下りで Power Amp が OFF (bit "B"=0)、送信符号がマンチェスター符号 (bit "C"=1) になります。CKSRC[2:0] = 010b、ASC[2:0] = 1 となります。CKOUT 設定や詳細は 6.8 節をご覧ください。

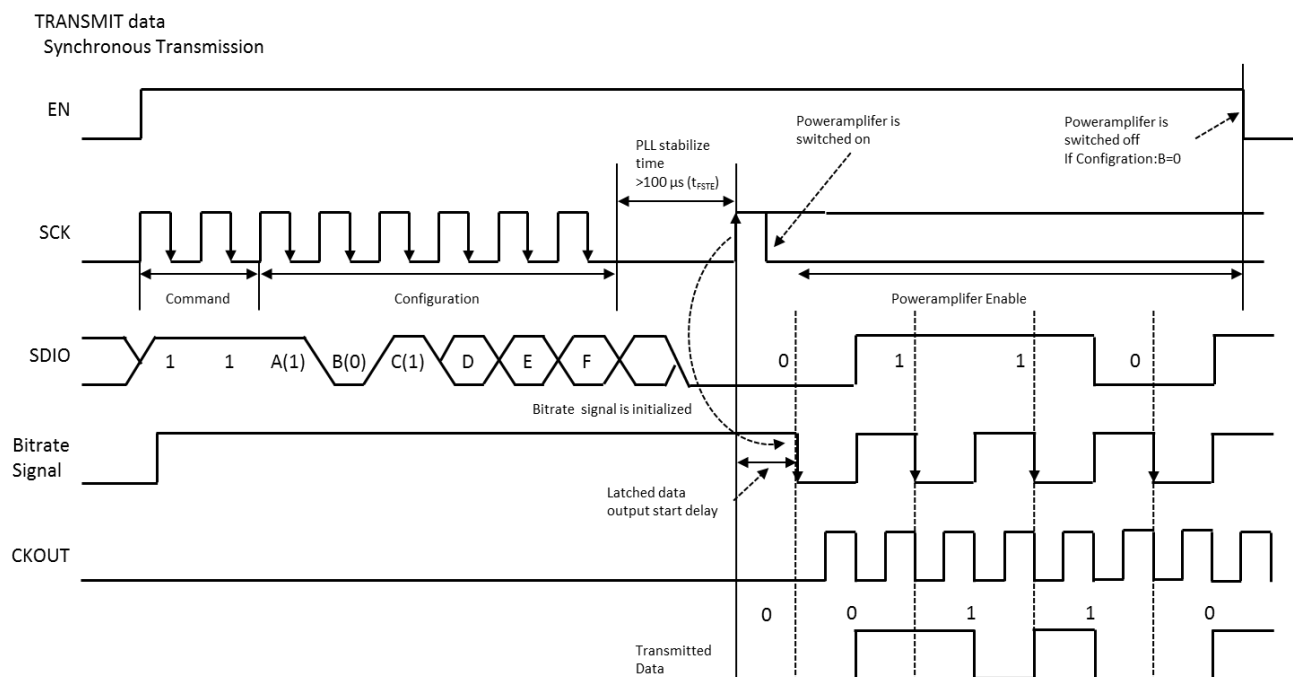


図 6.11 同期通信例

送信信号入力方法について

IFSEL[1:0]の設定によって、送信信号の入力端子を SDIO 端子または TEST1 端子から選択します。同期通信モード、非同期通信モードどちらも送信信号入力方法の選択は有効です。図 6.12 に SDIO 端子からの送信信号入力タイミングを、図 6.13 に TEST1 端子からの送信信号入力タイミングを示します。

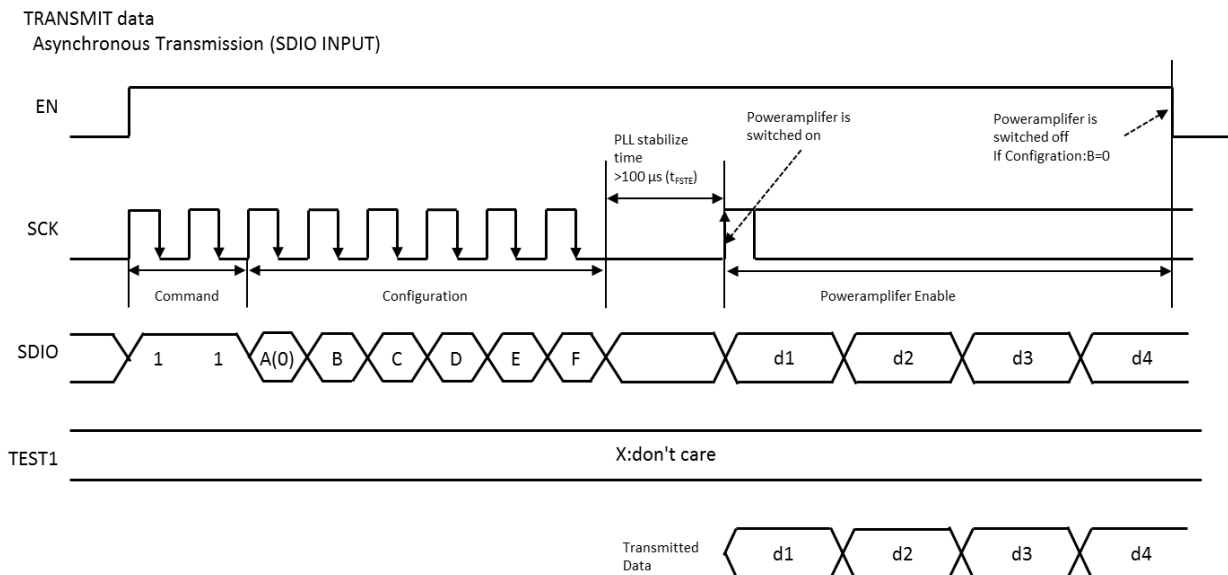


図 6.12 SDIO 端子からの送信信号入力タイミング

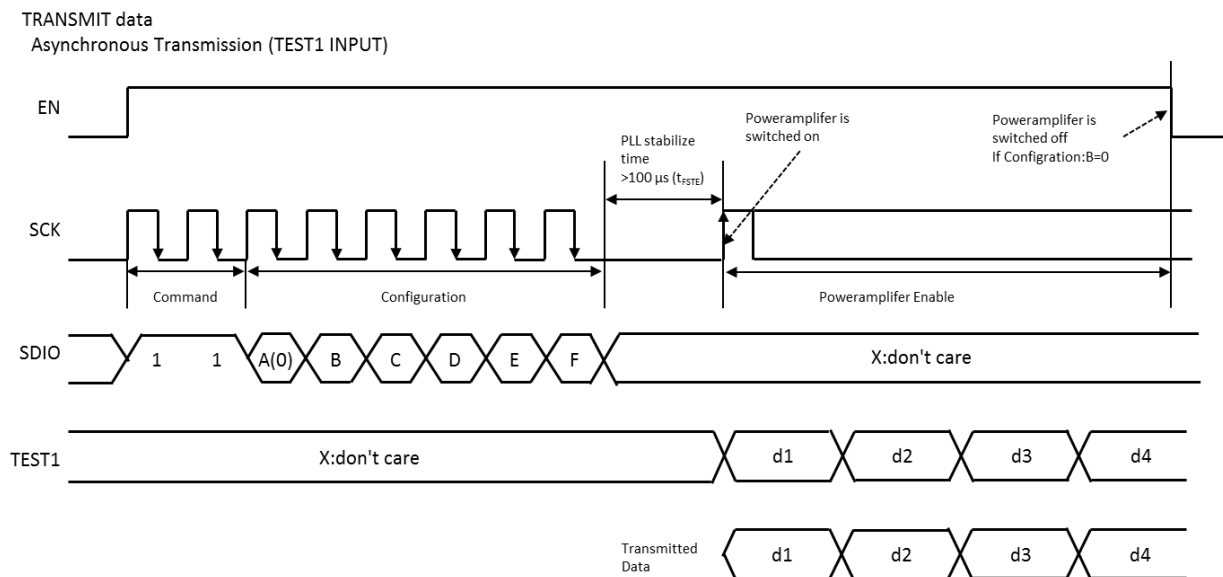


図 6.13 TEST1 端子からの送信信号入力タイミング

6.3. 動作制御方法

6.3.1. 状態遷移

SR3225SAA は 4 つの状態をもち、端子制御や SPI 通信コマンドによってその状態遷移を制御することができます。図 6.14 に状態遷移図を示します。また各状態の説明を下記に示します。

Powerdown 状態

必要最低限の回路のみ動作させ、消費電流が最小の状態です。EN 端子を、8.2 ms (2^{18} 水晶発振クロック) L レベルに設定すると、どの状態からも Powerdown 状態に遷移して、SR3225SAA はリセットされます。

即座に Powerdown 状態に遷移したい場合は、SFR のアドレス 0x15 にある bit "PD" に 1 を書き込み、EN 端子を L レベル に設定することで実現できます。

制御に関わる SFR はリセットされますが、その他の SFR はリセットされず保持します。ただし Powerdown 状態では低電源電圧検知が停止するため、リセットされない SFR の保持については保証されません。Powerdown 状態から復帰する度に、すべての SFR の再書き込みを行う制御を強く推奨いたします。

ATOSC-Active 状態

内蔵電圧レギュレータ、水晶発振回路、低電源電圧検出回路が動作します。Powerdown 状態から EN 端子を立ち上げ、ATOSC-Active 状態に遷移後、水晶発振器が起動するまで t_{XTAL} (500 μ s max)の時間が必要です。ATOSC-Active 状態に遷移後は 32 MHz の水晶発振器の信号を 16 分周した 2 MHz が CKOUT から出力されますが、SFR の設定により分周設定の変更や、CKOUT の停止ができます。詳細は 6.8 節をご覧ください。

ATOSC-Active 状態に遷移後、水晶発振器が起動中でも SFR への SPI 通信によるアクセスは可能です。

電源電圧投入直後は ATOSC-Active 状態から動作します。よって EN 端子を L レベルに固定して電源起動しても、水晶発振器が起動してから 8.2 ms (2^{18} 水晶発振クロック)は CKOUT から信号出力されます。

PLL-Standby 状態

内蔵電圧レギュレータ、水晶発振回路、低電源電圧検出回路が動作し、PLL 回路が待機状態になります。PLL-Standby 状態には SFR のアドレス 0x15 にある bit "PLLEN"を 1 にすることで遷移します。

Transmitter-Active 状態

内蔵電圧レギュレータ、水晶発振回路、低電源電圧検出回路、PLL 回路、Power Amp が動作し、RF 信号が PAOUT 端子より出力されます。PLL-Standby 状態で、トランスミットコマンドを送信することで Transmitter-Active 状態に遷移します。トランスミットコマンド詳細は 6.2.4 節をご覧ください。

Transmitter-Active 状態で Power Amp 動作中にフェイルを検知すると、Transmitter-Active 状態にとどまったまま Power Amp を停止することができます。詳細は 6.7 節をご覧ください。

Transmitter-Active 状態中は SFR の書き込みは無効です。SFR の設定を変更する際には、ATOSC-Active 状態か PLL-Standby 状態に遷移した後、SFR の書き込みを行います。

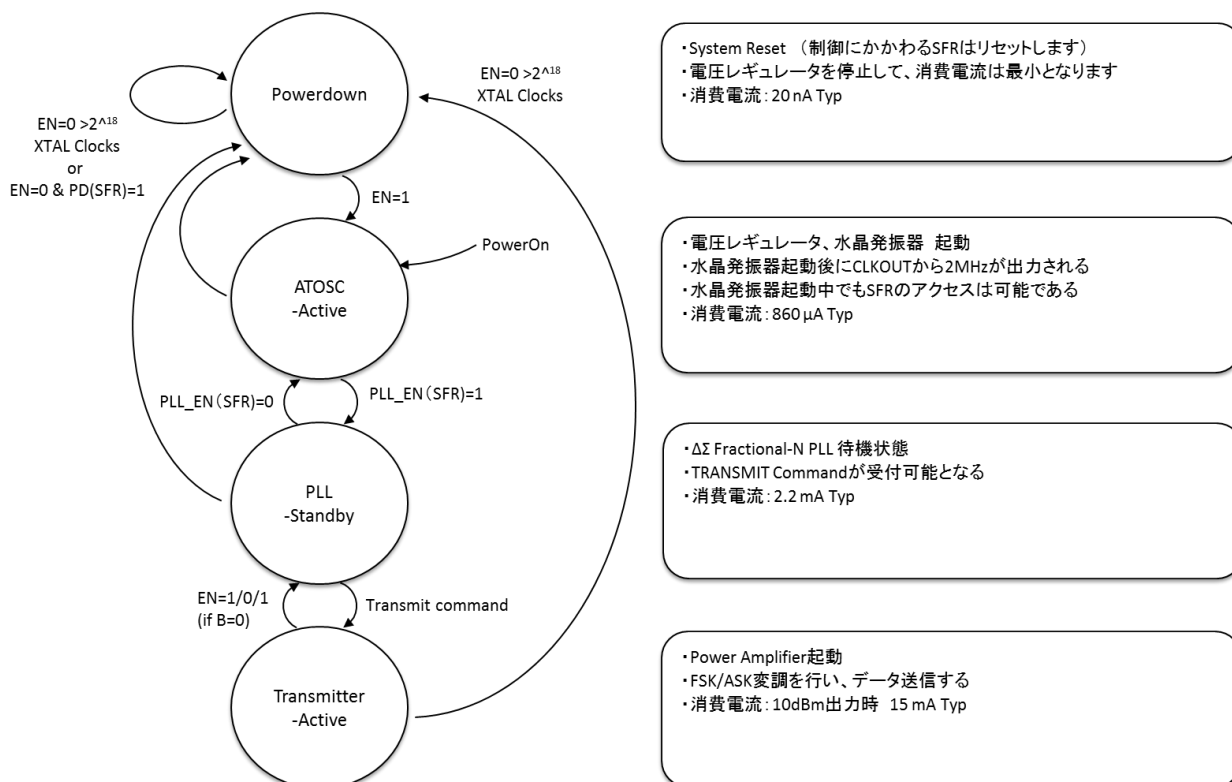


図 6.14 状態遷移図

6.3.2. 制御タイミング

制御タイミングの一例として図 6.15 に制御タイミングチャートを示します。図 6.15 では Powerdown 状態から開始して無線送信を行い、再び Powerdown 状態に遷移する制御を一例として示しています。

まず EN 端子を立ち上げることで、Powerdown 状態から ATOSC-Active 状態に遷移します。ここでは水晶発振器起動中に SFR の初期書き込みを実施している例となり、図 6.15 の SFR_Init と記載してある部分になります。

ATOSC-Active 遷移後、 t_{XTAL} (500 μ s max) 経過後に CLKOUT からクロック出力が開始され、PLL-Standby 状態へ遷移可能となります。図 6.15 では SFR_Init 内にて PLL_EN=1 としているので、 t_{XTAL} (500 μ s max) 経過後に即 PLL-Standby 状態になっています。ATOSC-Active 状態に留まる必要がない場合は、高速起動のためにこのような制御を推奨いたします。

PLL-Standby 状態からトランスミットコマンドを送信し、PLL 安定化時間である t_{FSTE} 経過後、SCK を立ち上げることで Power Amp が有効になり、Transmitter-Active 状態になります。その後、EN を立ち下げた 100 ns 後に Power Amp が停止して、PLL-Standby 状態になります。そのまま 8.2 ms (2¹⁸ 水晶発振クロック) L レベルに固定すると Powerdown 状態になります。既述していますが、EN 端子を L レベルに設定後、即座に Powerdown 状態に遷移したい場合は、SFR のアドレス 0x15 にある bit "PD" に 1 を書き込むことで実現できます。

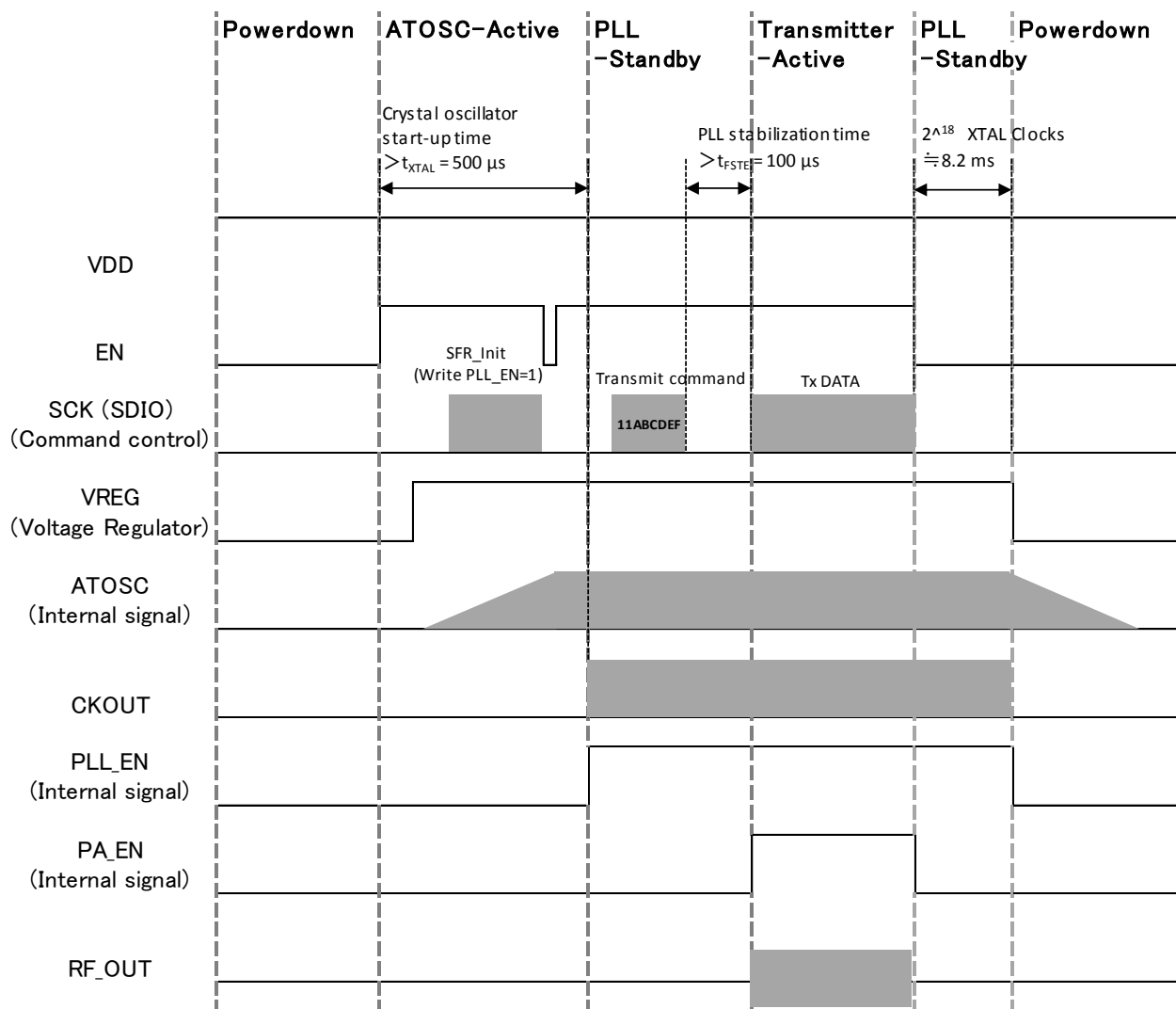


図 6.15 制御タイミング

6.4. 出力周波数設定

6.4.1. 周波数設定値の算出

SR3225SAA の搬送波周波数 (F_{TX}) は、VCO の発振周波数 (F_{VCO}) とアウトプットディバイダの分周比 (ODIV) によって式 (1) のように決まります。

$$F_{TX} = \frac{F_{VCO}}{ODIV} \quad (1)$$

SR3225SAAのVCOの発振周波数 (F_{VCO}) は、600 MHz ~ 930 MHz である必要があります。この制約と式(1)の関係より、 F_{TX} から出力分周設定 (ODIV) が決まります。この関係を表 6.5 に示します。

表 6.5 f_o と FnODIV

F_{TX} [MHz]	ODIV	FnODIV 設定値 (SFR アドレス 0x0A)
300 ~ 465	2	1
600 ~ 930	1	0

VCO の発振周波数 (F_{VCO}) は、水晶発振器から供給されるリファレンス周波数 (F_{REF}) と、フィードバックディバイダの分周比設定 (N) によって決まります。SR3225SAA のフィードバックディバイダの分周設定は、4 bit の整数部設定 (N_{INT}) と 16 bit の小数部設定 (N_{FRAC}) からなり、高精度の周波数設定を可能にしています。

また、VCO の発振周波数 (F_{VCO}) は式(2)で表されます。

$$\begin{aligned} F_{VCO} &= F_{REF} \times N \\ &= F_{REF} \times \left(N_{INT} + \frac{4 \times N_{FRAC} + 3}{2^{18}} \right) \end{aligned} \quad (2)$$

出力周波数 (F_{TX}) は式(3)より求められます。

$$\begin{aligned} F_{TX} &= \frac{F_{VCO}}{ODIV} \\ &= F_{REF} \frac{\left(N_{INT} + \frac{4 \times N_{FRAC} + 3}{2^{18}} \right)}{ODIV} \end{aligned} \quad (3)$$

例えばリファレンス周波数 (F_{REF}) が 32 MHz で出力周波数を 315 MHz にしたい場合、まず、ODIV は表 6.5 より "2" と決まります。次に、式(2)よりフィードバックディバイダの分周設定 (N , N_{INT} , N_{FRAC}) を下式(4)~(6)にて算出します。

$$N = N_{INT} + \frac{4 \times N_{FRAC} + 3}{2^{18}} = \frac{F_{OUT} \times ODIV}{F_{REF}} = \frac{315 \times 10^6 \times 2}{32 \times 10^6} = 19.6875 \quad (4)$$

$$N_{INT} = \text{floor}(N) = \text{floor}(19.6875) = 19 \quad (5)$$

$$\begin{aligned} N_{FRAC} &= \frac{(N - N_{INT}) \times 2^{18} - 3}{4} = \frac{(19.6875 - 19) \times 2^{18} - 3}{4} \\ &\cong 45055 = 0xAFFF \end{aligned} \quad (6)$$

表 6.6 に N_{INT} と SFR 設定値の対応を示します。

N_{INT} は 4 bit、 N_{FRAC} は 16 bit であり SFR に Frequency channel ごと設定可能です。(SFR アドレス 0x00 ~ 0x09) 例えば、式(6)で計算した N_{INT} 、 N_{FRAC} 設定を channel 1 に設定する場合は SFR アドレス 0x00 の F1FRAC[15:8]に 0xAF、SFR アドレス 0x01 の F1FRAC[7:0]に 0xFF、SFR アドレス 0x04 の F1INT[3:0]に 0x03 を設定します。詳細は 7 章をご覧ください。

表 6.6 N_{INT} と SFR 設定値

N _{INT}	FnINT[3:0]設定値 (SFR アドレス 0x04, 0x09)
16	0x0
17	0x1
18	0x2
19	0x3
20	0x4
21	0x5
22	0x6
23	0x7
24	0x8
25	0x9
26	0xA
27	0xB
28	0xC
29	0xD
30	0xE
31	0xF

6.5. FSK 制御

6.5.1. 変調幅設定

FSK 変調幅は SFR のアドレス 0x0B に設定することができます。FSK 変調幅 (F_{DEV}) は式(7)で計算されます。ここで F_{REF} は水晶発振器のリファレンス周波数を示します。FDEV、FDEV4X、FDEV2X は SFR への設定値となります。

$$F_{DEV} = \pm \frac{F_{REF} \times FDEV}{2^{16}} \times 4^{FDEV4X} \times 2^{FDEV2X} \quad (7)$$

例えば、FDEV に 31 を、FDEV4X に 0 を、FDEV2X に 0 を設定した場合、FSK 変調幅 (F_{DEV}) は式(8)のように計算されます。

$$F_{DEV} = \pm \frac{F_{REF} \times FDEV}{2^{16}} \times 4^{FDEV4X} \times 2^{FDEV2X} = \pm \frac{32 \times 10^6 \times 31}{2^{16}} \times 4^0 \times 2^0 \cong \pm 15.136 \text{ kHz} \quad (8)$$

なお H レベルデータ送信時には F_{TX} + F_{DEV}、L レベルデータ送信時には F_{TX} - F_{DEV} に搬送波周波数が変調されます。

6.5.2. Soft-FSK 制御

送信信号の占有帯域を抑圧するために、FSK 変調を緩やかにする Soft-FSK 機能を搭載しています。Soft-FSK では図 6.16 に示すようなランプ波形で FSK 変調がかかります。

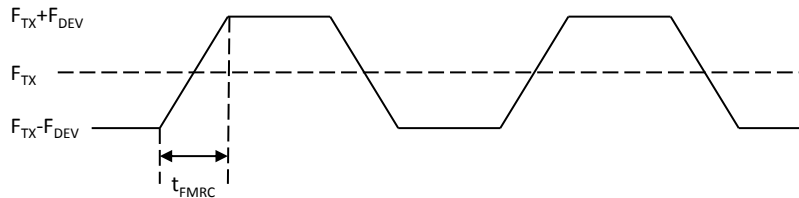


図 6.16 Soft-FSK 変調波形

図 6.16 で示す t_{FMRC} は式(9)で計算されます。式(9)の FMRC はランプ波形の傾きを決める設定値であり、SFR のアドレス 0x10 に割り当てられています。

$$t_{FMRC} = ODIV \times 2 \times FDEV \times FMRC \times \frac{1}{F_{REF}} \quad (9)$$

6.6. 出力電力設定

6.6.1. ASK 制御

Power Amp からの出力電力設定や ASK の変調設定は SFR のアドレス 0x0C ~ 0x0E で行います。SFR の割り当て詳細は 7 章をご覧ください。ここでは各設定ビットの詳細を説明します。

ASKMC0/ASKMC1 の切り替え

SFR のアドレス 0x0C に ASKMC0 として 8 bit、0x0D に ASKMC1 として 8 bit 割り当てられています。ASKMC は ASK Modulation Control を意味しており、8 bit の内訳は ASK / FSK 変調設定、出力電力レンジ切り替え、出力電力微調整です。ASKMC0 と ASKMC1 に設定した内容は、トランスミットコマンドの bit "D" にて送信の直前に選択することができます。

ASKn

ASKn (n = 0/1, ASK0 or ASK1)は ASK 変調と FSK 変調の切り替え設定になり、詳細を表 6.7 に示します。

表 6.7 ASKn 設定

ASKn	変調方式設定
0	FSK
1	ASK

HPWRn

HPWRn (n = 0/1, HPWR0 or HPWR1) は出力電力レンジの切り替え設定になり、詳細を表 6.8 に示します。

表 6.8 HPWRn 設定

HPWRn	出力電力レンジ
0	-15 dBm ~ 0 dBm
1	-5 dBm ~ 11 dBm

AMHn[5:0]

AMHn[5:0] (n = 0/1, AMH0[5:0] or AMH1[5:0]) は ASK 変調時の H レベルデータ送信時の出力電力設定、また FSK 変調時の出力電力設定になります。

AML[5:0]

AML[5:0]は ASK 変調時の L レベルデータ送信時の出力電力設定になります。ただし AML[5:0]=000000b に設定すると PAOUT 端子は OFF 状態になり、OOK モードになります。

PADUTY[1:0]

Power Amp の効率を向上させるために、Power Amp 回路に入力する送信信号の波形シンメトリを変更させる機能を搭載しています。表 6.9 に設定値と波形シンメトリの参考値を示します。波形シンメトリを小さくし、出力トランジスタが ON する時間を小さくすることで、Power Amp の効率を向上できる場合があります。ただし高調波スプリアス特性も変わってしまうため、弊社推奨の設定値から変更する場合は出力電力、消費電流、高調波スプリアスの十分なご確認の上、ご使用ください。

図 5.1 のマッチング回路での推奨設定は、 $F_{TX} = 300 \text{ MHz} \sim 465 \text{ MHz}$ の場合は 10b、 $F_{TX} = 600 \text{ MHz} \sim 930 \text{ MHz}$ の場合は 01b です。

表 6.9 PADUTY[1:0]設定

PADUTY[1:0]	波形シンメトリ参考値	
	$F_{TX} = 300 \text{ MHz} \sim 465 \text{ MHz}$	$F_{TX} = 600 \text{ MHz} \sim 930 \text{ MHz}$
00b	50%	50%
01b	45%	36%
10b	36%	使用禁止
11b	30%	使用禁止

6.6.2. Soft-ASK 制御

送信信号の占有帯域を抑圧するために、ASK 変調を緩やかにする Soft-ASK 機能を搭載しています。Soft-ASK では図 6.17 に示すようなランプ波形で ASK 変調がかかります。

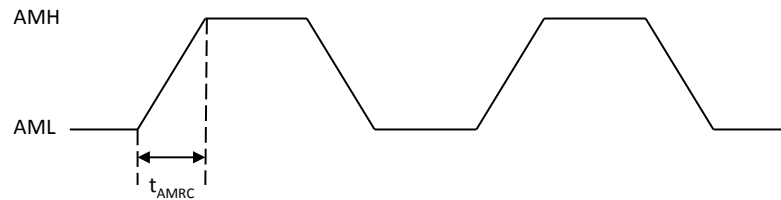


図 6.17 Soft-ASK 変調波形

図 6.17 で示す t_{AMRC} は式(10)で計算されます。式(10)の AMRC はランプ波形の傾きを決める設定値であり、SFR のアドレス 0x0F に割り当てられています。

$$t_{AMRC} = (AMH - AML) \times AMRC \times \frac{1}{F_{REF}} \quad (10)$$

AMRC 設定は FSK 変調設定でも機能します。動作開始時の Power Amp の消費電流に任意の傾きのランプ波形を与えることで、電源に対する負荷変動を緩和できます。

6.6.3. アンテナチューニングについて

PAOUT 端子と VSS 端子間に、アンテナチューニング用のキャパシタアレイを設置してあります。その容量値は SFR のアドレス 0x13 内にある ATT[4:0]にて設定可能であり、設定値と容量値の関係を表 6.10 に示します。

表 6.10 ATT[4:0]設定

ATT[4:0]	キャパシタンス
0	184 fF
1	223 fF
2	262 fF
.	.
.	.
31	1393 fF

6.7. フェイルセーフ機能

SR3225SAA は 3 種類の状態検出機能があり、フェイルを検知した場合、設定に応じて Power Amp の電源を停止させることができます。

検知するフェイルは、PLL ロックエラー、VCO 自動校正エラー、低電源電圧となり、エラーの結果は SFR のアドレス 0x14 に格納され、読み出すことで確認できます。エラー結果は Powerdown 状態への遷移、または 0x14 アドレスへの任意データの書き込みによってリセットされます

フェイルセーフ機能による Power Amp の動作制限は、SFR のアドレス 0x15 の bit "FSOFF"により切り替えることができ、FSOFF = 0 ならばフェイルを検出した場合 Power Amp は停止されます。FSOFF = 1 ならばフェイルを検知しても Power Amp は動作を続けます。

なお FSOFF=0 でフェイルを検知した場合、エラーフラグをリセットしないまま Transmitter-Active 状態に移行しても Power Amp は有効になりませんので、ご注意願います。

6.7.1. PLL ロックエラー検出

Transmitter-Active 状態時に PLL ロックエラーがないか常に検出を続けます。PLL ロックエラー検出器は、PLL 回路内の位相比較器に入力されるリファレンス信号周波数とフィードバック信号周波数を、ロジックカウンタにて比較します。PLL が正しく動作している場合はリファレンス信号とフィードバック信号は等しい周波数になります。リファレンス信号とフィードバック信号の周波数がある一定の誤差以上になった場合、エラーとして判定します。エラー検出結果は SFR アドレス 0x14 内にある PLLDER に格納されます。

6.7.2. VCO 自動校正エラー検出

トランスミットコマンドを送信後、PLL の安定化時間である t_{FSTE} (100 μ s) の間に PLL 回路内部の VCO の自動校正を行います。自動校正結果が一定の範囲をはずれた場合、VCO が正しい発振周波数で動作できていないと判断しエラー検出します。エラー検出結果は SFR アドレス 0x14 内にある VCOCER に格納されます。

6.7.3. 低電源電圧検知

ATOSC-Active 状態、PLL-Standby 状態、Transmitter-Active 状態で、常に電源電圧の監視を行います。検出電圧を下回ったらエラー検出を行い、その後解除電圧を上回るまでエラー検出を続けます。SFR のアドレス 0x13 内にある VDET[1:0]にて検出電圧、解除電圧を設定可能であり、その詳細は表 5.3 をご覧ください。

エラー検出結果は SFR アドレス 0x14 内にある VDETER に格納されます。

電源電圧低下期間と VDETER のリセットタイミングについての詳細を図 6.18、図 6.19 に示します。図 6.18 では SFR をライトクリアでリセットした場合、図 6.19 では Powerdown 状態への遷移でリセットした場合を示します。

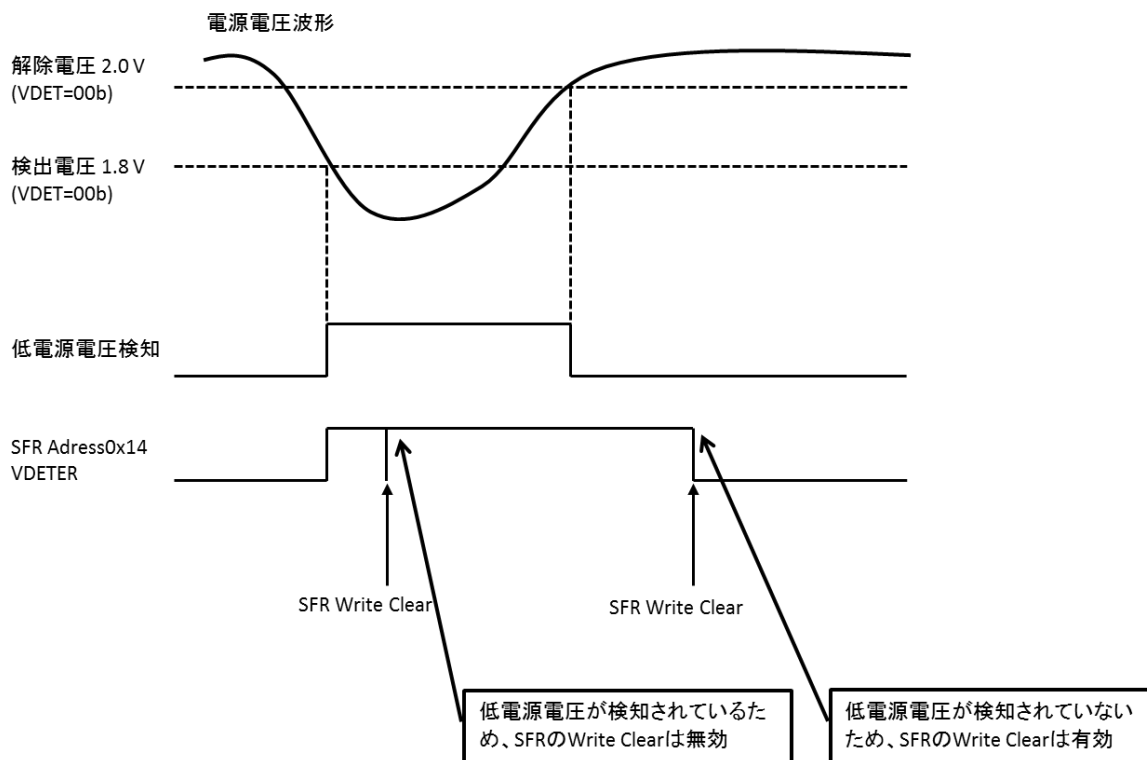


図 6.18 低電源電圧検知結果のリセットについて SFR のライトクリアの場合

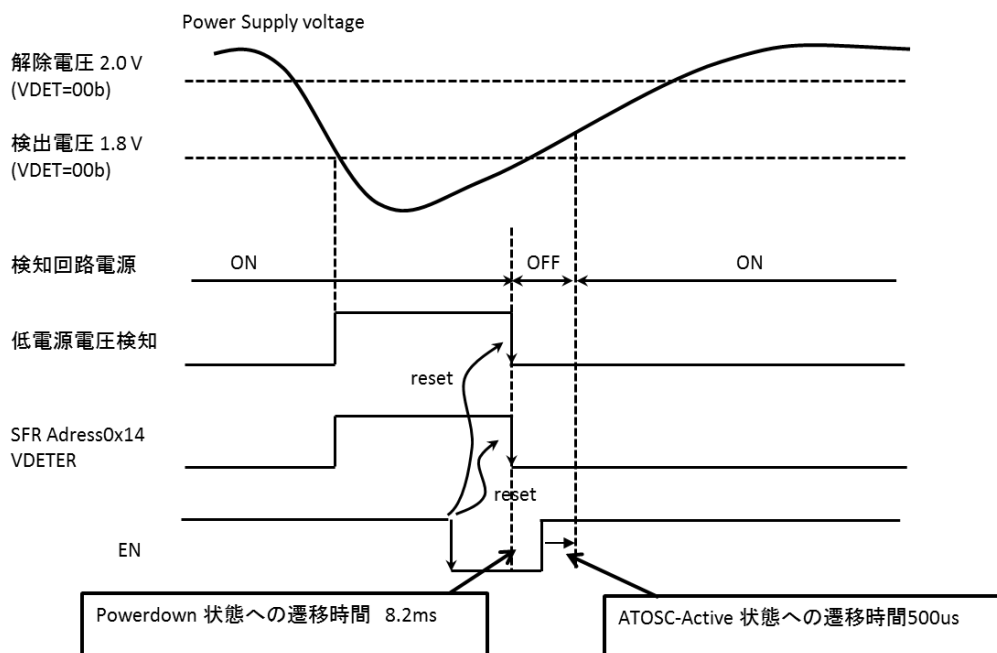


図 6.19 低電源電圧検知結果のリセットについて Powerdown 状態に遷移した場合

6.8. CKOUT 機能

6.8.1. 分周器構成

図 6.20 に CKOUT/Bitrate Signal 用の分周器の構成を示します。CKOUT/Bitrate Signal 分周器は 3 つのプログラマブルな分周器と、固定 2 分周回路で構成されています。

CKOUT から出力する信号は、SFR アドレス 0x12h 内の CKSRC[2:0]で選択可能です。表 6.11 に CKSRC[2:0]の詳細を示します。CKSRC[2:0]は Powerdown 状態に遷移すると 000b にリセットされるため Powerdown 状態から ATOSC-Active 状態に遷移した直後は、 $F_{ref} / 16$ である 2 MHz が CKOUT 端子より出力されます。

図 6.20 内の Bitrate Signal は同期通信モード時の SDIO 端子データのラッチ用信号であり、図 6.10、図 6.11 の Bitrate Signal と同じです。

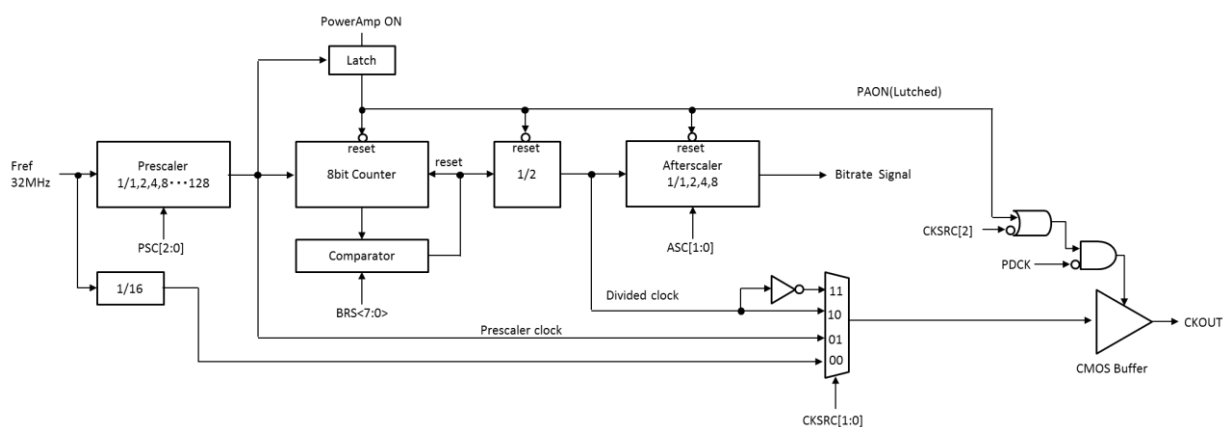


図 6.20 CKOUT / Bitrate Signal 分周器構成

表 6.11 CKSRC[2:0]設定詳細

CKSRC[2:0]	CKOUT
000b	$F_{ref} / 16$
001b	Prescaler Clock
010b	PAON:0 "Low" PAON:1 Divided clock
011b	PAON:0 "High" PAON:1 Inverted Divided clock
100b	PAON:0 High-Z PAON:1 $F_{ref} / 16$
101b	PAON:0 High-Z PAON:1 Prescaler Clock
110b	PAON:0 High-Z PAON:1 Divided clock
111b	PAON:0 High-Z PAON:1 Inverted Divided clock

6.8.2. 分周設定

図 6.20 内の Prescaler の設定は SFR のアドレス 0x12 内の PSC[2:0]にて行います。詳細を表 6.12 に示します。

表 6.12 PSC[2:0]設定

PSC[2:0]	分周比
0	1/1
1	1/2
2	1/4
3	1/8
4	1/16
5	1/32
6	1/64
7	1/128

図 6.20 内の Comparator の設定は SFR のアドレス 0x11 の BRS[7:0]にて行います。詳細を表 6.13 に示します。

表 6.13 BRS[7:0]設定

BRS[7:0]	分周比
0	1/1
1	1/2
2	1/3
3	1/4
4	1/5
⋮	⋮
⋮	⋮
255	1/256

図 6.20 内の Afterscaler の設定は SFR のアドレス 0x12 内の ASC[2:0]にて行います。詳細を表 6.14 に示します。

表 6.14 ASC[2:0]設定

ASC[2:0]	分周比
0	1/1
1	1/2
2	1/4
3	1/8

6.8.3. 出力 CMOS ドライバ

CKOUT 端子の出力用の CMOS ドライバは、ドライブ能力の調整が可能です。SFR のアドレス 0x0A 内の SR[1:0]によって設定を行い、00b が能力最小、11b が能力最大になります。

SR[1:0]は Powerdown 状態に遷移すると 00b にリセットされます。Powerdown 状態から ATOSC-Active 状態に遷移したとき、Fref / 16 である 2 MHz が CKOUT 端子より出力されますが、その時の SR[1:0] = 00b は 2 MHz を出力するのに最適な設定となります。その後の制御で CKOUT 端子からさらに高周波信号を出力する場合は、所望の立ち上がり時間、立ち下り時間になるように SR[1:0]を設定して下さい。

表 6.15 に CKOUT 端子からの出力周波数ごとの、分周設定と SR[1:0]の推奨設定を示します。

表 6.15 SR[1:0]推奨設定詳細

CKOUT 周波数 [MHz]	PSC[2:0]	分周比	SR[1:0] 推奨設定
32	0	1/1	11b
16	1	1/2	10b
8	2	1/4	01b
4	3	1/8	00b
2	4	1/16	00b

6.9. 状態確認機能

6.9.1. 送信回数カウント機能

SFR のアドレス 0x14 内の TXCOUNT[3:0]に Transmitter-active 状態に遷移した回数がカウントされ、SFR の読み出しによってカウント回数の確認ができます。ただしカウンタがオーバーフローした場合は 0 に戻ります。

カウント結果は Powerdown 状態への遷移、または 0x14 アドレスへの任意データの書き込みによってリセットされます。

6.9.2. 水晶発振器の発振状態確認機能

水晶発振器の発振振幅を検出する回路があり、その検出結果は SFR のアドレス 0x14 内の OSCDET に格納されます。検出結果によって CKOUT の出力開始が制御されるため起動後の安定したクロック信号が出力されます。

7. SFR (Special Function Register)

7.1. SFR 一覧

Name	DESCRIPTION	ADDR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Reset Value
F1FRAC1	Freq1 Fractional setting 1	0x00	F1FRAC[15:8]								xxxx xxxx b
F1FRAC0	Freq1 Fractional setting 0	0x01	F1FRAC [7:0]								xxxx xxxx b
F2FRAC1	Freq2 Fractional setting 1	0x02	F2FRAC [15:8]								xxxx xxxx b
F2FRAC0	Freq2 Fractional setting 0	0x03	F2FRAC [7:0]								xxxx xxxx b
F1_2INT	Freq1/Freq2 Integer setting	0x04	F1INT[3:0]				F2INT[3:0]				xxxx xxxx b
F3FRAC1	Freq3 Fractional setting 1	0x05	F3FRAC [15:8]								xxxx xxxx b
F3FRAC0	Freq3 Fractional setting 0	0x06	F3FRAC [7:0]								xxxx xxxx b
F4FRAC1	Freq4 Fractional setting 1	0x07	F4FRAC [15:8]								xxxx xxxx b
F4FRAC0	Freq4 Fractional setting 0	0x08	F4FRAC [7:0]								xxxx xxxx b
F3_4INT	Freq3/Freq4 Integer setting	0x09	F3INT[3:0]				F4INT[3:0]				xxxx xxxx b
ODIV	Output Divider Setting	0x0A	FDEV4X	FDEV2X	SR1[1:0]		F1ODIV	F2ODIV	F3ODIV	F4ODIV	xx00 xxxx b
FDEV	FSK Deviation	0x0B	FDEV[7:0]								xxxx xxxx b
ASKMC0	ASK Modulation Control 0	0x0C	ASK0	HPWR0	AMH0[5:0]						xxxx xxxx b
ASKMC1	ASK Modulation Control 1	0x0D	ASK1	HPWR1	AMH1[5:0]						xxxx xxxx b
ASKMC2	ASK Modulation Control 2	0x0E	PADUTY[1:0]		AML[5:0]						xxxx xxxx b
PARAMP	ASK Modulation Ramp Control	0x0F	AMRC[7:0]								xxxx xxxx b
FSKRAMP	FSK Modulation Ramp Control	0x10	FMRC[7:0]								xxxx xxxx b
BRS1	Bitrate Setting 1	0x11	BRS[7:0]								xxxx xxxx b
BRS2	Bitrate Setting 2	0x12	CKSRC[2:0]			PSC[2:0]			ASC[1:0]		000x xxxx b
ATUNE	VDET setting / Antenna Tuning	0x13	-	VDET[1:0]		ATT[4:0]				xxxx xxxx b	
TXSTAT	Transmitter Status Register	0x14	TXCOUNT[3:0]				OSCDDET	VDETER	VCOCER	PLLDER	0000 x000 b
TXCON	Transmitter Control	0x15	PD	PDCK	FSOFF	IFSEL[1:0]		-	-	PLLEN	0000 0xx0 b
SPICKSUM	SPI Checksum register	0x16	SPICKSUM[7:0]								0000 0000 b

Note: ここに記載されていないアドレスには、値を書き込まないでください。また、未定義のビットには 0 を書き込んでください。

Reset Value は Powerdown 状態に遷移したときにリセットされるビットを示します。”x”の標記は特にリットはせず、値を保持することを意味します。ただし Powerdown 状態中の SFR の値の保持は保証されませんので、Powerdown 状態から復帰した後は、再び SFR の全アドレスに所望値を書き込んでください。

次節からのレジスタタイプの記号標記について

R/W: リード、ライト

R/O: リードのみ

W/O: ライトのみ

R/C: リードのみ、ライトクリア

7.2. PLL 分数分周設定 Frequency channel 1

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	F1FRAC1	F1FRAC[15:8]							
0x01	F1FRAC0	F1FRAC[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	F1FRAC[15:8] F1FRAC[7:0]	Frequency channel 1 用のフィードバックディバイダの分周設定の小数部分 (N_{FRAC}) 例: N_{FRAC} が 0x1234 の場合の設定値 F1FRAC[15:8] = 0x12 F1FRAC[7:0] = 0x34

7.3. PLL 分数分周設定 Frequency channel 2

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x02	F2FRAC1	F2FRAC[15:8]							
0x03	F2FRAC0	F2FRAC[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	F2FRAC[15:8] F2FRAC[7:0]	Frequency channel 2 用のフィードバックディバイダの分周設定の小数部分 (N_{FRAC}) 例: N_{FRAC} が 0x5678 の場合の設定値 F2FRAC[15:8] = 0x56 F2FRAC[7:0] = 0x78

7.4. PLL 整数分周設定 Frequency channel 1,2

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x04	F1_2INT	F1INT[3:0]				F2INT[3:0]			
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:4	F1INT[4:0]	Frequency channel 1 用のフィードバックディバイダの分周設定の整数部分 (N_{INT})
3:0	F2INT[4:0]	Frequency channel 2 用のフィードバックディバイダの分周設定の整数部分 (N_{INT})
F_nINT[4:0]の設定値と整数分周設定(N_{INT})の対応		
0x0: 16		0x4: 20
0x1: 17		0x5: 21
0x2: 18		0x6: 22
0x3: 19		0x7: 23
		0x8: 24
		0x9: 25
		0xA: 26
		0xE: 30
		0xF: 31

7.5. PLL 分数分周設定 Frequency channel 3

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x05	F3FRAC1	F3FRAC[15:8]							
0x06	F3FRAC0	F3FRAC[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	F3FRAC[15:8] F3FRAC[7:0]	Frequency channel 3 用のフィードバックディバイダの分周設定の小数部分 (N_{FRAC}) 例: N_{FRAC} が 0x9ABC の場合の設定値 F3FRAC[15:8] = 0x9A F3FRAC[7:0] = 0xBC

7.6. PLL 分数分周設定 Frequency channel 4

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x07	F4FRAC1	F4FRAC[15:8]							
0x08	F4FRAC0	F4FRAC[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	F4FRAC[15:8] F4FRAC[7:0]	Frequency channel 4 用のフィードバックディバイダの分周設定の小数部分 (N_{FRAC}) 例: N_{FRAC} が 0xDEF0 の場合の設定値 F4FRAC[15:8] = 0xDE F4FRAC[7:0] = 0xF0

7.7. PLL 整数分周設定 Frequency channel 3,4

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x09	F3_4INT	F3INT[3:0]				F4INT[3:0]			
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function		
7:4	F3INT[4:0]	Frequency channel 3 用のフィードバックディバイダの分周設定の整数部分 (N _{INT})		
3:0	F4INT[4:0]	Frequency channel 4 用のフィードバックディバイダの分周設定の整数部分 (N _{INT})		
FnINT[4:0]の設定値と整数分周設定 (N _{INT}) の対応				
0x0: 16		0x4: 20	0x8: 24	0xC: 28
0x1: 17		0x5: 21	0x9: 25	0xD: 29
0x2: 18		0x6: 22	0xA: 26	0xE: 30
0x3: 19		0x7: 23	0xB: 27	0xF: 31

7.8. FSK 変調幅設定、出力分周設定、CKOUT ドライバ能力設定

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0A	ODIV	FDEV4X	FDEV2X	SR[1:0]		F1ODIV	F2ODIV	F3ODIV	F4ODIV
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function									
7	FDEV4X	FSK 変調幅設定 $F_{DEV} = \pm \frac{F_{REF} \times FDEV}{2^{16}} \times 4^{FDEV4X} \times 2^{FDEV2X}$									
6	FDEV2X										
5:4	SR[1:0]	CKOUT 端子の CMOS ドライバの能力設定 <table><tr><td>0</td><td>Tr/Tf = 20 ns max</td></tr><tr><td>1</td><td>Tr/Tf = 10 ns max</td></tr><tr><td>2</td><td>Tr/Tf = 7 ns max</td></tr><tr><td>3</td><td>Tr/Tf = 5 ns max</td></tr></table>		0	Tr/Tf = 20 ns max	1	Tr/Tf = 10 ns max	2	Tr/Tf = 7 ns max	3	Tr/Tf = 5 ns max
0	Tr/Tf = 20 ns max										
1	Tr/Tf = 10 ns max										
2	Tr/Tf = 7 ns max										
3	Tr/Tf = 5 ns max										
3	F1ODIV	Frequency channel 1 用の出力分周設定	FnODIV の設定値と出力分周設定 (ODIV) の対応 <table><tr><td>0</td><td>ODIV = 1 分周</td></tr><tr><td>1</td><td>ODIV = 2 分周</td></tr></table>	0	ODIV = 1 分周	1	ODIV = 2 分周				
0	ODIV = 1 分周										
1	ODIV = 2 分周										
2	F2ODIV	Frequency channel 2 用の出力分周設定									
1	F3ODIV	Frequency channel 3 用の出力分周設定									
0	F4ODIV	Frequency channel 4 用の出力分周設定									

7.9. FSK 変調幅設定

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0B	FDEV	FDEV[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function										
7:0	FDEV[7:0]	FSK 変調幅設定 $F_{DEV} = \pm \frac{F_{REF} \times FDEV}{2^{16}} \times 4^{FDEV4X} \times 2^{FDEV2X}$ <table><tr><td>0</td><td>FDEV = ± 0 kHz</td></tr><tr><td>1</td><td>FDEV = ± 0.48 kHz</td></tr><tr><td>2</td><td>FDEV = ± 0.98 kHz</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>255</td><td>FDEV = ± 124.51 kHz</td></tr></table> ※FDEV4X=0、FDEV2X=0 の場合	0	FDEV = ± 0 kHz	1	FDEV = ± 0.48 kHz	2	FDEV = ± 0.98 kHz	⋮	⋮	255	FDEV = ± 124.51 kHz
0	FDEV = ± 0 kHz											
1	FDEV = ± 0.48 kHz											
2	FDEV = ± 0.98 kHz											
⋮	⋮											
255	FDEV = ± 124.51 kHz											

7.10. ASK 変調設定 0

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0C	ASKMC0	ASK0	HPWR0	AMH0[5:0]					
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function				
7	ASK0	ASK/FSK 変調方式設定 <table><tr><td>0</td><td>変調方式 = FSK</td></tr><tr><td>1</td><td>変調方式 = ASK</td></tr></table>	0	変調方式 = FSK	1	変調方式 = ASK
0	変調方式 = FSK					
1	変調方式 = ASK					
6	HPWR0	Power Amp 出力電力レンジ設定 <table><tr><td>0</td><td>出力電力レンジ = -15 dBm ~ 0 dBm</td></tr><tr><td>1</td><td>出力電力レンジ = -4 dBm ~ 11 dBm</td></tr></table>	0	出力電力レンジ = -15 dBm ~ 0 dBm	1	出力電力レンジ = -4 dBm ~ 11 dBm
0	出力電力レンジ = -15 dBm ~ 0 dBm					
1	出力電力レンジ = -4 dBm ~ 11 dBm					
5:0	AMH0[5:0]	Power Amp 出力電力設定 ASK 変調方式選択時は H レベルデータ送信時の出力電力設定になります。 FSK 変調方式選択時は、出力電力設定になります。 1 設定時には最小、63 設定時には最大になります。設定と出力電力の関係は表 5.5 をご覧ください。				
ASKMC0 について トランスミットコマンド内の bit "D"を 0 としたときに選択される設定になります。詳細は 6.2.4 節をご覧ください。						

7.11. ASK 変調設定 1

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0D	ASKMC1	ASK1	HPWR1	AMH1[5:0]					
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function				
7	ASK1	ASK/FSK 変調方式設定 <table><tr><td>0</td><td>変調方式 = FSK</td></tr><tr><td>1</td><td>変調方式 = ASK</td></tr></table>	0	変調方式 = FSK	1	変調方式 = ASK
0	変調方式 = FSK					
1	変調方式 = ASK					
6	HPWR1	Power Amp 出力電力レンジ設定 <table><tr><td>0</td><td>出力電力レンジ = -15 dBm ~ 0 dBm</td></tr><tr><td>1</td><td>出力電力レンジ = -4 dBm ~ 11 dBm</td></tr></table>	0	出力電力レンジ = -15 dBm ~ 0 dBm	1	出力電力レンジ = -4 dBm ~ 11 dBm
0	出力電力レンジ = -15 dBm ~ 0 dBm					
1	出力電力レンジ = -4 dBm ~ 11 dBm					
5:0	AMH1[5:0]	Power Amp 出力電力設定 ASK 変調方式選択時は H レベルデータ送信時の出力電力設定になります。 FSK 変調方式選択時は、出力電力設定になります。 1 設定時には最小、63 設定時には最大になります。設定と出力電力の関係は表 5.5 をご覧ください。				
ASKMC1 について トランスミットコマンド内の bit "D"を 1 としたときに選択される設定になります。詳細は 6.2.4 節をご覧ください。						

7.12. ASK 変調設定 2

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0E	ASKMC2	PADUTY[1:0]		AML[5:0]					
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function																	
7:6	PADUTY[1:0]	出力波形シンメトリ調整設定 <table border="1"> <tr> <th rowspan="2">PADUTY[1:0]</th><th colspan="2">波形シンメトリ参考値</th></tr> <tr> <th>F_{TX} = 300 MHz ~ 465 MHz</th><th>F_{TX} = 600 MHz ~ 930 MHz</th></tr> <tr> <td>00b</td><td>50%</td><td>50%</td></tr> <tr> <td>01b</td><td>45%</td><td>36%</td></tr> <tr> <td>10b</td><td>36%</td><td>使用禁止</td></tr> <tr> <td>11b</td><td>30%</td><td>使用禁止</td></tr> </table>	PADUTY[1:0]	波形シンメトリ参考値		F _{TX} = 300 MHz ~ 465 MHz	F _{TX} = 600 MHz ~ 930 MHz	00b	50%	50%	01b	45%	36%	10b	36%	使用禁止	11b	30%	使用禁止
PADUTY[1:0]	波形シンメトリ参考値																		
	F _{TX} = 300 MHz ~ 465 MHz	F _{TX} = 600 MHz ~ 930 MHz																	
00b	50%	50%																	
01b	45%	36%																	
10b	36%	使用禁止																	
11b	30%	使用禁止																	
5:0	AML[5:0]	Power Amp 出力電力設定 ASK 変調方式選択時は L レベルデータ送信時の出力電力設定になります。 FSK 変調方式選択時は、使用しません。 1 設定時には最小、63 設定時には最大になります。設定と出力電力の関係は表 5.5 をご覧ください。0 設定時には PAOUT 端子は停止状態となり、OOK モードになります。																	

7.13. Soft-ASK 変調設定

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x0F	PARAMP	AMRC[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	AMRC[7:0]	Soft-ASK 変調設定 下記式における AMRC を設定可能です。詳細は 6.6.2 節をご覧ください。 $t_{AMRC} = (AMH - AML) \times AMRC \times \frac{1}{F_{REF}}$

7.14. Soft-FSK 変調設定

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x10	FSKRAMP	FMRC[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	FMRC[7:0]	Soft-FSK 変調設定 下記式における FMRC を設定可能です。詳細は 6.5.2 節をご覧ください。 $t_{FMRC} = ODIV \times 2 \times FDEV \times FMRC \times \frac{1}{F_{REF}}$

7.15. CKOUT / Bitrate Signal 分周器設定 1

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x11	BRS1	BRS[7:0]							
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function																
7:0	BRS[7:0]	CKOUT / Bitrate Signal 分周器内 Compare 設定 <table><tr><td>0</td><td>分周比 = 1/1</td></tr><tr><td>1</td><td>分周比 = 1/2</td></tr><tr><td>2</td><td>分周比 = 1/3</td></tr><tr><td>3</td><td>分周比 = 1/4</td></tr><tr><td>4</td><td>分周比 = 1/5</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>255</td><td>分周比 = 1/256</td></tr></table>	0	分周比 = 1/1	1	分周比 = 1/2	2	分周比 = 1/3	3	分周比 = 1/4	4	分周比 = 1/5	⋮	⋮	⋮	⋮	255	分周比 = 1/256
0	分周比 = 1/1																	
1	分周比 = 1/2																	
2	分周比 = 1/3																	
3	分周比 = 1/4																	
4	分周比 = 1/5																	
⋮	⋮																	
⋮	⋮																	
255	分周比 = 1/256																	

7.16. CKOUT / Bitrate Signal 分周器設定 2

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x12	BRS2	CKSRC[2:0]			PSC[2:0]			ASC[1:0]	
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function																
7:5	CKSRC[2:0]	CKOUT 出力信号選択 <table><tr><td>000b</td><td>Fref / 16</td></tr><tr><td>001b</td><td>Prescaler Clock</td></tr><tr><td>010b</td><td>PAON: 0 "Low" PAON: 1 Divided clock</td></tr><tr><td>011b</td><td>PAON: 0 "High" PAON: 1 Inverted Divided clock</td></tr><tr><td>100b</td><td>PAON: 0 High-Z PAON: 1 Fref / 16</td></tr><tr><td>101b</td><td>PAON: 0 High-Z PAON: 1 Prescaler Clock</td></tr><tr><td>110b</td><td>PAON: 0 High-Z PAON: 1 Divided clock</td></tr><tr><td>111b</td><td>PAON: 0 High-Z PAON: 1 Inverted Divided clock</td></tr></table> *Note PAON: 0 Power Amp 停止状態 PAON: 1 Power Amp 動作状態	000b	Fref / 16	001b	Prescaler Clock	010b	PAON: 0 "Low" PAON: 1 Divided clock	011b	PAON: 0 "High" PAON: 1 Inverted Divided clock	100b	PAON: 0 High-Z PAON: 1 Fref / 16	101b	PAON: 0 High-Z PAON: 1 Prescaler Clock	110b	PAON: 0 High-Z PAON: 1 Divided clock	111b	PAON: 0 High-Z PAON: 1 Inverted Divided clock
000b	Fref / 16																	
001b	Prescaler Clock																	
010b	PAON: 0 "Low" PAON: 1 Divided clock																	
011b	PAON: 0 "High" PAON: 1 Inverted Divided clock																	
100b	PAON: 0 High-Z PAON: 1 Fref / 16																	
101b	PAON: 0 High-Z PAON: 1 Prescaler Clock																	
110b	PAON: 0 High-Z PAON: 1 Divided clock																	
111b	PAON: 0 High-Z PAON: 1 Inverted Divided clock																	
4:2	PSC[2:0]	CKOUT / Bitrate Signal 分周器内 Prescaler 設定 <table><tr><td>0</td><td>分周比 = 1/1</td></tr><tr><td>1</td><td>分周比 = 1/2</td></tr><tr><td>2</td><td>分周比 = 1/4</td></tr><tr><td>3</td><td>分周比 = 1/8</td></tr><tr><td>4</td><td>分周比 = 1/16</td></tr><tr><td>5</td><td>分周比 = 1/32</td></tr><tr><td>6</td><td>分周比 = 1/64</td></tr><tr><td>7</td><td>分周比 = 1/128</td></tr></table>	0	分周比 = 1/1	1	分周比 = 1/2	2	分周比 = 1/4	3	分周比 = 1/8	4	分周比 = 1/16	5	分周比 = 1/32	6	分周比 = 1/64	7	分周比 = 1/128
0	分周比 = 1/1																	
1	分周比 = 1/2																	
2	分周比 = 1/4																	
3	分周比 = 1/8																	
4	分周比 = 1/16																	
5	分周比 = 1/32																	
6	分周比 = 1/64																	
7	分周比 = 1/128																	
1:0	ASC[2:0]	CKOUT / Bitrate Signal 分周器内 Afterscaler 設定 <table><tr><td>0</td><td>分周比 = 1/1</td></tr><tr><td>1</td><td>分周比 = 1/2</td></tr><tr><td>2</td><td>分周比 = 1/4</td></tr><tr><td>3</td><td>分周比 = 1/8</td></tr></table>	0	分周比 = 1/1	1	分周比 = 1/2	2	分周比 = 1/4	3	分周比 = 1/8								
0	分周比 = 1/1																	
1	分周比 = 1/2																	
2	分周比 = 1/4																	
3	分周比 = 1/8																	

7.17. 低電源電圧検知 / アンテナチューニング設定

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x13	ATUNE	-	VDET[1:0]		ATT[4:0]				
Type		R/W							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function															
6:5	VDET[1:0]	低電源電圧検知、解除設定 <table><thead><tr><th></th><th>検知電圧設定</th><th>解除電圧設定</th></tr></thead><tbody><tr><td>0</td><td>1.8 V</td><td>2.0 V</td></tr><tr><td>1</td><td>2.0 V</td><td>2.2 V</td></tr><tr><td>2</td><td>2.2 V</td><td>2.4 V</td></tr><tr><td>3</td><td>2.4 V</td><td>2.6 V</td></tr></tbody></table>		検知電圧設定	解除電圧設定	0	1.8 V	2.0 V	1	2.0 V	2.2 V	2	2.2 V	2.4 V	3	2.4 V	2.6 V
	検知電圧設定	解除電圧設定															
0	1.8 V	2.0 V															
1	2.0 V	2.2 V															
2	2.2 V	2.4 V															
3	2.4 V	2.6 V															
4:0	ATT[4:0]	アンテナチューニング用 キャパシタアレイ設定 約 40 fF の分解能で容量値の設定が可能です。 <table><tbody><tr><td>0</td><td>184 fF</td></tr><tr><td>1</td><td>223 fF</td></tr><tr><td>2</td><td>262 fF</td></tr><tr><td>.</td><td>.</td></tr><tr><td>.</td><td>.</td></tr><tr><td>31</td><td>1393 fF</td></tr></tbody></table>	0	184 fF	1	223 fF	2	262 fF	.	.	.	.	31	1393 fF			
0	184 fF																
1	223 fF																
2	262 fF																
.	.																
.	.																
31	1393 fF																

7.18. エラー検知結果

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x14	TXSTAT	TXCOUNT[3:0]				OSCDDET	VDETER	VCOCER	PLLDER
Type		R/C				R/O	R/C		
Default		0	0	0	0	0	0	0	0

Bit	Name	Function				
7:4	TXCOUNT[3:0]	Transmitter-Active 状態への遷移回数カウント結果 カウント回数がオーバーフローすると 0 に戻ります。				
3	OSCDDET	水晶発振器 発振振幅確認結果 <table><tr><td>0</td><td>水晶発振器 正常発振振幅未満</td></tr><tr><td>1</td><td>水晶発振器 正常発振振幅以上</td></tr></table>	0	水晶発振器 正常発振振幅未満	1	水晶発振器 正常発振振幅以上
0	水晶発振器 正常発振振幅未満					
1	水晶発振器 正常発振振幅以上					
2	VDETER	低電源電圧検知結果 <table><tr><td>0</td><td>低電源電圧 検知なし</td></tr><tr><td>1</td><td>低電源電圧 検知あり</td></tr></table>	0	低電源電圧 検知なし	1	低電源電圧 検知あり
0	低電源電圧 検知なし					
1	低電源電圧 検知あり					
1	VCOCER	VCO 自動校正エラー検知結果 <table><tr><td>0</td><td>VCO 自動校正エラー なし</td></tr><tr><td>1</td><td>VCO 自動校正エラー あり</td></tr></table>	0	VCO 自動校正エラー なし	1	VCO 自動校正エラー あり
0	VCO 自動校正エラー なし					
1	VCO 自動校正エラー あり					
0	PLLDER	PLL ロックエラー検知結果 <table><tr><td>0</td><td>PLL ロックエラー検出 なし</td></tr><tr><td>1</td><td>PLL ロックエラー検出 あり</td></tr></table>	0	PLL ロックエラー検出 なし	1	PLL ロックエラー検出 あり
0	PLL ロックエラー検出 なし					
1	PLL ロックエラー検出 あり					

7.19. トランスミッタコントロール

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x15	TXCON	PD	PDCK	FSOFF	IFSEL[1:0]		-	-	PLLEN
Type		W/O	R/W						
Default		0	0	0	0	0	0	0	0

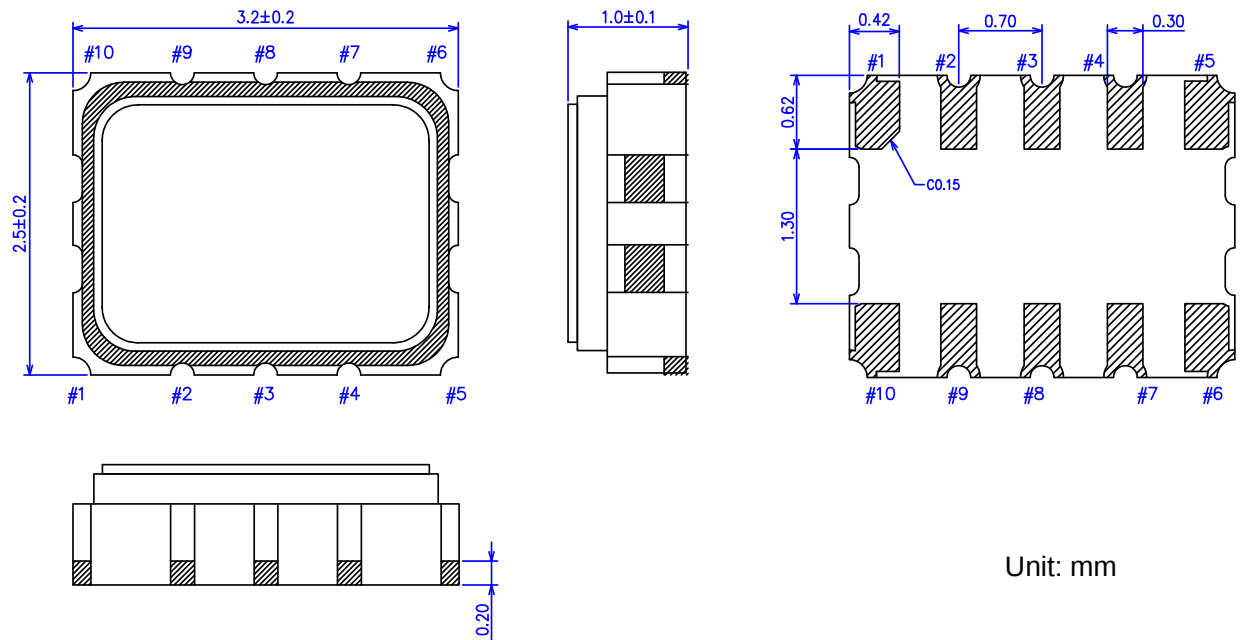
Bit	Name	Function															
7	PD	Powerdown 状態への遷移コマンド <table><tr><td>0</td><td>EN の立ち下げ後、8.2 ms (2¹⁸ 水晶発振クロック)L レベルに設定すると Powerdown 状態に遷移</td></tr><tr><td>1</td><td>EN の立ち下げ後、ただちに Powerdown 状態に遷移</td></tr></table>	0	EN の立ち下げ後、8.2 ms (2 ¹⁸ 水晶発振クロック)L レベルに設定すると Powerdown 状態に遷移	1	EN の立ち下げ後、ただちに Powerdown 状態に遷移											
0	EN の立ち下げ後、8.2 ms (2 ¹⁸ 水晶発振クロック)L レベルに設定すると Powerdown 状態に遷移																
1	EN の立ち下げ後、ただちに Powerdown 状態に遷移																
6	PDCK	CKOUT 端子出力ディセーブル設定 <table><tr><td>0</td><td>CKOUT 端子 出力可能状態</td></tr><tr><td>1</td><td>CKOUT 端子 Hi-Z 状態</td></tr></table>	0	CKOUT 端子 出力可能状態	1	CKOUT 端子 Hi-Z 状態											
0	CKOUT 端子 出力可能状態																
1	CKOUT 端子 Hi-Z 状態																
5	FSOFF	フェイルセーフ 無効設定 フェイルセーフが無効になると、エラー検知しても Power Amp の出力が停止しません。 <table><tr><td>0</td><td>フェイルセーフ 有効</td></tr><tr><td>1</td><td>フェイルセーフ 無効</td></tr></table>	0	フェイルセーフ 有効	1	フェイルセーフ 無効											
0	フェイルセーフ 有効																
1	フェイルセーフ 無効																
4:3	IFSEL[1:0]	インターフェースモード設定 <table><tr><th>IFSEL[1:0]</th><th>SPI 通信設定</th><th>送信信号入力端子</th></tr><tr><td>00b</td><td>3 線 SPI 通信モード (既定値)</td><td>SDIO</td></tr><tr><td>01b</td><td>4 線 SPI 通信モード</td><td>SDIO</td></tr><tr><td>10b</td><td>3 線 SPI 通信モード</td><td>TEST1</td></tr><tr><td>11b</td><td colspan="2">使用禁止</td></tr></table>	IFSEL[1:0]	SPI 通信設定	送信信号入力端子	00b	3 線 SPI 通信モード (既定値)	SDIO	01b	4 線 SPI 通信モード	SDIO	10b	3 線 SPI 通信モード	TEST1	11b	使用禁止	
IFSEL[1:0]	SPI 通信設定	送信信号入力端子															
00b	3 線 SPI 通信モード (既定値)	SDIO															
01b	4 線 SPI 通信モード	SDIO															
10b	3 線 SPI 通信モード	TEST1															
11b	使用禁止																
0	PLLEN	PLL-Standby 状態への遷移コマンド ATOSC-Active 状態で PLLEN = 1 とすると PLL-Standby 状態に遷移します。 PLL-Standby 状態で PLLEN = 0 とすると ATOSC-Active 状態に遷移します。															

7.20. SPI チェックサム

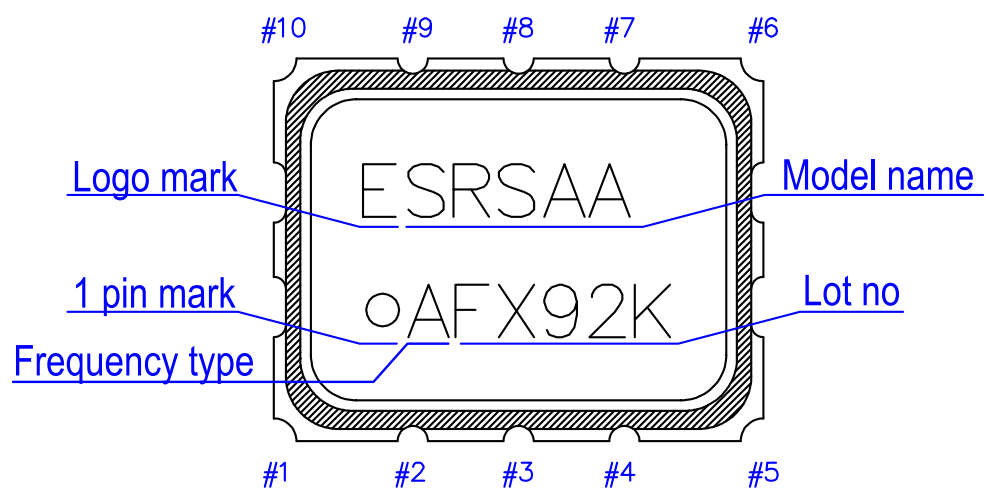
Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x16	SPICKSUM	SPICKSUM[7:0]							
Type		R/C							
Default		0	0	0	0	0	0	0	0

Bit	Name	Function
7:0	SPICKSUM	SPI チェックサム計算結果 SPI 通信のアドレスとデータが XOR で論理演算され格納されます。

8. 外形寸法

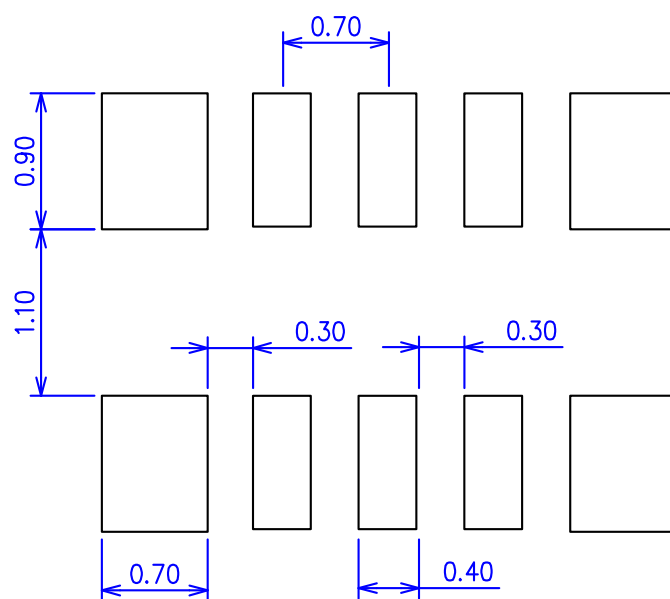


9. マーキング



表示内容は、捺印内容と位置の大略を示すものであり、字形・大きさおよび位置の詳細を規定するものではありません。

10. はんだ付けパターン例



Unit: mm

11. 使用上の注意事項

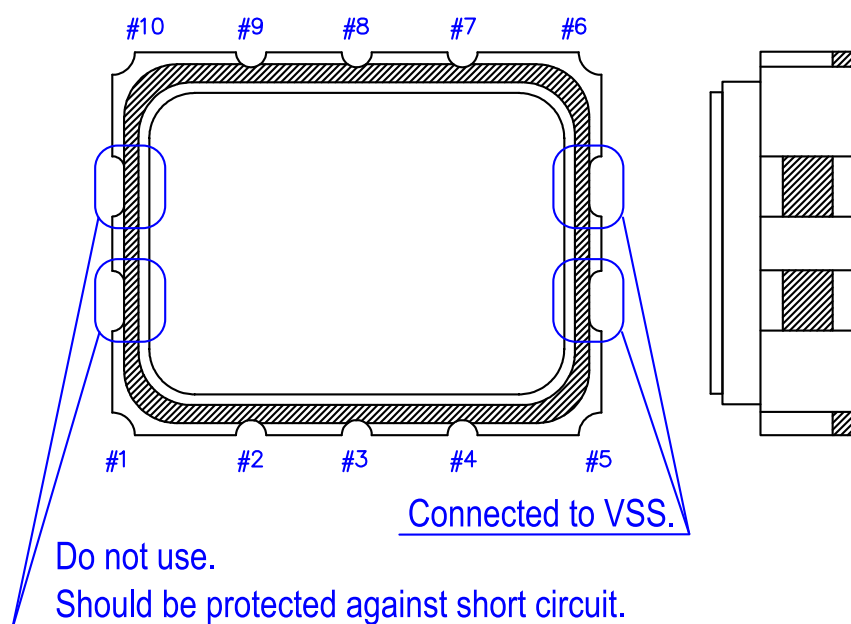
1. 水晶振動子を内蔵しているため、過大な衝撃・振動を与えないようにして下さい。組立時の衝撃力、機械、条件によっては振動子が破壊される事もありますので、ご使用前に必ず貴社で御確認下さい。また、条件変更時にも同様の確認後、ご使用下さい。
2. 本発振器は IC を用いておりますので、静電気に対しては十分注意してお取り扱い願います。
3. [周波数精度の確保]及び [急激な温度変化等による水分結露の防止]のため、常温・常湿環境で保管及び使用することをお勧めします。
4. リフローは 3 回までとして下さい。

はんだ付けミスがあった場合には、はんだごてによる手直しをお願いします。この場合、こて先は+350℃以下、5秒以内にお願いします。本製品が基板下面にある状態でリフローをする場合の本製品の落下については貴社で確認して下さい。

5. 超音波洗浄は使用条件により振動子が破壊される事もあります。ご使用前に必ず貴社で確認して下さい。
6. 周期的な機械的振動からの保護

本製品に冷却ファン・圧電サウンダ・圧電ブザー・スピーカーなど、周期性を伴った機械振動や衝撃が加わりますと、出力信号に周波数変動や振幅変動が発生する場合があります。この現象は、特に通信機器用途での通信品質に影響を与えます。当社製品は設計に際して、このような機械的振動の影響が最小限になる配慮をしておりますが、事前に十分確認されることをお勧めします。

7. 本製品の金属キャップ面は VSS へ接続されておりますので、ご使用時には電位を印加させないようご注意ください。
8. 製品短辺の側面端子(1番端子側)は内部で IC、水晶と接続されているため、ショートもしくは絶縁抵抗の低下等に御注意願います。逆側端子は VSS へ接続されておりますので、ご使用時には電位を印加させないようご注意ください。



9. 出力電力の評価結果は、弊社評価基板に図 5.1 のテスト回路定数を実装した場合のものです。本製品が搭載される基板の配線パターンによっては最適な回路定数が異なる場合がありますので、最適定数については貴社での確認をお願いします。
10. 最大出力電力設定 ($AM^* = 0x3F$ 、 $P_{out} =$ 約 11 dBm) で長時間出力を継続した場合、出力電力が減少する場合があります。弊社信頼性試験での動作条件 ($AM^* = 0x28$ 、 $P_{out} =$ 約 8 dBm) 以上の出力電力設定で動作させる場合は、必ず貴社での確認をお願いいたします。
11. VDD、VSS ラインは太く配線し、高周波インピーダンスが低くなる様にして下さい。また製品直近に 0.1 μ F 程度のパスコンデンサの設置を推奨します。
12. 中間電位からの電源投入や電源電圧の立ち上げスピードが極端に速い場合、または極端に遅い場合、誤動作および不発振となるおそれがありますので避けて下さい。
13. 樹脂によるモールドを実施される際は、モールド時の圧力が 80 気圧を越えないようにご注意ください。また貴社工程での樹脂モールドによる製品破壊等がないことを、事前にご確認下さい。

Application Manual

セイコーエプソン株式会社

〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒541-0059 大阪府大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 愛知県名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8431 (直通) FAX (052) 231-2537

インターネットによる情報配信

<http://www5.epsondevice.com/ja/quartz/index.html>