

**アプリケーションマニュアル**

Programmable Voltage Controlled Oscillator

**VG7050ECN**

● **本マニュアルのご使用につきましては、次の点にご留意願います。**

1. 本資料の内容については、予告なく変更することがあります。量産設計の際は最新情報をご確認ください。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に記載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数値線上の大小関係で表します。
5. 輸出管理について
  - (1) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める必要な手続をおとりください。
  - (2) 大量破壊兵器の開発等およびその他の軍事情途に使用する目的をもって製品および弊社が提供する技術を輸出等しないでください。また、これらに使用するおそれのある第三者に提供しないでください。
6. 製品は一般電子機器に使用されることを意図し設計されたものです。特別に高信頼性を必要とする以下の特定用途に使用する場合は、弊社の事前承諾を必ず得てください。承諾無き場合は如何なる責任も負いかねることがあります。
  - 1 宇宙機器（人工衛星・ロケット等） 2 輸送車両並びにその制御機器（自動車・航空機・列車・船舶等）
  - 3 生命維持を目的とした医療機器 4 海底中継機器 5 発電所制御機器 6 防災・防犯装置 7 交通用機器
  - 8 その他；1～7 と同等の信頼性を必要とする用途

本資料に掲載されている会社名、商品名は、各社の商標もしくは登録商標です。

## 目次

1. 概要.....	1
2. 品目名称体系 .....	2
3. ブロック図 .....	3
4. 端子配置 .....	4
4.1. ピン割り当て .....	4
4.2. 端子説明 .....	4
5. 電気的特性 .....	5
5.1. 絶対最大定格 .....	5
5.2. DC 特性 .....	5
5.3. AC 特性 .....	7
5.4. VCXO 制御電圧入力 (V <sub>C</sub> ) .....	11
5.5. LVPECL .....	12
5.6. 立ち上げ .....	14
6. 機能説明 .....	15
6.1. 概要.....	15
6.2. K <sub>v</sub> の設定 .....	15
6.3. 出力周波数の設定.....	15
6.3.1. 周波数設定値の算出 .....	15
6.3.2. PLL 設定値の書き込み.....	17
6.4. I <sup>2</sup> C インターフェース.....	20
6.4.1. I <sup>2</sup> C バスの接続.....	20
6.4.2. 対応する I <sup>2</sup> C バスプロトコル .....	20
6.4.3. START 条件と STOP 条件.....	21
6.4.4. Byte フォーマットと ACK/NACK.....	21
6.4.5. レジスタへの Read/Write .....	22
7. レジスタ .....	23
7.1. レジスタ一覧.....	23
7.2. プロダクトコード 0 レジスタ .....	24
7.3. プロダクトコード 1 レジスタ .....	24
7.4. リビジョンコードレジスタ .....	24
7.5. ID コード 0 レジスタ .....	24
7.6. ID コード 1 レジスタ .....	25
7.7. ODIV レジスタ .....	25
7.8. NINT レジスタ .....	26
7.9. NFRAC レジスタ.....	26
7.10. PLL Control レジスタ .....	27
7.11. FSEL ステータスレジスタ .....	28
7.12. KV レジスタ .....	28
8. 外形寸法 .....	29
9. 表示説明 .....	30
10. はんだ付けパターン例 .....	31

11. 使用上の注意事項 ..... 32

## 1. 概要

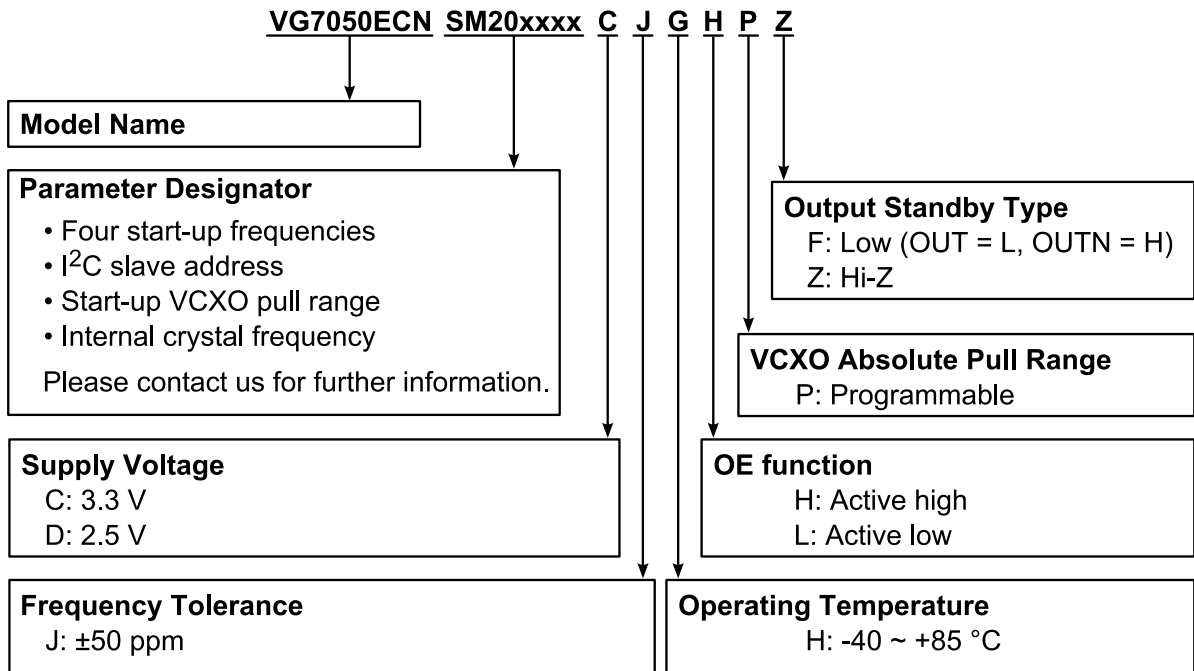
Programmable Voltage Controlled Oscillator: VG7050ECN は、VCXO を内蔵した、低ジッタの任意周波数 VCXO 発振器です。VG7050ECN は VCXO、PLL、差動出力バッファ (LVPECL) により構成されます。I<sup>2</sup>C インターフェースを介して、50 MHz から 800 MHz の範囲で、約 2 ppb の分解能で出力周波数を設定できます。

VCXO 部は、基本波による安定した 100 MHz 以上のクロックを、フラクショナル-N PLL へ供給します。VCXO の Kv は、I<sup>2</sup>C インターフェースを介してプログラミングできます。

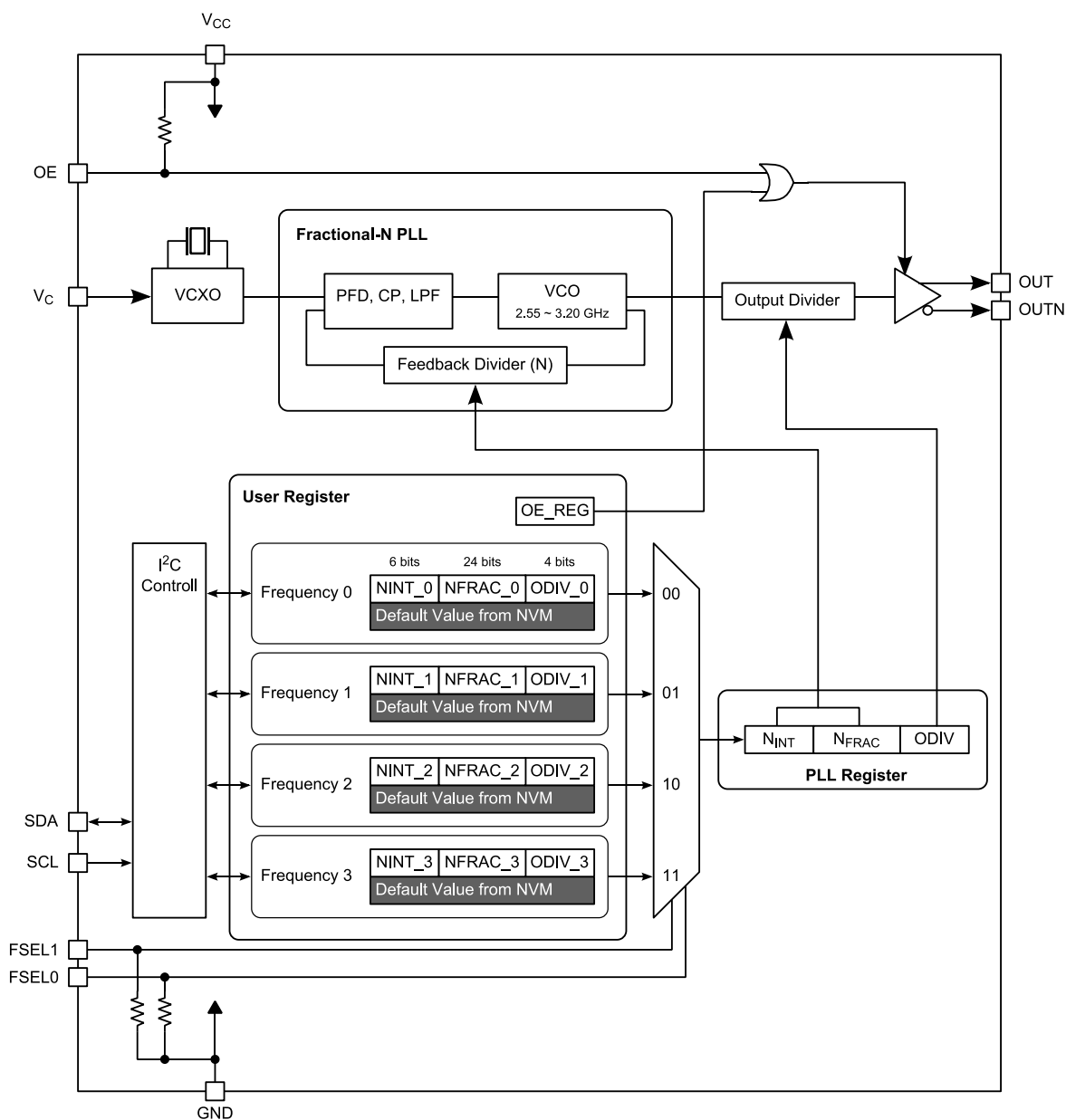
PLL 部は低ジッタのフラクショナル-N PLL 技術を用いています。ループフィルタを IC に内蔵するため、ループフィルタ用の外付けの部品は必要ありません。

- 出力周波数範囲 50 MHz ~ 800 MHz
- 周波数設定分解能 約 2 ppb オーダー
- Kv 可変機能
- 基本波発振の水晶振動子を用いた VCXO による、低ジッタ・高信頼性のクロック源
- 低位相ノイズ・低ジッタ PLL
- 4 種類のプリセット周波数設定を不揮発メモリに保存
- 工場出荷時に下記特性をプリセット
  - OE 極性
  - 非出力状態: Hi-Z または固定 (OUT = “L”, OUTN = “H”)
  - I<sup>2</sup>C インターフェースのスレーブアドレス
- 発振用、および PLL のループフィルタ用の抵抗・コンデンサを内蔵
- I<sup>2</sup>C インターフェース
- FSEL0, FSEL1 端子による出力周波数選択
- 差動 LVPECL 出力バッファ
- 10-pin セラミック 5 x 7 mm パッケージ
- 電源電圧 2.5 V or 3.3 V
- 動作温度 -40 °C ~ +85 °C
- Pb-free/RoHS-compliant

**2. 品目名称体系**



3. ブロック図

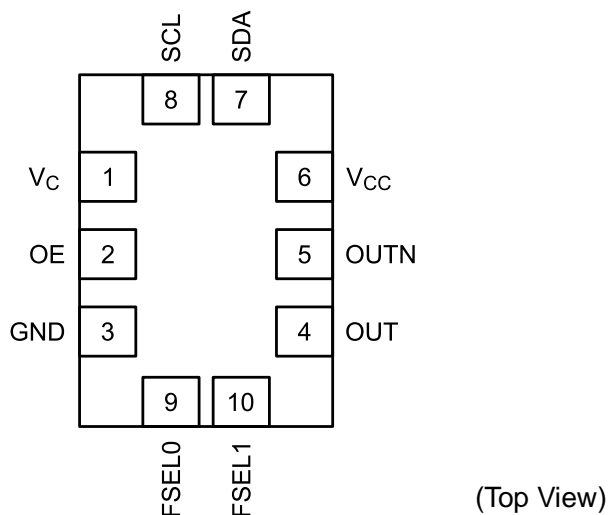


\* OE が負論理の場合、OE 端子は内蔵抵抗により GND へプルダウンされます。

図 3.1 VG7050ECN ブロック図

## 4. 端子配置

### 4.1. ピン割り当て



### 4.2. 端子説明

表 4.1 端子説明

番号	端子名	種別	機能												
1	V <sub>c</sub>	Input	- VCXO 制御電圧入力												
2	OE	Input	Pull-up/ 出力制御 (Active High) <table border="1" style="margin-left: 20px;"> <tr> <td>OE 端子状態</td> <td>OUT, OUTN 端子状態</td> </tr> <tr> <td>“H” or Open</td> <td>発振波形出力</td> </tr> <tr> <td>“L”</td> <td>Hi-Z または OUT = “L”, OUTN = “H”</td> </tr> </table> Pull-down 出力制御 (Active Low) <table border="1" style="margin-left: 20px;"> <tr> <td>OE 端子状態</td> <td>OUT, OUTN 端子状態</td> </tr> <tr> <td>“H”</td> <td>Hi-Z または OUT = “L”, OUTN = “H”</td> </tr> <tr> <td>“L” or Open</td> <td>発振波形出力</td> </tr> </table>	OE 端子状態	OUT, OUTN 端子状態	“H” or Open	発振波形出力	“L”	Hi-Z または OUT = “L”, OUTN = “H”	OE 端子状態	OUT, OUTN 端子状態	“H”	Hi-Z または OUT = “L”, OUTN = “H”	“L” or Open	発振波形出力
OE 端子状態	OUT, OUTN 端子状態														
“H” or Open	発振波形出力														
“L”	Hi-Z または OUT = “L”, OUTN = “H”														
OE 端子状態	OUT, OUTN 端子状態														
“H”	Hi-Z または OUT = “L”, OUTN = “H”														
“L” or Open	発振波形出力														
3	GND	Power	- 電源端子												
4	OUT	Output	- 差動クロック信号出力												
5	OUTN	Output													
6	V <sub>cc</sub>	Power	+ 電源端子												
7	SDA <sup>*1</sup>	Input/Output	- I <sup>2</sup> C データ (Open drain 出力)												
8	SCL <sup>*1</sup>	Input	- I <sup>2</sup> C クロック												
9	FSEL0	Input	初期周波数選択端子/周波数設定レジスタ選択端子												
10	FSEL1	Input													

Note: “Pull-up”, “Pull-down” は VG7050ECN 内蔵の抵抗を示します。  
 \*Note 1: V<sub>cc</sub> へのプルアップ抵抗を外付けする必要があります。



## 5. 電気的特性

## 5.1. 絶対最大定格

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
電源電圧	V <sub>CC</sub>	GND = 0 V	-0.3	-	4.0	V
プルアップ電圧	V <sub>PU</sub>	SDA, SCL のプルアップ電位	-0.3	-	4.0	V
入力電圧 1	V <sub>in1</sub>	GND = 0 V, SDA, SCL 以外の端子	GND - 0.3	-	V <sub>CC</sub> + 0.3	V
入力電圧 2	V <sub>in2</sub>	GND = 0 V, SDA, SCL	GND - 0.3	-	4.0	V
保存温度	T <sub>stg</sub>	単品での保存	-55	-	+125	°C

Note: 絶対最大定格を超えて本デバイスを使用した場合、本デバイスの永久破壊となることがあります。また通常動作では推奨動作条件の条件で使用することが望ましく、この条件を越えると本デバイスの誤動作の原因になるとともに、本デバイスの信頼性に悪影響を及ぼすことがあります。

## 5.2. DC 特性

表 5.1 電源・動作温度

GND = 0 V, Ta = -40 ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
電源電圧	V <sub>CC</sub>	3.3 V オプション	2.970	3.3	3.630	V
		2.5 V オプション	2.375	2.5	2.625	
電源電流 <sup>*1</sup>	I <sub>CC</sub>	OE = Enable, Outputs terminated with 50 Ω to V <sub>CC</sub> - 2.0 V				mA
		3.3 V オプション	-	-	90	
		2.5 V オプション	-	-	90	
ディセーブル時電流 <sup>*1</sup>	I <sub>dis</sub>	OE = Disable, Output standby type: Hi-Z				mA
		3.3 V オプション	-	-	40	
		2.5 V オプション	-	-	40	
		OE = Disable, Output standby type: Fix (OUT = "L", OUTN = "H")				mA
		3.3 V オプション	-	-	70	
2.5 V オプション	-	-	70			
動作温度	Ta	-	-40	-	+85	°C

Note 1: Guaranteed by design, characterization, and/or simulation only and not production tested.

表 5.2 Logic I/O

V<sub>CC</sub> = 3.3 V ± 10% or 2.5 V ± 5%, GND = 0 V, Ta = -40 ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
プルアップ電圧	V <sub>PU</sub>	SDA, SCL のプルアップ電位	V <sub>CC</sub> × 0.7	-	3.630	V
Hレベル入力電圧 1	V <sub>IH1</sub>	OE, FSEL0, FSEL1	V <sub>CC</sub> × 0.7	-	V <sub>CC</sub> + 0.3	V
Hレベル入力電圧 2	V <sub>IH2</sub>	SDA, SCL, プルアップ電位 = V <sub>PU</sub>	V <sub>CC</sub> × 0.7	-	3.630	V
Lレベル入力電圧	V <sub>IL</sub>	SDA, SCL, OE, FSEL0, FSEL1	-0.3	-	V <sub>CC</sub> × 0.3	V
Hレベル入力電流 1	I <sub>IH1</sub>	SDA, SCL, OE (Active High), FSEL0, FSEL1	-	-	2	μA
Hレベル入力電流 2	I <sub>IH2</sub>	V <sub>CC</sub> = 3.3 V ± 10%, OE (Active Low)	-	-	170	μA
		V <sub>CC</sub> = 2.5 V ± 5%, OE (Active Low)	-	-	100	
Lレベル入力電流 1	I <sub>IL1</sub>	SDA, SCL, OE (Active Low) FSEL0, FSEL1	-2	-	-	μA
Lレベル入力電流 2	I <sub>IL2</sub>	V <sub>CC</sub> = 3.3 V ± 10%, OE (Active High)	-70	-	-	μA
		V <sub>CC</sub> = 2.5 V ± 5%, OE (Active High)	-35	-	-	
Lレベル出力電圧	V <sub>OL</sub>	SDA, at 3 mA sink current	0	-	0.4	V
Lレベル出力電流	I <sub>OL</sub>	SDA, V <sub>OL</sub> = 0.4 V	3	-	-	mA
内蔵プルアップ抵抗	R <sub>UP</sub>	OE (Active High)	-	85	-	kΩ
	R <sub>DOWN</sub>	OE (Active Low), FSEL0, FSEL1	-	35	-	
入力容量 <sup>*1</sup>	C <sub>IN</sub>	SDA, SCL, OE, FSEL0, FSEL1	-	5	-	pF

Note 1: Guaranteed by design, characterization, and/or simulation only and not production tested.

## 5.3. AC 特性

表 5.3 出力周波数特性

 $V_{CC} = 3.3 \text{ V} \pm 10\% \text{ or } 2.5 \text{ V} \pm 5\%$ ,  $GND = 0 \text{ V}$ ,  $T_a = -40 \sim +85 \text{ }^\circ\text{C}$ 

項目	記号	条件	規格			単位	
			Min.	Typ.	Max.		
出力周波数範囲	$f_o$	OUT, OUTN	50	-	800	MHz	
内蔵水晶周波数	$f_{XTAL}$	-	-	114.144	-	MHz	
周波数プログラミング精度	$M_{RES}$	-	2.2	-	2.8	ppb	
周波数許容偏差 <sup>*1</sup>	$f\_tol$	周波数温度特性、周波数電圧特性、周波数初期偏差、エージング <sup>*2</sup> (+25 °C 下で 10 年)を含む。	-50	-	+50	$10^{-6}$	
出力を停止せずに変更できる出力周波数範囲 <sup>*1</sup>	-	From Center Frequency after setting NEW_FREQ bit	-500	-	+500	$10^{-6}$	
NEW_FREQ ビットの 1 書き込みによる周波数変更時間 <sup>*1</sup>	$t_{SET1}$	-	-	-	1.5	ms	
FSEL0, FSEL1 の切り替わりによる周波数変更時間 <sup>*1</sup>	$t_{SET2}$	-	-	-	1.5	ms	
SML_CHG ビットの 1 書き込みによる周波数変更時間 <sup>*1</sup>	$t_{SET3}$	< $\pm 500$ ppm from center frequency after setting NEW_FREQ bit	-	-	100	$\mu\text{s}$	
SSB 位相ノイズ <sup>*1</sup>	$F_{CN}$	$f_o = 622.08 \text{ MHz}$ , from carrier					
		$V_{CC} = 3.3 \text{ V}^3$	100 Hz	-	-75.7	-	dBc/Hz
			1 kHz	-	-101.6	-	
			10 kHz	-	-118.8	-	
			100 kHz	-	-121.3	-	
			1 MHz	-	-129.3	-	
			10 MHz	-	-146.8	-	
		$V_{CC} = 2.5 \text{ V}^4$	100 Hz	-	-72.7	-	
			1 kHz	-	-99.3	-	
			10 kHz	-	-118.2	-	
			100 kHz	-	-121.3	-	
			1 MHz	-	-129.2	-	
10 MHz	-		-146.9	-			
RMS 位相ジッタ <sup>*1, *5</sup>	$t_{PJ}$	$f_o = 622.08 \text{ MHz}$ , Integration range: 12 kHz – 20 MHz (OC-48)					
		$V_{CC} = 3.3 \text{ V}^3$		-	0.3	-	ps
		$V_{CC} = 2.5 \text{ V}^4$		-	0.3	-	ps
		$f_o = 622.08 \text{ MHz}$ , Integration range: 20 kHz – 50 MHz					
		$V_{CC} = 3.3 \text{ V}^3$		-	0.3	-	ps
		$V_{CC} = 2.5 \text{ V}^4$		-	0.3	-	ps
		$f_o = 622.08 \text{ MHz}$ , Integration range: 50 kHz – 80 MHz (OC-192)					
		$V_{CC} = 3.3 \text{ V}^3$		-	0.3	-	ps
		$V_{CC} = 2.5 \text{ V}^4$		-	0.3	-	ps

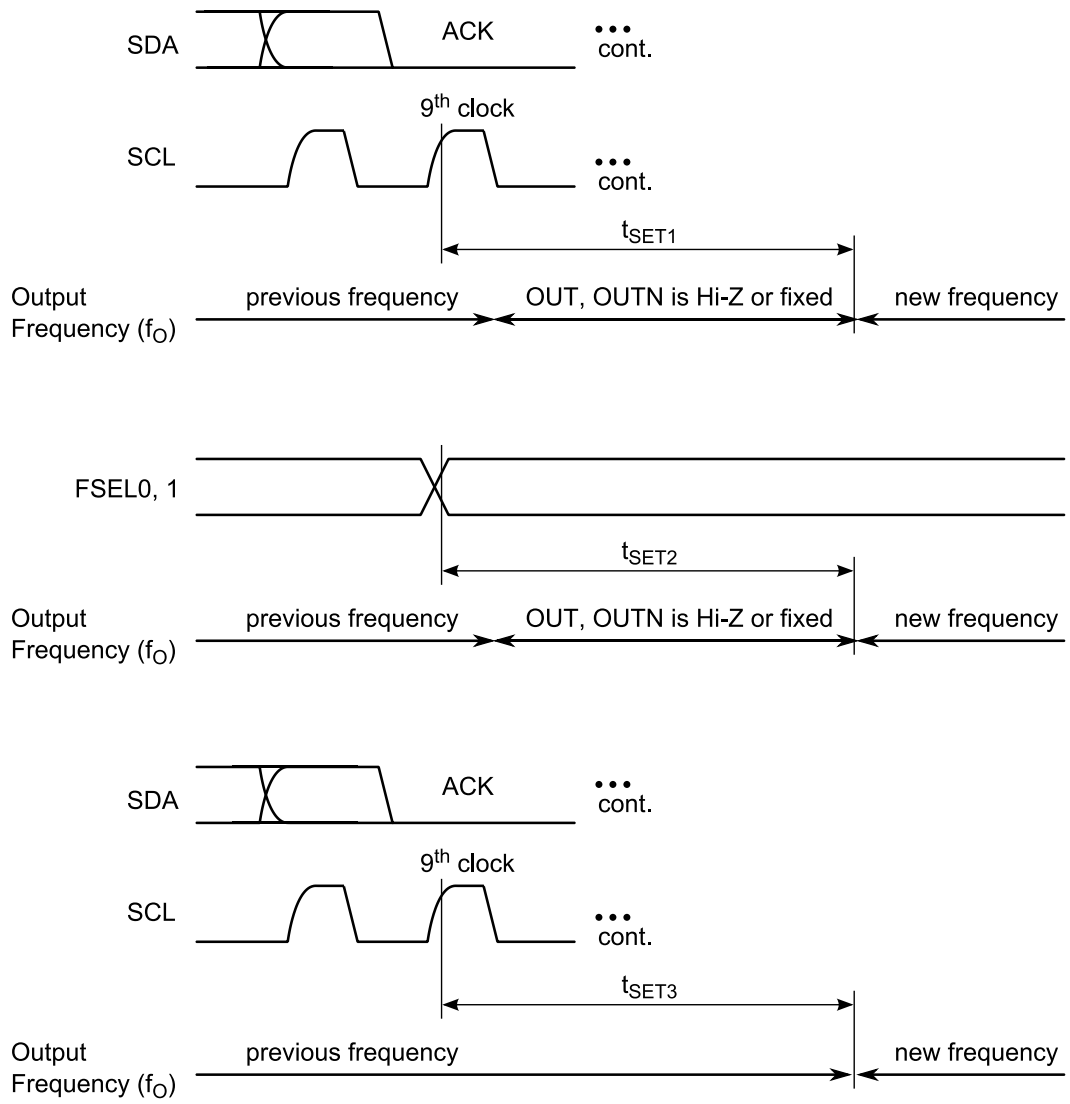
Note 1: Guaranteed by design, characterization, and/or simulation only and not production tested.

Note 2: エージングは環境試験結果から周波数変動量を見込んだものであり、製品寿命保証するものではありません。

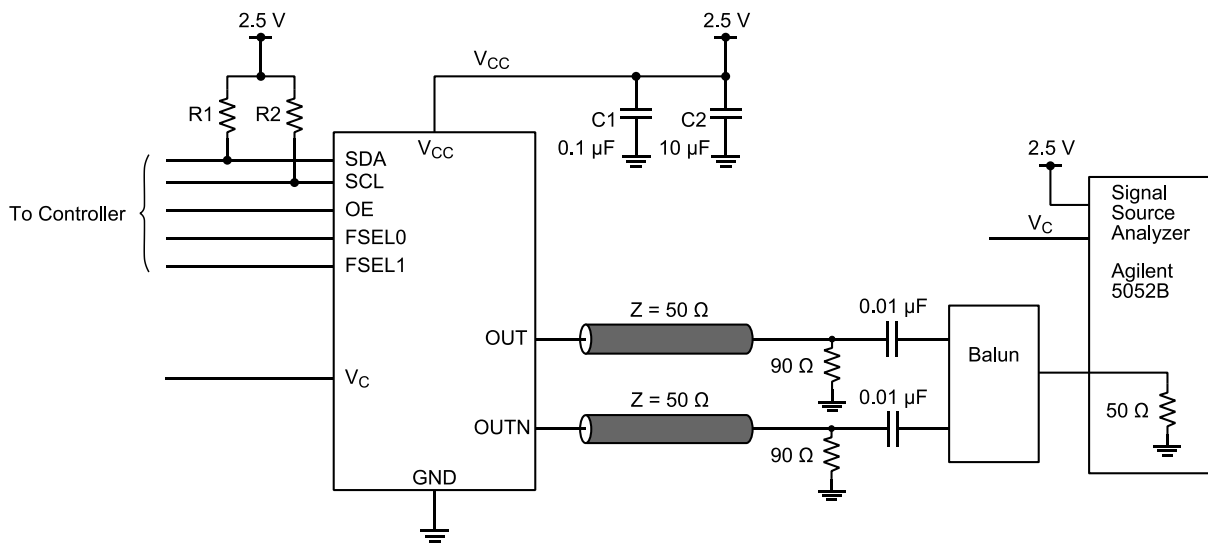
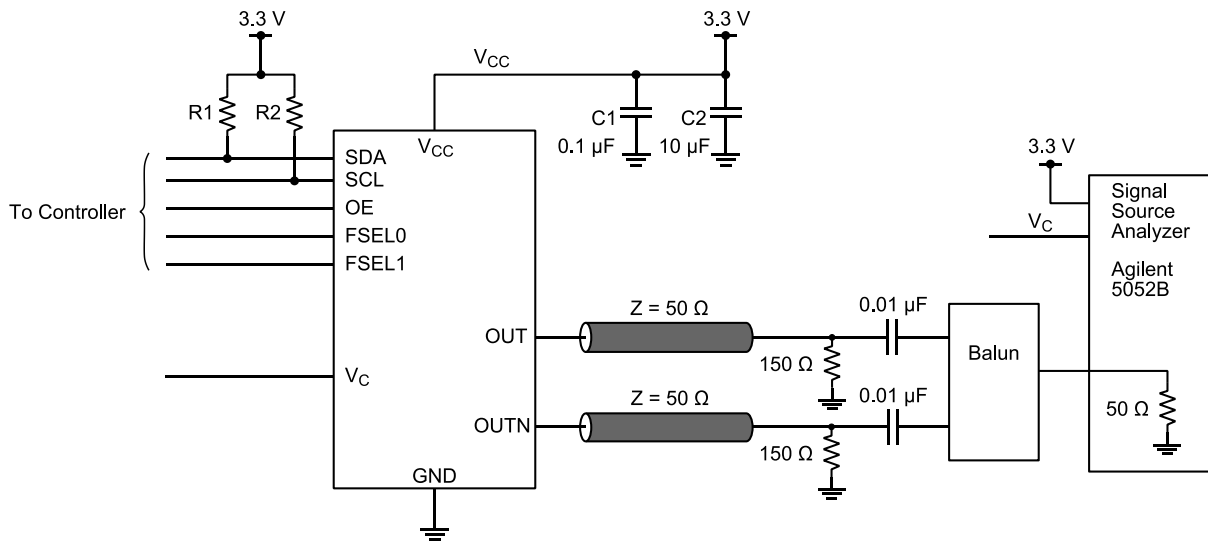
Note 3:  $f_{XTAL} = 114.144 \text{ MHz}$ ,  $T_a = +25 \text{ }^\circ\text{C}$ ,  $V_{CC} = 3.3 \text{ V}$ ,  $V_C = 1.65 \text{ V}$ ,  $KV = 0x0$

Note 4:  $f_{XTAL} = 114.144 \text{ MHz}$ ,  $T_a = +25 \text{ }^\circ\text{C}$ ,  $V_{CC} = 2.5 \text{ V}$ ,  $V_C = 1.25 \text{ V}$ ,  $KV = 0x0$

Note 5:  $f_o$ ,  $f_{XTAL}$ , PLL および出力分周器の設定に依存して、出力信号にスプリアスが発生します。特に、このスプリアスが RMS 位相ジッタを計測する積分周波数範囲内に発生する場合、RMS 位相ジッタが悪化することがあります。詳細は弊社営業にお問い合わせください。



**Frequency Change Time**



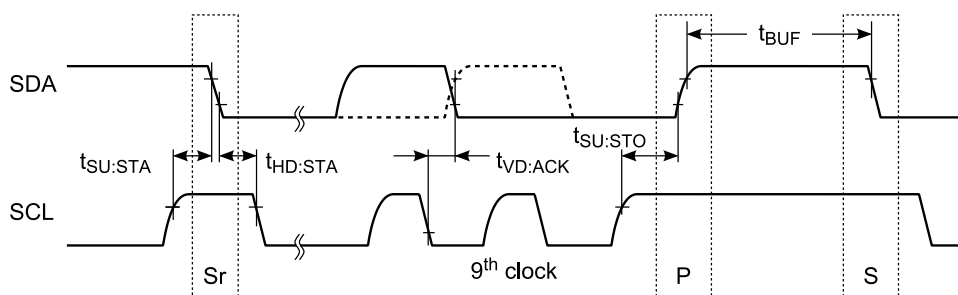
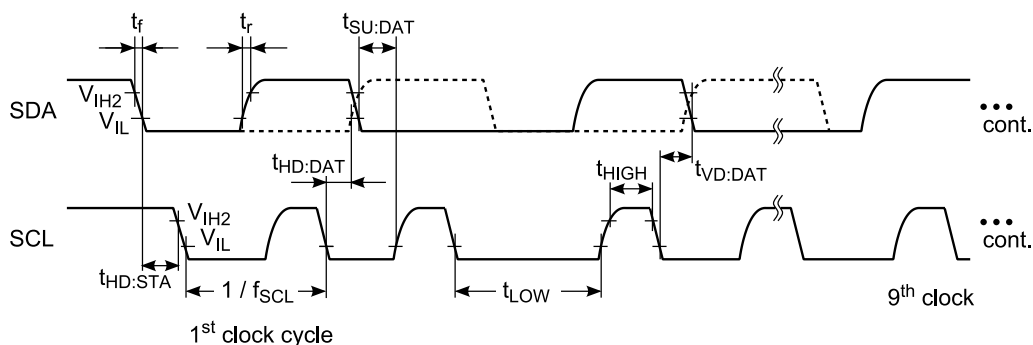
Phase Noise Test Circuit

表 5.4 シリアルインターフェース

$V_{CC} = 3.3\text{ V} \pm 10\% \text{ or } 2.5\text{ V} \pm 5\%$ ,  $GND = 0\text{ V}$ ,  $T_a = -40 \sim +85\text{ }^\circ\text{C}$

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
SCL クロック周波数	$f_{SCL}$	-	-	-	400	kHz
ホールド時間(反復)「START」条件 この期間の後、最初のクロック・パルスを生成	$t_{HD:STA}$	-	0.6	-	-	$\mu\text{s}$
SCL クロックの“L”期間	$t_{LOW}$	-	1.3	-	-	$\mu\text{s}$
SCL クロックの“H”期間	$t_{HIGH}$	-	0.6	-	-	$\mu\text{s}$
反復「START」条件のセットアップ時間	$t_{SU:STA}$	-	0.6	-	-	$\mu\text{s}$
入力データ・ホールド時間	$t_{HD:DAT}$	-	0	-	-	$\mu\text{s}$
入力データ・セットアップ時間	$t_{SU:DAT}$	-	100	-	-	ns
SDA および SCL 信号の立ち上がり時間 <sup>*1</sup>	$t_r$	-	-	-	300	ns
SDA および SCL 信号の立ち下がり時間	$t_f$	-	-	-	300	ns
「STOP」条件のセットアップ時間	$t_{SU:STO}$	-	0.6	-	-	$\mu\text{s}$
「STOP」条件と「START」条件との間のバス・フリー時間	$t_{BUF}$	-	1.3	-	-	$\mu\text{s}$
データ出力遅延時間	$t_{VD:DAT}$	-	-	-	0.9	$\mu\text{s}$
ACK/NACK 出力遅延時間	$t_{VD:ACK}$	-	-	-	0.9	$\mu\text{s}$

Note 1: Guaranteed by design, characterization, and/or simulation only and not production tested.



Serial Interface

5.4. VCXO 制御電圧入力 (V<sub>C</sub>)

表 5.5 VCXO 周波数可変特性(1)

V<sub>CC</sub> = 3.3 V ± 10% or 2.5 V ± 5%, GND = 0 V, Ta = -40 ~ +85 °C

項目	記号	条件	規格			単位
			Min.	Typ.	Max.	
V <sub>C</sub> 入力電圧範囲	V <sub>C</sub>	-	0	-	V <sub>CC</sub>	V
V <sub>C</sub> 入力抵抗	R <sub>IN</sub>	DC Level	5	-	-	MΩ
Nominal Control Voltage	V <sub>CNOM</sub>	V <sub>CC</sub> = 3.3 V ± 10%	-	1.65	-	V
		V <sub>CC</sub> = 2.5 V ± 5%	-	1.25	-	
周波数変化極性		-	正極性			-

表 5.6 VCXO 周波数可変特性(2)

V<sub>CC</sub> = 3.3 V ± 10% or 2.5 V ± 5%, GND = 0 V, Ta = -40 ~ +85 °C

項目	記号	条件	規格			単位	
			Min.	Typ.	Max.		
線形性	f <sub>lin</sub>	BSL V <sub>CC</sub> = 3.3 V, V <sub>C</sub> = 0.3 V ~ 3.0 V V <sub>CC</sub> = 2.5 V, V <sub>C</sub> = 0.25 V ~ 2.25 V	-	-	±10	%	
			-	-	±10		
変調帯域	BW	±3 dB, reference input: 1 kHz	10	-	-	kHz	
絶対周波数可変範囲	APR	V <sub>CC</sub> = 3.3 V, V <sub>C</sub> = 0.3 V ~ 3.0 V, f <sub>X TAL</sub> = 114.144 MHz	KV Register			ppm	
			0x0	±180	-		-
			0x1	±164	-		-
			0x2	±148	-		-
			0x3	±132	-		-
			0x4	±116	-		-
			0x5	±99	-		-
			0x6	±83	-		-
			0x7	±67	-		-
			0x8	±51	-		-
			0x9	±35	-		-
			0xA	±19	-		-
		0xB	±3	-	-		
		V <sub>CC</sub> = 2.5 V, V <sub>C</sub> = 0.25 V ~ 2.25 V, f <sub>X TAL</sub> = 114.144 MHz	KV Register			ppm	
			0x0	±183	-		-
			0x1	±166	-		-
			0x2	±150	-		-
			0x3	±134	-		-
			0x4	±118	-		-
			0x5	±102	-		-
			0x6	±86	-		-
			0x7	±69	-		-
			0x8	±54	-		-
			0x9	±38	-		-
0xA	±22		-	-			
0xB	±6	-	-				

Note: Guaranteed by design, characterization, and/or simulation only and not production tested.

5.5. LVPECL

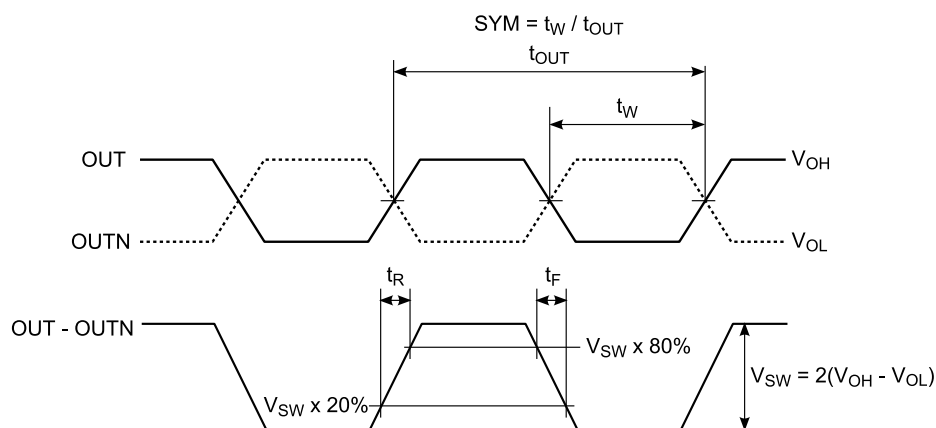
表 5.7 LVPECL

$V_{CC} = 3.3\text{ V} \pm 10\%$  or  $2.5\text{ V} \pm 5\%$ ,  $GND = 0\text{ V}$ ,  $T_a = -40 \sim +85\text{ }^\circ\text{C}$

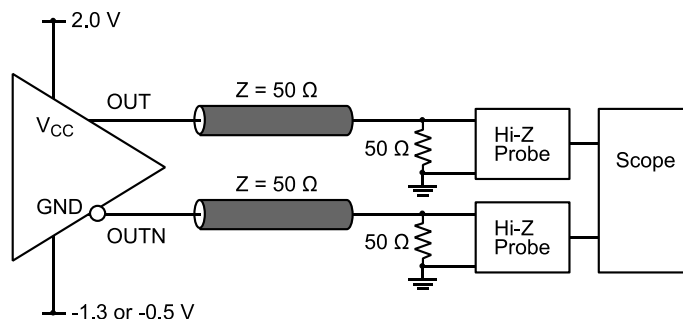
項目	記号	条件	規格			単位
			Min.	Typ.	Max	
出力負荷条件	L_PECL	Outputs terminated with $50\ \Omega$ to $V_{CC} - 2.0\text{ V}$				-
立ち上がり時間 <sup>*1</sup>	$t_R$	-	-	-	400	ps
立ち下り時間 <sup>*1</sup>	$t_F$	-	-	-	400	ps
波形対称性 <sup>*1</sup> (duty cycle)	SYM	-	45	50	55	%
Hレベル出力電圧	$V_{OH}$	-	$V_{CC} - 1.025$	$V_{CC} - 0.95$	-	V
Lレベル出力電圧	$V_{OL}$	-	-	$V_{CC} - 1.7$	$V_{CC} - 1.62$	V
ディゼーブル遅延時間 <sup>*1</sup>	$t_{PXZ}$	-	-	-	100	ns
イネーブル遅延時間 <sup>*1</sup>	$t_{PZX}$	-	-	-	10	$\mu\text{s}$

Note: シングルエンドでの使用はできません。

Note 1: Guaranteed by design, characterization, and/or simulation only and not production tested.

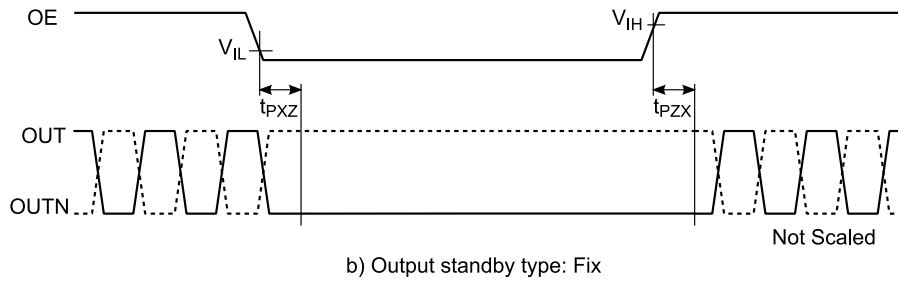
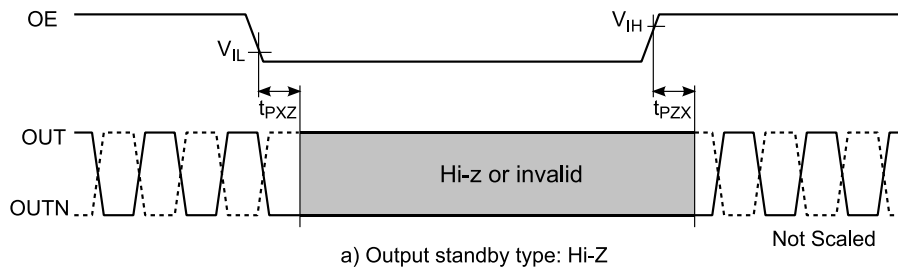


Output Rise/Fall Time, Symmetry (duty cycle)

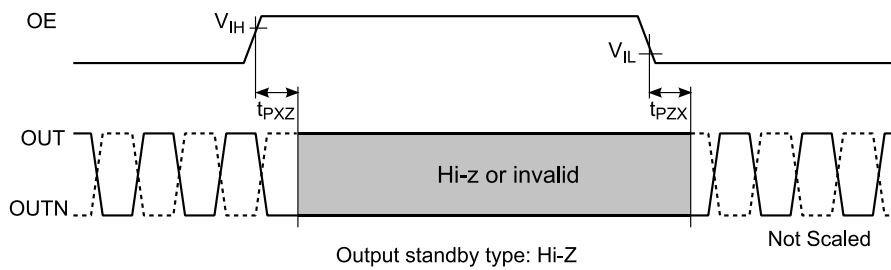
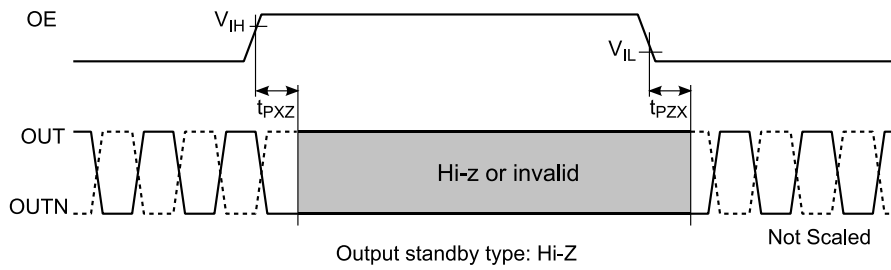


Output AC Test Circuit





**OE function (Active High)**



**OE function (Active Low)**

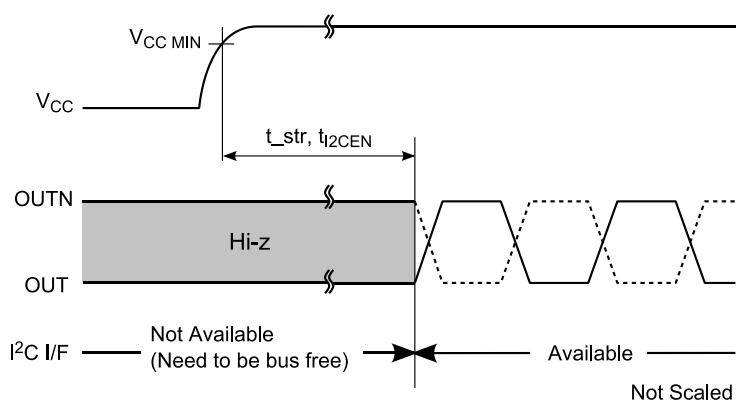
5.6. 立ち上げ

表 5.8 立ち上げ

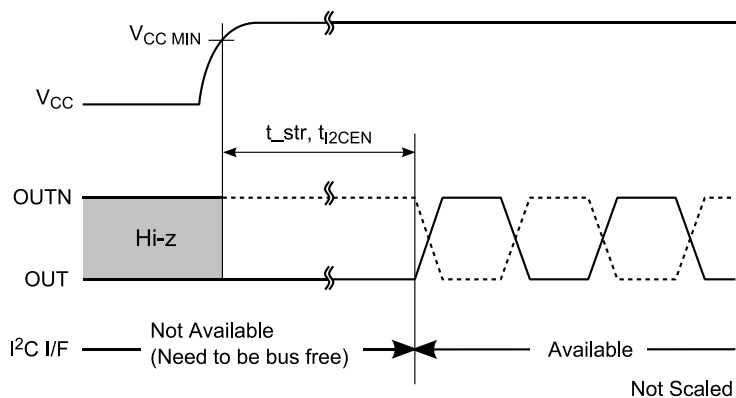
$V_{CC} = 3.3\text{ V} \pm 10\%$  or  $2.5\text{ V} \pm 5\%$ ,  $GND = 0\text{ V}$ ,  $T_a = -40 \sim +85\text{ }^\circ\text{C}$

項目	記号	条件	規格			単位
			Min.	Typ.	Max	
$V_{CC}$ ランプレート <sup>*1</sup>	$R_{VCC}$	$V_{CC}$ from 0 V to $V_{CC\text{ MIN.}}$	$5 \times 10^{-6}$	-	3	s
発振開始時間 <sup>*2</sup>	$t_{\text{str}}$	-	-	-	5	ms
I <sup>2</sup> C I/F 開始時間 <sup>*2</sup>	$t_{I2CEN}$	-	-	-	5	ms

Note 1:  $V_{CC}$  ramp must be monotonic.  
 Note 2: Guaranteed by design, characterization, and/or simulation only and not production tested.



a) Output standby type: Hi-Z



b) Output standby type: Fix

Start-Up Time

## 6. 機能説明

### 6.1. 概要

VG7050ECN は、基本波の水晶振動子と Voltage Control: VC 機能付き発振回路からなる VCXO 部、VCO、出力ディバイダ、フィードバックディバイダからなる PLL 部、および出力バッファ部から構成されます。VCXO 部は基本波の水晶振動子からなり、安定したリファレンスクロックを PLL 部に供給します。VCXO の Kv は I<sup>2</sup>C バスによってプログラムすることが可能です。出力周波数は、アウトプットディバイダとフィードバックディバイダの設定によって決まります。フィードバックディバイダは、より低いジッタを実現する整数設定だけでなく、ppb オーダーの分解能で周波数を設定する、小数設定も可能です。

VG7050ECN は VCXO の Kv や出力周波数が、工場出荷時に不揮発メモリへ設定されております。また Kv や出力周波数は、I<sup>2</sup>C バスによって工場出荷時の規定値とは異なる値に変更できます。ただし、それらは電源切断時には消去され、再度電源を投入した際は工場出荷時の値に戻ります。

### 6.2. Kv の設定

VG7050ECN の水晶発振回路には、VC 機能があります。VC 機能の周波数可変感度である Kv は、電源投入時は工場出荷時の規定値となります。その後 I<sup>2</sup>C バスによって KV.KV レジスタを設定することで、任意の Kv を選択することができます。

表 6.1 Kv の設定

レジスタ名	設定値	Kv 値*
KV.KV	0xC ~ 0xF	設定禁止
	0xB	最小
	...	...
	0x0	最大

\*Kv 値(または APR)は表 5.6 を参照してください

### 6.3. 出力周波数の設定

#### 6.3.1. 周波数設定値の算出

VG7050ECN の出力周波数 ( $f_o$ ) は、VCO の発振周波数 ( $f_{VCO}$ ) とアウトプットディバイダの分周比を (ODIV) によって式 (1) のように決まります。

$$f_o = \frac{f_{VCO}}{ODIV} \quad (1)$$

VG7050ECN の VCO の発振周波数 ( $f_{VCO}$ ) は、2.55 GHz ~ 3.20 GHz である必要があります。この制約と式(1)の関係より、 $f_o$  から出力分周設定 (ODIV) が決まります。この関係を表 5.2 に示します。

VCO の発振周波数は、VCXO から供給されるリファレンス周波数 ( $f_{REF}$ ) と、フィードバックディバイダの分周比設定 (N) によって決まります。VG7050ECN のフィードバックディバイダの分周設定は、6 ビットの整数部設定 ( $N_{INT}$ ) と 24 ビットの小数部設定 ( $N_{FRAC}$ ) からなり、高精度の周波数設定を可能にしています。また、VCO の発振周波数は式(2)で表されます。

$$\begin{aligned} f_{VCO} &= f_{REF} \times N \\ &= f_{REF} \times \left( N_{INT} + \frac{N_{FRAC}}{2^{24}} \right) \end{aligned} \quad (2)$$

表 6.2  $f_o$  と ODIV 値

$f_o$ [MHz]	ODIV	ODIV.ODIV レジスタ設定値*
50 ~ 57	56	0xF
53 ~ 67	48	0xE
64 ~ 80	40	0xD
80 ~ 100	32	0xC
91 ~ 114	28	0xB
106 ~ 133	24	0xA
128 ~ 160	20	0x9
159 ~ 200	16	0x8
182 ~ 229	14	0x7
213 ~ 267	12	0x6
255 ~ 320	10	0x5
319 ~ 400	8	0x4
364 ~ 457	7	0x3
425 ~ 533	6	0x2
510 ~ 640	5	0x1
638 ~ 800	4	0x0

出力周波数 ( $f_o$ ) は式(3)より求められます。

$$f_o = \frac{f_{VCO}}{ODIV} = f_{REF} \frac{\left(N_{INT} + \frac{N_{FRAC}}{2^{24}}\right)}{ODIV} \quad (3)$$

例えばリファレンス周波数 ( $f_{REF}$ ) が 114.144 MHz で出力周波数を 120 MHz にしたい場合、まず、ODIV は表 6.2 より "24" と決まります。次に、式(2)を変形した、フィードバックディバイダの分周設定 ( $N$ ,  $N_{INT}$ ,  $N_{FRAC}$ ) を算出します。

$$N = N_{INT} + \frac{N_{FRAC}}{2^{24}} = \frac{f_{OUT} \times ODIV}{f_{REF}} = \frac{120.0 \times 10^6 \times 24}{114.1444444 \times 10^6} = 25.231188535690308 \quad (4)$$

$$N_{INT} = \text{floor}(N) = \text{floor}(25.231188535690308) = 25 \quad (5)$$

$$N_{FRAC} = (N - N_{int}) \times 2^{24} = (25.231188535690308 - 25) \times 2^{24} = 0.231188535690308 \times 2^{24} \cong 3878700 = 0x3B2F2C \quad (6)$$

$f_o$  によっては、取りうる ODIV が 2 つになることもあります。例えば  $f_o$  が 380 MHz の場合、ODIV は 7 か 8 を選択することができます。どちらの ODIV を選択しても、 $N_{INT}$  と  $N_{FRAC}$  の設定によって同じ  $f_o$  を得ることができますが、出力信号に含まれる位相ノイズは異なります。お客様の実使用環境にて十分な評価を行って、ODIV を選択してください。

$N_{INT}$  は 6 bit の整数で、VCO の発振周波数 ( $f_{VCO}$ ) が 2.55 GHz ~ 3.20 GHz となる値に設定します。

$N_{FRAC}$  は 24 bit あり、 $N_{INT}$  の 6 bit と  $N_{FRAC}$  の 20 bit の設定により、10 ppb オーダーの周波数精度が実現できます。 $N_{FRAC}$  の残りの下位 4 bit は、1 ppb オーダーの周波数設定に相当しますが、この設定値によって出力信号のスプリアスが変化する可能性があります。お客様の実使用環境にて十分な評価を行って、 $N_{FRAC}$  の下位 4 bit を決定してください。

## 6.3.2. PLL 設定値の書き込み

VG7050ECN には、周波数設定を保存する 4 セットのユーザーレジスタと、4 セットから 1 セットを選択するユーザーレジスタセクタ、PLL に設定を供給する PLL レジスタがあります。ユーザーレジスタは、PLL の ODIV, NINT, NFRAC から構成されており、I<sup>2</sup>C バスが有効な期間中はいつでも再設定ができます。ユーザーレジスタセクタは、FSEL0, FSEL1 端子によって選択肢を決定します。PLL レジスタは PLL に接続されており、I<sup>2</sup>C バスで直接変更することはできません。電源投入直後は、工場出荷時にプログラミングされた値が不揮発メモリから自動的に PLL レジスタへフェッチされます。

電源投入後は、FSEL0, FSEL1 端子の設定を変更することによって、工場出荷時にプログラミングされた 4 種類の周波数設定から 1 つを選択することができます。FSEL0, 1 端子の設定と、選択されるユーザーレジスタの関係を表 6.3 に示します。VG7050ECN は、FSEL0, FSEL1 の変化を感知すると、FSEL0, FSEL1 端子によって選択されたユーザーレジスタを自動的に PLL レジスタに転送します。そして一時的にクロック出力が停止して PLL の最適化を行い、新しい周波数設定でのクロック出力を自動的に再開します。VG7050ECN からのクロックを受信する装置がグリッチや微小パルスに敏感な場合は、新しい周波数でのクロック出力が始まった後に、装置を一度リセットする必要があります。

表 6.3 FSEL 端子による周波数の選択

Input		Frequency Select	User Register
FSEL1	FSEL0		
0	0	Frequency 0	ODIV0, NINT0, NFRAC_H0, NFRAC_M0, NFRAC_L0
0	1	Frequency 1	ODIV1, NINT1, NFRAC_H1, NFRAC_M1, NFRAC_L1
1	0	Frequency 2	ODIV2, NINT2, NFRAC_H2, NFRAC_M2, NFRAC_L2
1	1	Frequency 3	ODIV3, NINT3, NFRAC_H3, NFRAC_M3, NFRAC_L3

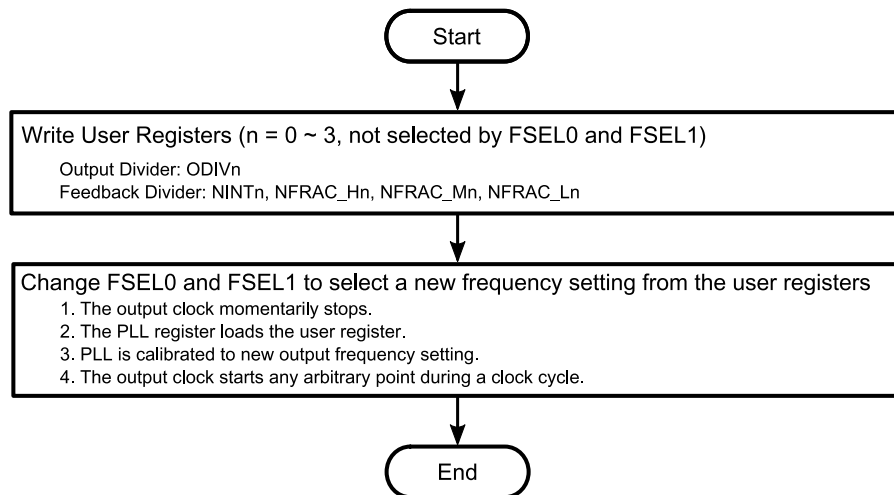
工場出荷時とは異なる周波数を設定する方法は、クロック出力を一時的に中断して PLL の最適化を行う方法と、クロック出力の中断と PLL の最適化を伴わない方法があります。前者は周波数の変化量に制約がありませんが、後者では限定されます。

6.3.2.1. PLL 最適化を伴う出力周波数の変更（任意周波数への変更）

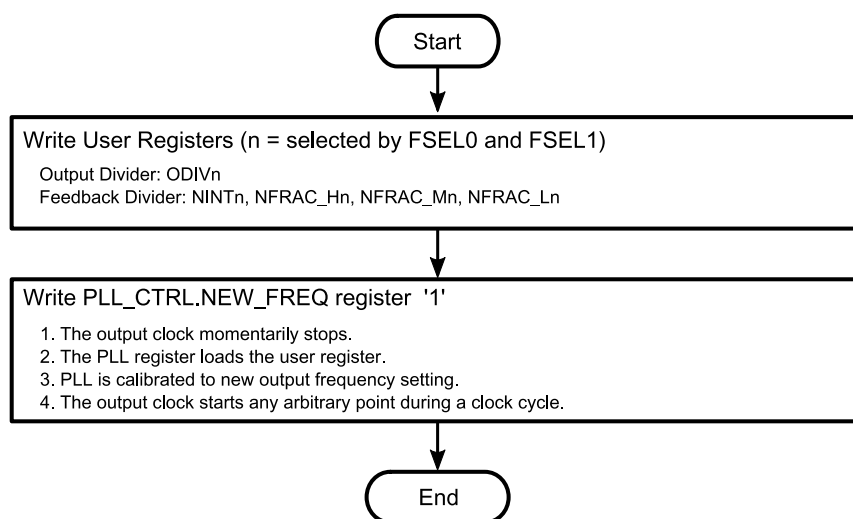
工場出荷時とは異なる出力周波数を設定するフローを図 6.1 に示します。まず FSEL0, FSEL1 端子で選択されていないユーザーレジスタ (ODVn, NINTn, NFRAC\_Hn, NFRAC\_Mn, NFRAC\_Ln; n = 0, 1, 2 or 3) に I<sup>2</sup>C バス経由で周波数設定を書き込みます。次に、FSEL0, FSEL1 端子を切り替えてそれらのレジスタを選択します。VG7050ECN は、FSEL0, FSEL1 の変化を感知すると、FSEL0, FSEL1 端子によって選択されたユーザーレジスタを自動的に PLL レジスタに転送します。そして一時的にクロック出力が停止して PLL の最適化を行い、新しい周波数設定でのクロック出力を自動的に再開します。

FSEL0, FSEL1 端子が固定されている場合は、FSEL0, FSEL1 で選択されているユーザーレジスタに周波数設定を書き込んだのち、PLL\_CTRL.NEW\_FREQ レジスタに 1 を書き込みことで出力周波数を変えることもできます。

どちらの方法でも、新しい出力周波数設定に対する PLL の最適化が行われるため、ジッタが少ないクロック出力が得られます。VG7050ECN からのクロックを受信する装置がグリッチや微小パルスに敏感な場合は、新しい周波数でのクロック出力が始まった後に、装置を一度リセットする必要があります。



a) Change a frequency setting and select it by FSEL0, FSEL1



b) Change a frequency setting and request to load it

図 6.1 周波数の設定手順（PLL 最適化を伴う）

6.3.2.2. PLL 最適化を伴わない出力周波数の変更（出力周波数の小変更）

VG7050ECN は、クロック周波数を停止させずに出力周波数を変更することもできます。ただし、この方法では PLL の最適化を伴いません。そのため、周波数の可変範囲は図 6.2 に示されるように、PLL の最適化動作が行われた出力周波数を中心とした、500 ppm の範囲に限定されます。この方法による出力周波数の変更フローを図 6.3 に示します。

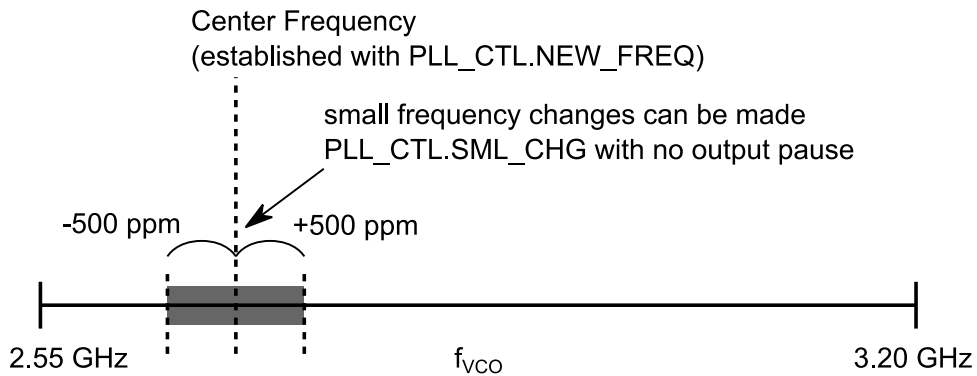


図 6.2 PLL 最適化を伴わない手順での VCO 周波数可変範囲

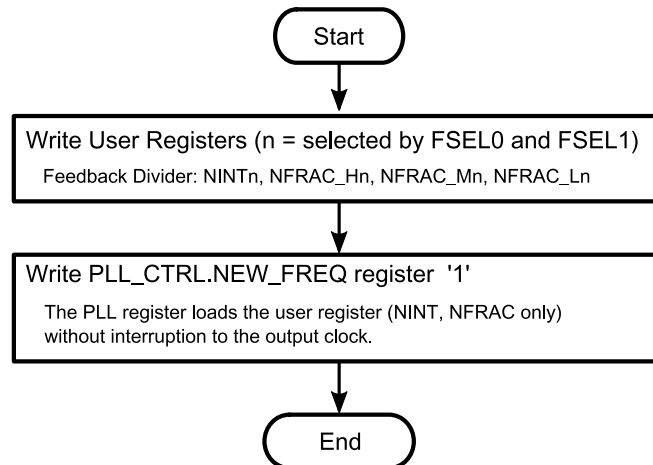


図 6.3 周波数の設定手順（PLL 最適化を伴わない）

まず、FSEL0, FSEL1 端子で選択されているユーザーレジスタの NINT, NFRAC を変更します。つぎに、PLL\_CTRL.SML\_CHG レジスタに 1 を書き込みます。すると、VG7050ECN のユーザーレジスタから PLL レジスタへ周波数設定が転送され、クロック出力が継続したまま出力信号の周波数 (f<sub>0</sub>) が更新されます。

この間、PLL の最適化動作は行われなため、ジッタが増加する可能性があります。また周波数が変化する過程にて、変更前と変更後の周波数で定義される帯域を外れた周波数の信号が、一時的に出力される可能性があります。

## 6.4. I<sup>2</sup>C インターフェース

### 6.4.1. I<sup>2</sup>C バスの接続

VG7050ECN は I<sup>2</sup>C バスのスレーブデバイスとして動作します。I<sup>2</sup>C バスは、シリアルデータ線 (SDA) とシリアルクロック (SCL) で構成されており、両ラインとも外付け抵抗によりプルアップされている必要があります。プルアップの電位は  $V_{CC}$  以上である必要があります、 $V_{CC}$  にプルアップすることを推奨します。また、I<sup>2</sup>C バス上のスレーブデバイスのスレーブアドレスは、ユニークである必要があります。

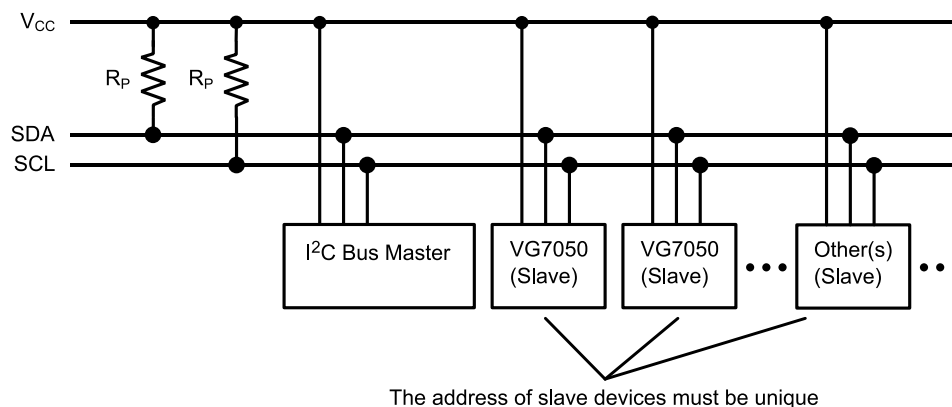


図 6.4 I<sup>2</sup>C バスの接続

### 6.4.2. 対応する I<sup>2</sup>C バスプロトコル

VG7050ECN が対応する I<sup>2</sup>C バスプロトコルを表 6.4 に示します。

表 6.4 対応 I<sup>2</sup>C バスプロトコル

Feature	VG7050ECN
START condition	✓
STOP condition	✓
Acknowledge	✓
Clock stretching	n/a
7-bit slave address	✓
10-bit slave address	n/a
General Call address	n/a
Software Reset	n/a
Device ID	n/a

n/a = not applicable



### 6.4.3. START 条件と STOP 条件

I<sup>2</sup>C バスにおけるデータ通信は START 条件 (S) で始まります。START 条件とは、SCL が “H” のときに SDA が “H” から “L” に変化することであり、START 条件が発生すると、I<sup>2</sup>C バスがビジー状態になります。適切な通信では起こりえないような条件であっても、START 条件を受領すると、常に VG7050ECN の I<sup>2</sup>C インターフェース回路は初期化されます。

I<sup>2</sup>C バスのデータ通信は STOP 条件 (P) によって終了させることができます。STOP 状態とは、SCL が “H” のときに SDA が “L” から “H” に変化することであり、STOP 条件が発生すると、I<sup>2</sup>C バスはフリー状態になります。

I<sup>2</sup>C バスがビジー状態のときに、STOP 条件の代わりに START 条件が生成された場合は、それを反復スタート条件 (Sr) といい、バスはビジー状態を維持します。

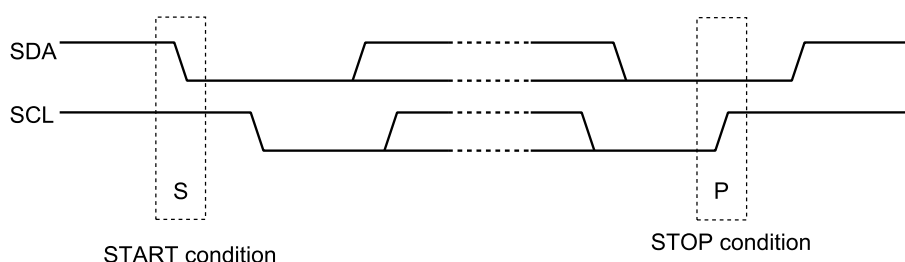


図 6.5 START, STOP 状態

### 6.4.4. Byte フォーマットと ACK/NACK

I<sup>2</sup>C のデータ送受信は 8 bit = 1 byte 単位で行われ、各 byte の後にはアクリッジビットが続きます。データは MSB first で転送されます。アクリッジビットを含む、全ての SCL パルスは、Master より生成します。

アクリッジ信号 (ACK: A) は、アクリッジビットを送受信する期間中に、送信側 (Master transmitter または Slave transmitter) が SDA を開放する際、受信側 (Master receiver または Slave receiver) が SDA を “L” に制御することで送信されます。一方、この期間中に SDA が “H” であった場合は、アクリッジ信号が送信されません (not acknowledge:  $\overline{A}$ )。

6.4.5. レジスタへの Read/Write

レジスタへの Read/Write の手順を図 6.6 に示します。VG7050ECN は、指定されたレジスタアドレスを先頭にした 1 byte、または複数 byte 数のデータを Read/Write できます。VG7050ECN のスレーブアドレスの規定値は 0x37 です。（お客様が指定される任意のスレーブアドレスを工場出荷時に設定することができます）

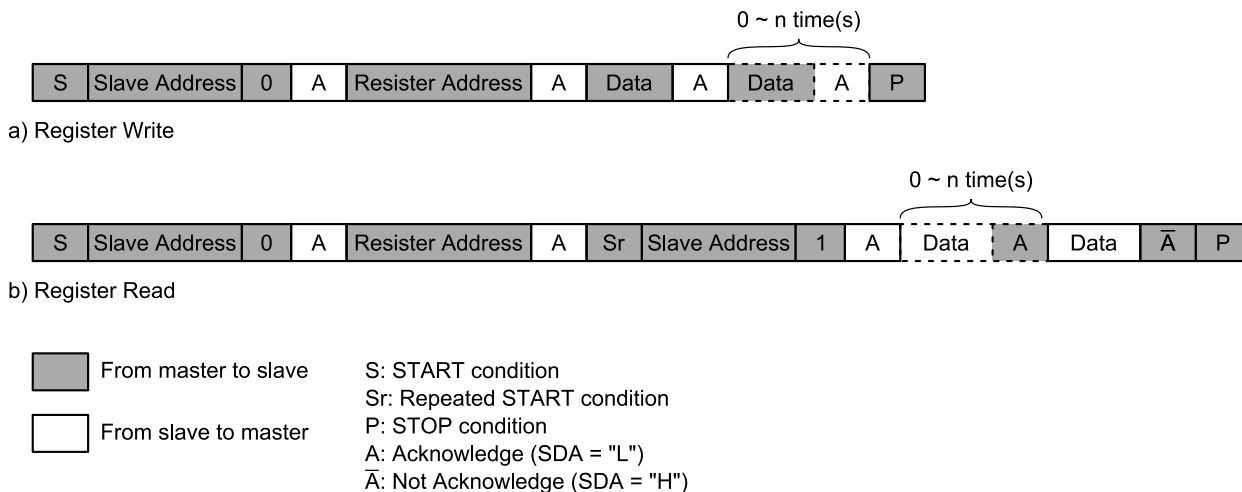


図 6.6 I<sup>2</sup>C によるレジスタの Read/Write

## 7. レジスタ

## 7.1. レジスタ一覧

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	P_CODE0	0x46 (Ascii 'F', Read Only)							
0x01	P_CODE1	0x43 (Ascii 'C', Read Only)							
0x02	REV	0x01 (Read Only)							
0x03	ID_CODE0	0x01 (Read Only)							
0x04	ID_CODE1	-	ID (Read Only)						
0x10	ODIV0	-	-	-	-	ODIV			
0x11	NINT0	-	-	NINT					
0x12	NFRAC_H0	NFRAC_H							
0x13	NFRAC_M0	NFRAC_M							
0x14	NFRAC_L0	NFRAC_L							
0x15	PLL_CTRL0	OE_REG	-	-	-	VCTUNE_D IS	NEW_FRE Q	SML_CHG	NVM_RES TORE
0x16	FSEL_STAT0	-	-	-	-	-	-	FSEL (Read Only)	
0x20	ODIV1	-	-	-	-	ODIV			
0x21	NINT1	-	-	NINT					
0x22	NFRAC_H1	NFRAC_H							
0x23	NFRAC_M1	NFRAC_M							
0x24	NFRAC_L1	NFRAC_L							
0x30	ODIV2	-	-	-	-	ODIV			
0x31	NINT2	-	-	NINT					
0x32	NFRAC_H2	NFRAC_H							
0x33	NFRAC_M2	NFRAC_M							
0x34	NFRAC_L2	NFRAC_L							
0x40	ODIV3	-	-	-	-	ODIV			
0x41	NINT3	-	-	NINT					
0x42	NFRAC_H3	NFRAC_H							
0x43	NFRAC_M3	NFRAC_M							
0x44	NFRAC_L3	NFRAC_L							
0x50	PLL_CTRL1	OE_REG	-	-	-	VCTUNE_D IS	NEW_FRE Q	SML_CHG	NVM_RES TORE
0x51	FSEL_STAT1	-	-	-	-	-	-	FSEL (Read Only)	
0x5A	KV	-	-	-	-	KV			

Note: ここに記載されていないアドレスには、値を書き込まないでください。また、未定義のビットには0を書き込んでください。

## 7.2. プロダクトコード 0 レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	P_CODE0	P_CODE							
Type		R/O							
Default		0	1	0	0	0	1	1	0

Bit	Name	Function
7:0	P_CODE	プロダクトコード (0x46) アスキーコード 'F'

## 7.3. プロダクトコード 1 レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x01	P_CODE1	P_CODE							
Type		R/O							
Default		0	1	0	0	0	0	1	1

Bit	Name	Function
7:0	P_CODE	プロダクトコード (0x43) アスキーコード 'C'

## 7.4. リビジョンコードレジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x02	REV	REV							
Type		R/O							
Default		0	0	0	0	0	0	0	1

Bit	Name	Function
7:0	REV	リビジョンコード 0x01

## 7.5. ID コード 0 レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x03	ID_CODE0	ID							
Type		R/O							
Default		0	0	0	0	0	0	0	1

Bit	Name	Function
7:0	ID	IDコード 0x01

## 7.6. ID コード 1 レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x04	ID_CODE1	-	ID						
	Type	-	R/O						
	Default	-	製品に依存						

Bit	Name	Function
7	Reserved	常に 0 をが読み込まれます
6:0	ID	<b>ID コード</b> パラメータ認識番号 (SM20xxxx) の下 7bit

## 7.7. ODIV レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x10	ODIV0	-	-	-	-	ODIV			
0x20	ODIV1								
0x30	ODIV2								
0x40	ODIV3								
	Type	-	-	-	-	R/W			
	Default	-	-	-	-	NVM			

Bit	Name	Function																
7:4	Reserved	常に 0 を書き込んでください																
3:0	ODIV	<b>アウトプットディバイダの分周比</b> <table border="1" style="margin-left: 20px;"> <tr> <td>0x0: 4</td> <td>0x4: 8</td> <td>0x8: 16</td> <td>0xC: 32</td> </tr> <tr> <td>0x1: 5</td> <td>0x5: 10</td> <td>0x9: 20</td> <td>0xD: 40</td> </tr> <tr> <td>0x2: 6</td> <td>0x6: 12</td> <td>0xA: 24</td> <td>0xE: 48</td> </tr> <tr> <td>0x3: 7</td> <td>0x7: 14</td> <td>0xB: 28</td> <td>0xF: 56</td> </tr> </table>	0x0: 4	0x4: 8	0x8: 16	0xC: 32	0x1: 5	0x5: 10	0x9: 20	0xD: 40	0x2: 6	0x6: 12	0xA: 24	0xE: 48	0x3: 7	0x7: 14	0xB: 28	0xF: 56
0x0: 4	0x4: 8	0x8: 16	0xC: 32															
0x1: 5	0x5: 10	0x9: 20	0xD: 40															
0x2: 6	0x6: 12	0xA: 24	0xE: 48															
0x3: 7	0x7: 14	0xB: 28	0xF: 56															

## 7.8. NINT レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x11	NINT0	-	-	NINT					
0x21	NINT1								
0x31	NINT2								
0x41	NINT3								
Type		-	-	R/W					
Default		-	-	NVM					

Bit	Name	Function												
7:6	Reserved	常に 0 を書き込んでください												
5:0	NINT	<b>フィードバックディバイダの分周設定の整数部分 (N<sub>INT</sub>)</b> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>設定値</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>0x00 ~ 0x11, 0d ~ 17d</td> <td>設定禁止</td> </tr> <tr> <td>0x12</td> <td>N<sub>INT</sub> = 18</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>0x20</td> <td>N<sub>INT</sub> = 32</td> </tr> <tr> <td>0x21 ~ 0x3F, 33d ~ 63d</td> <td>設定禁止</td> </tr> </tbody> </table>	設定値	内容	0x00 ~ 0x11, 0d ~ 17d	設定禁止	0x12	N <sub>INT</sub> = 18	...	...	0x20	N <sub>INT</sub> = 32	0x21 ~ 0x3F, 33d ~ 63d	設定禁止
設定値	内容													
0x00 ~ 0x11, 0d ~ 17d	設定禁止													
0x12	N <sub>INT</sub> = 18													
...	...													
0x20	N <sub>INT</sub> = 32													
0x21 ~ 0x3F, 33d ~ 63d	設定禁止													

## 7.9. NFRAC レジスタ

Address	Register Name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x12	NFRAC_H0	NFRAC[23:16]							
0x22	NFRAC_H1								
0x32	NFRAC_H2								
0x42	NFRAC_H3								
0x13	NFRAC_M0	NFRAC[15:8]							
0x23	NFRAC_M1								
0x33	NFRAC_M2								
0x43	NFRAC_M3								
0x14	NFRAC_L0	NFRAC[7:0]							
0x24	NFRAC_L1								
0x34	NFRAC_L2								
0x44	NFRAC_L3								
Type		R/W							
Default		NVM							

Bit	Name	Function
7:0	NFRAC[23:16] NFRAC[15:8] NFRAC[7:0]	<b>フィードバックディバイダの分周設定の小数部分 (N<sub>FRAC</sub>)</b> 例: N <sub>FRAC</sub> が 0x123456 の場合の設定値 NFRAC_H = 0x12 NFRAC_M = 0x34 NFRAC_L = 0x56

## 7.10. PLL Control レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x15	PLL_CTRL0	OE_REG	-	-	-	VCTUNE_	NEW_FR	SML_CH	NVM_RE
0x50	PLL_CTRL1					DIS	EQ	G	STORE
Type		R/W	-	-	-	R/W	R/W	R/W	R/W
Default		0	-	-	-	0	0	0	0

PLL\_CTRL0レジスタと PLL\_CTRL1レジスタはアドレスを共有したレジスタであり、どちらのレジスタで操作しても同一の結果が得られます。

Bit	Name	Function																					
7	OE_REG	<p><b>アウトプットイネーブル</b>            0: 出力バッファ無効            1: 出力バッファ有効</p> <p>LVPECL 出力バッファのイネーブルは、下表のとおり、OE 端子と本レジスタのどちらかが有効な時に設定されます。</p> <p style="text-align: center;">LVPECL output buffer</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th colspan="2" rowspan="2"></th> <th colspan="2">OE 端子 (Active High)</th> <th colspan="2">OE 端子 (Active Low)</th> </tr> <tr> <th>H or Open</th> <th>L</th> <th>H</th> <th>L or Open</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">OE_REG</td> <td style="text-align: center;">1</td> <td style="text-align: center;">イネーブル</td> <td style="text-align: center;">イネーブル</td> <td style="text-align: center;">イネーブル</td> <td style="text-align: center;">イネーブル</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">イネーブル</td> <td style="text-align: center;">ディゼーブル</td> <td style="text-align: center;">ディゼーブル</td> <td style="text-align: center;">イネーブル</td> </tr> </tbody> </table>			OE 端子 (Active High)		OE 端子 (Active Low)		H or Open	L	H	L or Open	OE_REG	1	イネーブル	イネーブル	イネーブル	イネーブル	0	イネーブル	ディゼーブル	ディゼーブル	イネーブル
		OE 端子 (Active High)			OE 端子 (Active Low)																		
		H or Open	L	H	L or Open																		
OE_REG	1	イネーブル	イネーブル	イネーブル	イネーブル																		
	0	イネーブル	ディゼーブル	ディゼーブル	イネーブル																		
6:4	Reserved	常に 0 を書き込んでください																					
3	VCTUNE_DIS	<p><b>VC 機能停止</b>            0: VC 機能有効            1: VC 機能無効</p>																					
2	NEW_FREQ	<p><b>出力周波数設定の更新</b>            1 を書き込むことにより、ユーザーレジスタに設定された周波数設定が PLL レジスタに転送され、それによって出力周波数が更新されます。このビットは、PLL の周波数の変更と PLL の最適化が終了すると、自動的にクリアされます。</p> <p>Note: このビットによる周波数変更の詳細は、6.3.2 項を参照してください。</p>																					
1	SML_CHG	<p><b>出力周波数設定の更新 (周波数の小変更)</b>            1 を書き込むことにより、ユーザーレジスタに設定された周波数設定が PLL レジスタに転送され、それによって出力周波数が更新されます。このビットは、PLL の周波数の変更が終了すると、自動的にクリアされます。</p> <p>Note: このビットによる周波数変更の詳細は、6.3.2 項を参照してください。</p>																					
0	NVM_RESTORE	<p><b>ユーザーレジスタの内容を NVM から再読み込み</b>            1 を書き込むことにより、ユーザーレジスタの初期値が不揮発メモリ (NVM) から再読み込みされます。このビットは、再読み込みが完了すると自動的にクリアされます。</p> <p>Note: このビットへの書き込みだけでは PLL レジスタが更新されません。ユーザーレジスタの初期化と同時に発振周波数を初期化する場合は、このレジスタと同時に、またはこのレジスタに 1 を書き込んだ後に、NEW_FREQ ビットに 1 を書き込んでください。</p>																					

## 7.11. FSEL ステータスレジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x16	FSEL_STAT0	-	-	-	-	-	-	-	-
0x52	FSEL_STAT1	-	-	-	-	-	-	-	FSEL
Type		-	-	-	-	-	-	-	R/O
Default		-	-	-	-	-	-	-	-

Bit	Name	Function
7:2	Reserved	常に 0 を書き込んでください
1:0	FSEL	<b>FSEL0, FSEL1 設定</b> 現在選択されているユーザーレジスタの周波数番号 (0 ~ 3) を示します。通常は FSEL0, FSEL1 端子の入力と等しくなりますが、FSEL0, FSEL1 端子が切り替わってから新しい周波数設定が有効になるまでの間は、以前の FSEL0, FSEL1 端子設定が読み出されます。

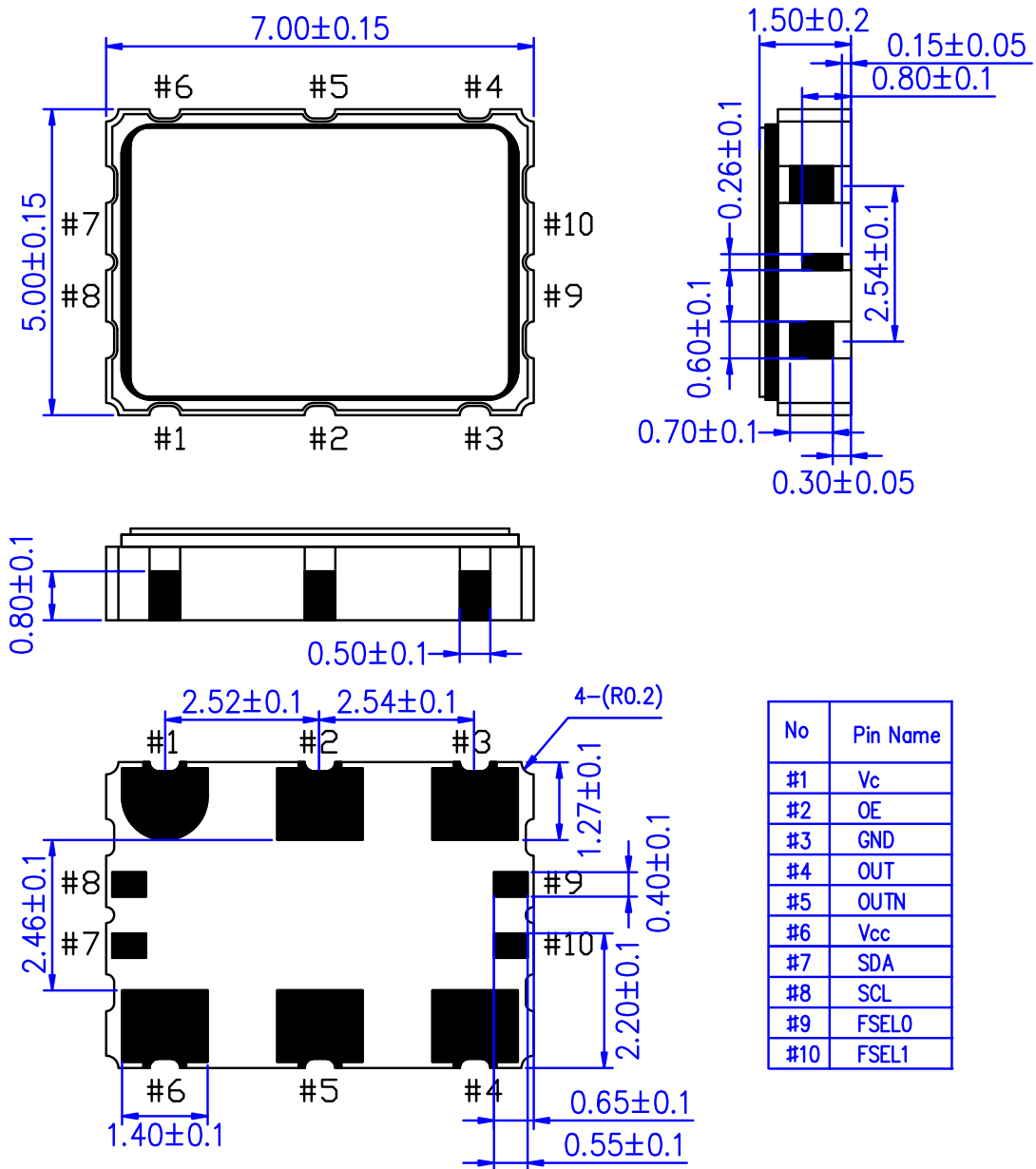
## 7.12. KV レジスタ

Address	Register name	Bit							
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x5A	KV	-	-	-	-	-	-	-	KV
Type		-	-	-	-	-	-	-	R/W
Default		-	-	-	-	-	-	-	NVM

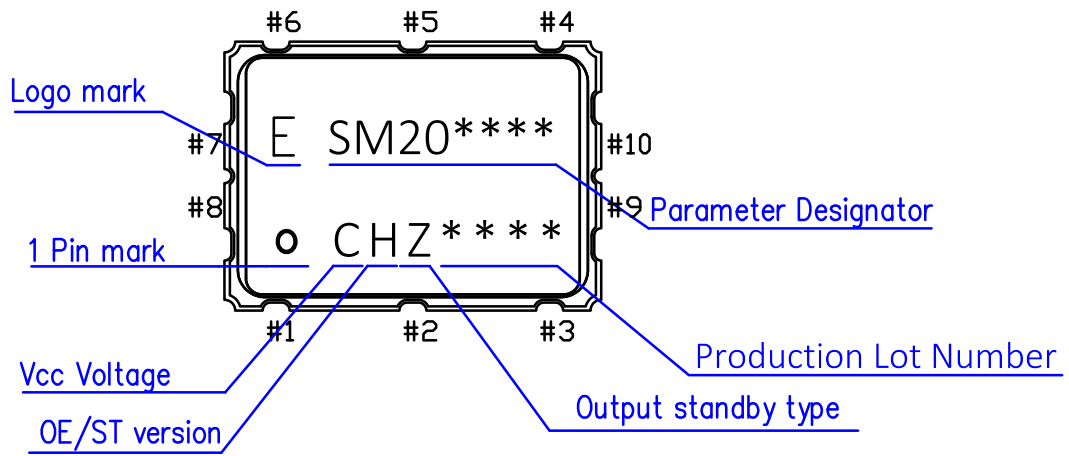
Bit	Name	Function
7:4	Reserved	常に 0 を書き込んでください
3:0	KV	<b>VCXO の Kv 設定</b> 設定値と KV の関係は電氣的特性規格 (表 5.6) を参照してください。



8. 外形寸法

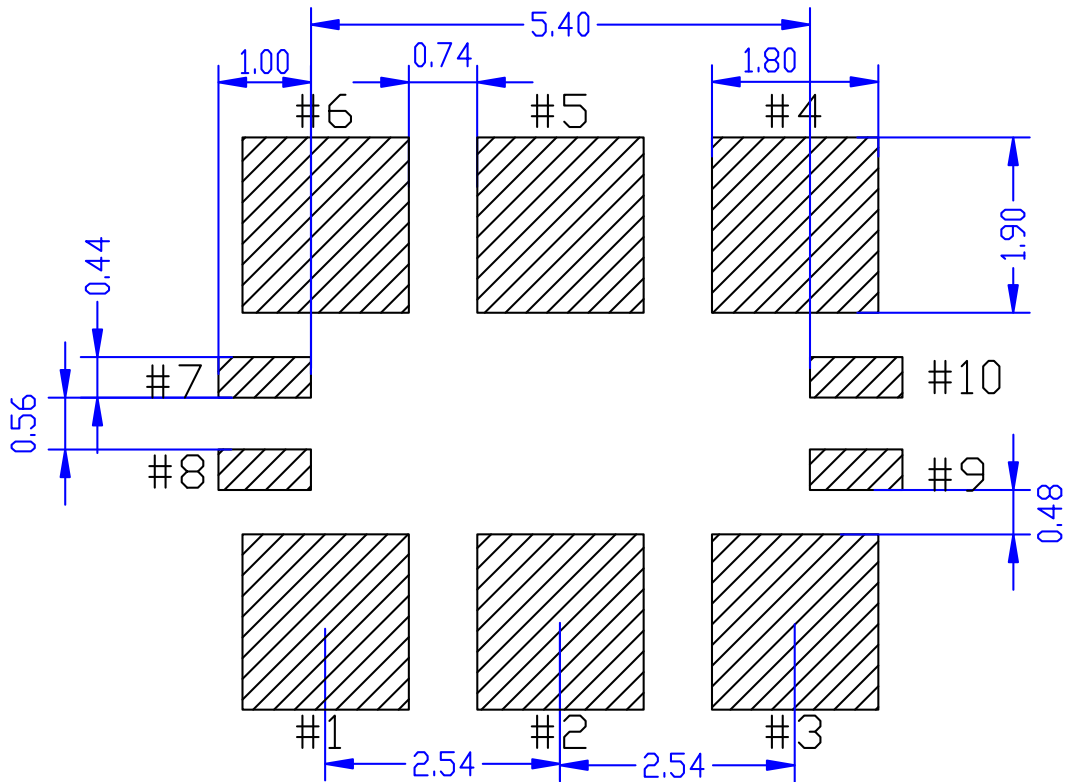


## 9. 表示説明



- 表示内容は、捺印内容と位置の大略を示すものであり字形・大きさおよび位置の詳細を規定するものではありません。

10. はんだ付けパターン例



## 11. 使用上の注意事項

1. 水晶振動子を内蔵しているため、過大な衝撃・振動を与えないようにして下さい。組立時の衝撃力、機械、条件によっては振動子が破壊される事もありますので、ご使用前に必ず貴社で御確認下さい。また、条件変更時にも同様の確認後、ご使用下さい。
2. 本発振器は IC を用いておりますので、静電気に対しては十分注意してお取扱い願います。
3. [周波数精度の確保]及び [急激な温度変化等による水分結露の防止]のため、常温・常湿環境で保管及び使用することをお勧めします。
4. 弊社後継機種への切り替えは、最低でも 6ヶ月前にご案内いたします。
5. リフローは 3 回までとして下さい

はんだ付けミスがあった場合には、はんだごてによる手直しをお願いします。この場合、こて先は+350℃以下、5秒以内にてお願いします。本製品が基板下面にある状態でリフローをする場合の本製品の落下については貴社で確認して下さい。

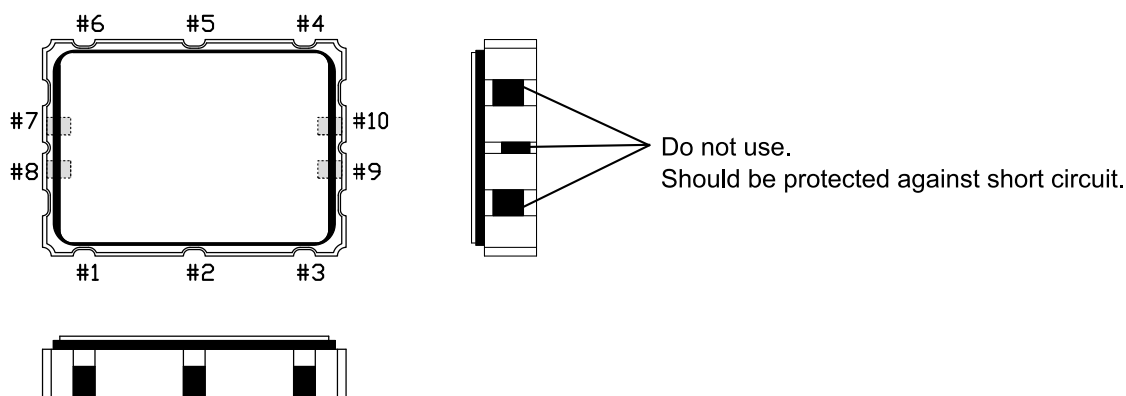
### 【実装条件可否】

実装方法	可否
上面リフロー	可
下面リフロー	製品落下の可能性があるので、 貴社で確認ください
はんだ槽（静止槽、噴流槽）	否
はんだごて	可

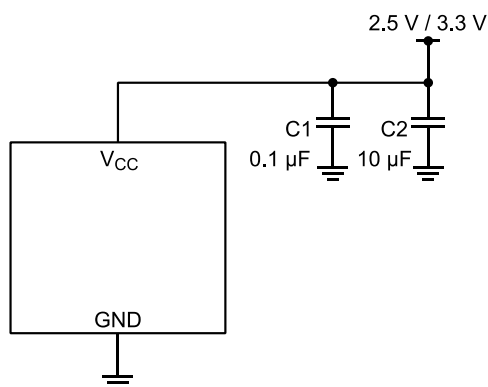
6. 超音波洗浄は使用条件により振動子が破壊される事もあります。ご使用前に必ず貴社で確認して下さい。
7. 周期的な機械的振動からの保護
 

水晶製品に冷却ファン・圧電サウンダ・圧電ブザー・スピーカーなど、周期性を伴った機械振動や衝撃が加わりますと、出力信号に周波数変動や振幅変動が発生する場合があります。この現象は、特に通信機器用途での通信品質に影響を与えます。当社水晶製品は設計に際して、このような機械的振動の影響が最小限になる配慮をしておりますが、事前に十分確認されることをお勧めします。
8. 本製品の金属キャップ面は GND へ接続されておりますので、ご使用時には電位を印加させないようご注意ください。

9. 下図で定義される側面端子は内部で IC と接続されているため、ショートもしくは絶縁抵抗の低下等に御注意願います。



10.  $V_{CC}$ 、GND ラインは太く配線し、高周波インピーダンスが低くなる様にして下さい。
11. 中間電位からの電源投入や電源スピードが極端に速い場合、誤動作および不発振となるおそれがありますので避けて下さい。
12. 発振出力線は、特性インピーダンスを  $50 \Omega$  で設計し、経路長を等長かつ最短にして下さい。出力線が長くなりますと、正規の特性が確保できなくなる場合があります。他の信号線の誘導による誤動作を避けるため、高レベルの信号線を本発振器の近くに通さないようご配慮をお願いします。
13. OE (Active High), SDA, SCL を使用されない時は  $V_{CC}$  に接続して下さい。また OE 端子のサージ等の影響を緩和するため接続の際は、抵抗を挿入することをお勧めします。
14. 出力端子が GND に接続された状態で電源電圧を印加しますと、内部の素子が破壊されますので、必ず負荷抵抗を接続した状態でお使い下さい。
15. 本製品は一般的な高速アナログ回路と同様、電源のノイズの影響を受ける可能性があります。この影響を抑え、最良のジッタ性能を実現するために、発振器の電源端子 ( $V_{CC}$  端子 #6 ピンと GND 端子 #3 ピン) の  $V_{CC}$  端子側の直近に、下図に示す  $0.1 \mu\text{F}$  と  $10 \mu\text{F}$  のパスコンを必ず付けて下さい。このパスコンは可能な限り、VG7050ECN と同じ PCB の面上に実装して下さい。また、さらなる電源ノイズの影響の軽減方法として、電源フィルタの挿入をお勧めします。次ページの接続例をご参照下さい。

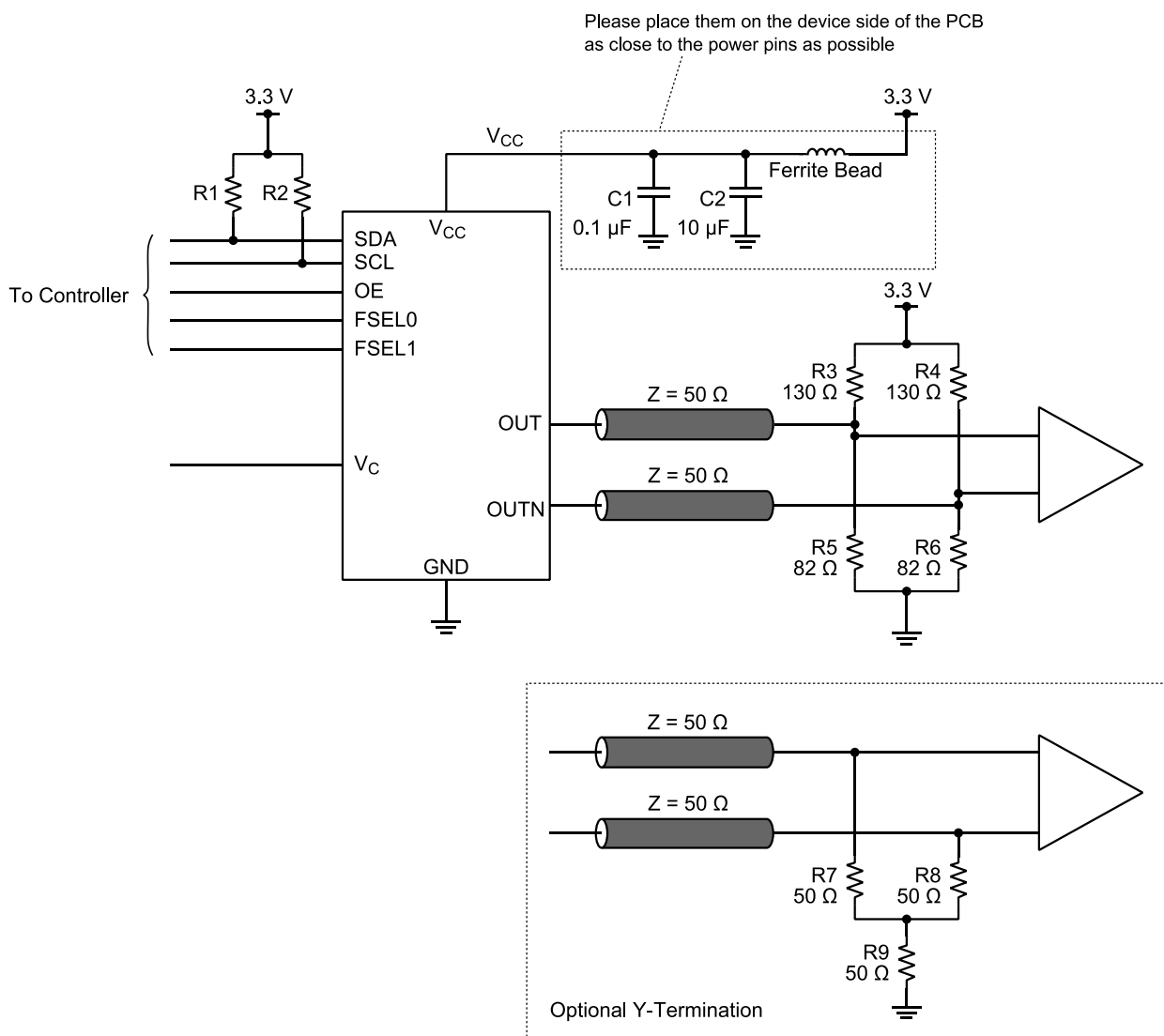


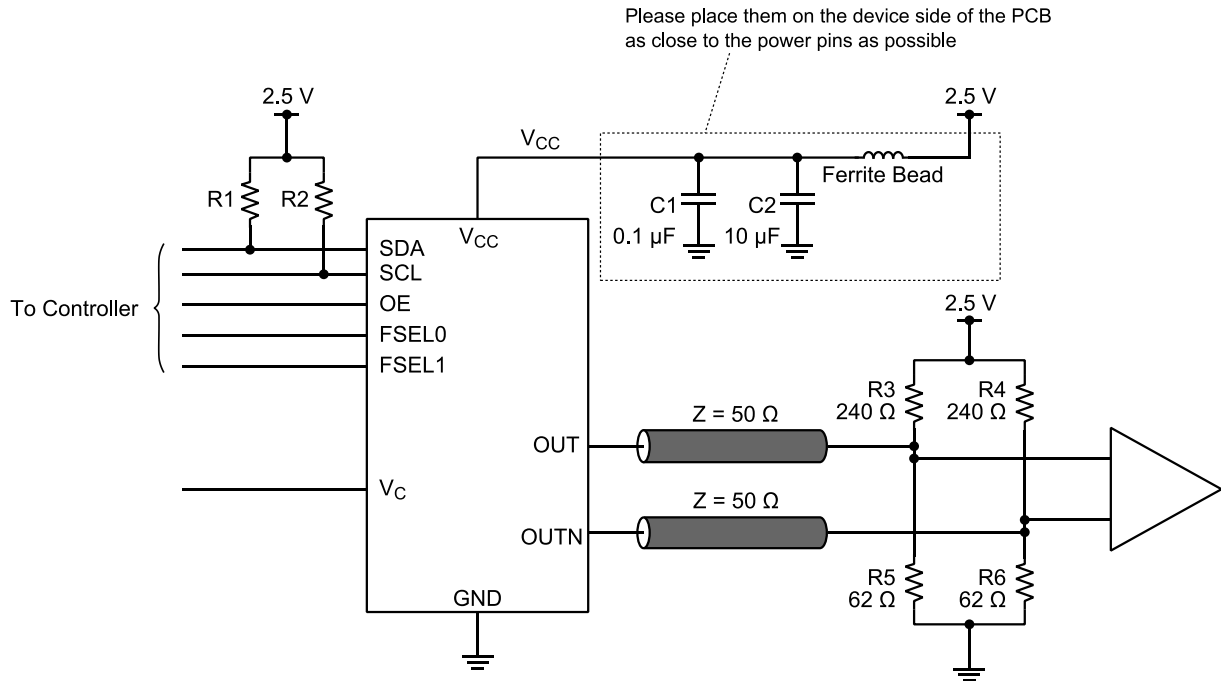
■ 接続例

本製品の接続例を下図に示します。

本製品は、一般的な高速アナログ回路と同様、電源のノイズの影響を受ける可能性があります。この影響を抑え、最良のジッタ性能を実現するためには、フィルタの挿入による電源分離が必要です。

電源フィルタの性能を最適にするために、フィルタを構成する素子は、本デバイスと同じ PCB の面に配置することを推奨します。下図のフィルタ定数は例に過ぎず、必要に応じて定数を変更する必要があります。





# Application Manual

## セイコーエプソン株式会社

〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5315 (直通) FAX (042) 587-5014

〒541-0059 大阪府大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6520 (直通) FAX(06) 6120-6782

〒460-0008 愛知県名古屋市中区栄 1-10-21 名古屋御園ビル 6F  
TEL (052) 205-8431 (直通) FAX (052) 231-2537

インターネットによる情報配信

<http://www5.epsondevice.com/ja/quartz/index.html>